

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H51018-3.1

はじめに

この章では、HardCopy® II デバイスの絶対最大定格、推奨動作条件、DC 特性、およびその他の仕様の暫定情報を提供しています。

絶対最大定格

HardCopy II デバイスは、コマーシャルおよび工業用温度グレードで提供されています。すべてのパラメータ・リミットは、ワースト・ケースの電源電圧条件および接合温度条件での代表値です。特に記述のない限り、この章のパラメータ値は、すべての HardCopy II デバイ스에適用されます。表 4-1 は、HardCopy II デバイス・ファミリの絶対最大定格を示しています。

シンボル	パラメータ	条件	Min	Max	単位
V _{CCINT}	電源電圧	GND に対して	-0.5	1.8	V
V _{CCIO}	電源電圧	GND に対して	-0.5	4.6	V
V _{CCPD}	電源電圧	GND に対して	-0.5	4.6	V
V _{CCA}	PLL 用アナログ電源	GND に対して	-0.5	1.8	V
V _{CCD}	PLL 用デジタル電源	GND に対して	-0.5	1.8	V
V _I	DC 入力電圧 (4)		-0.5	4.6	V
I _{OUT}	ピンあたりの DC 出力電流		-25	40	mA
T _{STG}	保存温度	バイアスなし	-65	150	°C
T _J	ジャンクション温度	ボール・グリッド・アレイ (BGA) パッケージ (バイアス印加時)	-55	125	°C

表 4-1 の注:

- (1) 詳細については、「Operating Requirements for Altera Devices Data Sheet」を参照してください。
- (2) 表 4-1 に記載された条件を超えると、デバイスに致命的な損傷を与える可能性があります。また、デバイスを絶対最大定格で長期間動作させると、デバイスに悪影響を与える可能性があります。
- (3) 電源電圧の仕様は、電源ではなくデバイス・ピンでの電圧の読み取り値に適用されます。
- (4) 過渡時には、入力デューティ・サイクルごとに、入力電圧が表 4-2 に示す電圧までオーバershoot が許されます。DC の場合はデューティ・サイクル 100% と等価です。過渡時には、入力電流が 100 mA 未満、期間が 20 ns 未満であれば、入力電圧は -2.0 V までアンダーシュートが許されます。

表 4-2. 最大デューティ・サイクル電圧

V_{IN} (V)	最大デューティ・サイクル
4	100%
4.1	90%
4.2	50%
4.3	30%
4.4	17%
4.5	10%

推奨動作条件

表 4-3 は、HardCopy II デバイス・ファミリの推奨動作条件を示しています。

表 4-3. HardCopy II デバイスの推奨動作条件 (1 / 2) 注 (1)

シンボル	パラメータ	条件	Min	Max	単位
V_{CCINT}	内部ロジックおよび 入力バッファ用電源電圧	$100 \mu\text{s} \leq \text{立ち上がり時間} \leq 100 \text{ ms}$ (2)	1.15	1.25	V
V_{CCIO}	3.3 V 動作の出力バッファ用 電源電圧	$100 \mu\text{s} \leq \text{立ち上がり時間} \leq 100 \text{ ms}$ (2)、(6)	3.135 (3.0)	3.465 (3.6)	V
	2.5 V 動作の出力バッファ用 電源電圧	$100 \mu\text{s} \leq \text{立ち上がり時間} \leq 100 \text{ ms}$ (2)	2.375	2.625	V
	1.8 V 動作の出力バッファ用 電源電圧	$100 \mu\text{s} \leq \text{立ち上がり時間} \leq 100 \text{ ms}$ (2)	1.71	1.89	V
	1.5 V 動作の出力バッファ用 電源電圧	$100 \mu\text{s} \leq \text{立ち上がり時間} \leq 100 \text{ ms}$ (2)	1.425	1.575	V
V_{CCPD}	ブリドライバとコンフィギュ レーション、JTAG の I/O バッファ用電源電圧	$100 \mu\text{s} \leq \text{立ち上がり時間} \leq 100 \text{ ms}$ (3)	3.135	3.465	V
V_{CCA}	PLL 用アナログ電源	$100 \mu\text{s} \leq \text{立ち上がり時間} \leq 100 \text{ ms}$ (3)	1.15	1.25	V
V_{CCD}	PLL 用デジタル電源	$100 \mu\text{s} \leq \text{立ち上がり時間} \leq 100 \text{ ms}$ (3)	1.15	1.25	V
V_I	入力電圧	(4)、(5)	-0.5	4.0	V
V_O	出力電圧		0	V_{CCIO}	V

表 4-3. HardCopy II デバイスの推奨動作条件 (2 / 2) 注 (1)

シンボル	パラメータ	条件	Min	Max	単位
T_J	動作ジャンクション温度	コマーシャル用	0	85	°C
		工業用	-40	100	°C

表 4-3 の注:

- (1) 電源電圧の仕様は、電源ではなくデバイス・ピンでの電圧の読み取り値に適用されます。
- (2) V_{CC} の最大立ち上がり時間は 100 ms です。また、 V_{CC} は一定に上昇する必要があります。
- (3) V_{CCPD} は 100 μ s ~ 100 ms 以内に 0 V から 3.3 V に上昇しなければなりません。 V_{CCPD} がこの規定時間以内に上昇しない場合、HardCopy II デバイスは正常にパワーアップしません。
- (4) 過渡時には、入力デューティ・サイクルごとに、入力電圧が表 4-2 に示す電圧までオーバシュートが許されます。DC の場合はデューティ・サイクル 100% と等価です。過渡時には、入力電流が 100 mA 未満、期間が 20 ns 未満であれば、入力電圧は -2.0 V までアンダーシュートが許されます。
- (5) 入力専用、クロック、I/O、および JTAG ピンを含むすべてのピンは、 V_{CCINT} と V_{CCPD} 、および V_{CCIO} に電源が供給される前にドライブされていても構いません。
- (6) PCI および PCI-X に対する V_{CCIO} の最大および最小条件は、括弧内に示されています。

DC 特性

表 4-4 は、HardCopy II デバイス・ファミリの DC 特性を示しています。

表 4-4. HardCopy II デバイスの DC 特性 (1 / 2) 注 (1)

シンボル	パラメータ	条件	デバイス	Min	Typ	Max	単位
I_I	入力ピンのリーク電流	$V_I = V_{CCIO} \text{ max} \sim 0 \text{ V}$ (2)	すべて	-10		10	μ A
I_{OZ}	トライ・ステート I/O ピンのリーク電流	$V_O = V_{CCIO} \text{ max} \sim 0 \text{ V}$ (2)	すべて	-10		10	μ A
I_{CCINT0}	V_{CCINT} 供給電流 (スタンバイ時)	$V_I = \text{GND}$ 、無負荷、入力のトグルなし $T_J = 25^\circ\text{C}$	HC210W		0.09 (3)	(5)	A
			HC210		0.09 (3)	(5)	A
			HC220		0.19 (3)	(5)	A
			HC230		0.34 (3)	(5)	A
			HC240		0.52 (3)	(5)	A
I_{CCPD0}	V_{CCPD} 供給電流 (スタンバイ時)	$V_I = \text{GND}$ 、無負荷、入力のトグルなし $T_J = 25^\circ\text{C}$ $V_{CCPD} = 3.3 \text{ V}$	HC210W		3 (3)	(5)	mA
			HC210		3 (3)	(5)	mA
			HC220		4 (3)	(5)	mA
			HC230		5 (3)	(5)	mA
			HC240		5 (3)	(5)	mA

シンボル	パラメータ	条件	デバイス	Min	Typ	Max	単位	
I_{CCIO0}	V_{CCIO} 供給電流 (スタンバイ時)	$V_I = \text{GND}$ 、無負荷、入力 のトグルなし $T_J = 25^\circ\text{C}$	HC210W		3 (3)	(5)	mA	
			HC210		3 (3)	(5)	mA	
			HC220		3 (3)	(5)	mA	
			HC230		3 (3)	(5)	mA	
			HC240		3 (3)	(5)	mA	
R_{CONF} (4)	コンフィギュレーション 前および実行時の I/O ピンのプルアップ抵抗 値	$V_I = 0$ 、 $V_{CCIO} = 3.3 \text{ V}$		10	25	50	$k\Omega$	
					15	35	70	$k\Omega$
					30	50	100	$k\Omega$
					40	75	150	$k\Omega$
					50	90	170	$k\Omega$
	コンフィギュレーション 前および実行時の I/O ピンのプルダウン推奨 抵抗値				1	2	$k\Omega$	

表 4-4 の注:

- (1) 標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{CCINT} = 1.2 \text{ V}$ 、および $V_{CCIO} = 1.5 \text{ V}$ 、 1.8 V 、 2.5 V 、および 3.3 V の条件のときのものです。
- (2) この値は通常のデバイス動作に指定されたものです。パワーアップの過程では値が変わる場合があります。これはすべての V_{CCIO} 設定 (3.3 V 、 2.5 V 、 1.8 V 、および 1.5 V) に適用されます。
- (3) この仕様は暫定仕様であり、デバイスの特性評価中です。
- (4) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下します。
- (5) 最大値は実際の T_J およびデザイン利用率によって異なります。「PowerPlay Early Power Estimator」(www.altera.com) または Quartus II PowerPlay Power Analyzer 機能で見積もることもできます。

I/O 規格

表 4-5 から 4-27 は、HardCopy II デバイス・ファミリの I/O 規格を示しています。

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO} (1)	出力電源電圧		3.135	3.465	V
V_{IH}	入力 High レベル電圧		1.7	4.0	V
V_{IL}	入力 Low レベル電圧		-0.3	0.8	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -4 \text{ mA}$ (2)、(3)	2.4		V

表 4-5. LVTTTL 規格 (2 / 2)

シンボル	パラメータ	条件	Min	Max	単位
V_{OL}	出力 Low レベル電圧	$I_{OL} = 4 \text{ mA}$ (2)、(3)		0.45	V

表 4-5 の注：

- (1) HardCopy II デバイスは、EIA/JEDEC 規格、JESD8-B で規定されるナロー・レンジの電源電圧に適合します。
- (2) ドライブ強度は、表 4-10、表 4-12、および表 4-14 の値に従ってプログラミングされます。
- (3) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-6. LVCMOS 規格

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO} (1)	出力電源電圧		3.135	3.465	V
V_{IH}	入力 High レベル電圧		1.7	4.0	V
V_{IL}	入力 Low レベル電圧		-0.3	0.8	V
V_{OH}	出力 High レベル電圧	$V_{CCIO} = 3.0$ 、 $I_{OH} = -0.1 \text{ mA}$ (2)、(3)	$V_{CCIO} - 0.2$		V
V_{OL}	出力 Low レベル電圧	$V_{CCIO} = 3.0$ 、 $I_{OL} = 0.1 \text{ mA}$ (2)、(3)		0.2	V

表 4-6 の注：

- (1) HardCopy II デバイスは、EIA/JEDEC 規格、JESD8-B で規定されるナロー・レンジの電源電圧に適合します。
- (2) ドライブ強度は、表 2-10、2-12、および 2-14 の値に従ってプログラミングされます。
- (3) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-7. 2.5-V I/O 規格 (1 / 2)

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO} (1)	出力電源電圧		2.375	2.625	V
V_{IH}	入力 High レベル電圧		1.7	4.0	V
V_{IL}	入力 Low レベル電圧		-0.3	0.7	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -1 \text{ mA}$ (2)、(3)	2.0		V

表 4-7. 2.5-V I/O 規格 (2 / 2)

シンボル	パラメータ	条件	Min	Max	単位
V_{OL}	出力 Low レベル電圧	$I_{OL} = 1 \text{ mA}$ (2)、(3)		0.4	V

表 4-7 の注：

- (1) HardCopy II デバイスの $2.5 \pm 5\%$ の V_{CCIO} 電圧レベルのサポートは、EIA/JEDEC 規格で定義される通常の範囲よりも狭くなっています。
- (2) ドライブ強度は、表 2-10、2-12、および 2-14 の値に従ってプログラミングされます。
- (3) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-8. 1.8-V I/O 規格

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO} (1)	出力電源電圧		1.71	1.89	V
V_{IH}	入力 High レベル電圧		$0.65 \times V_{CCIO}$	2.25	V
V_{IL}	入力 Low レベル電圧		-0.3	$0.35 \times V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -2 \sim -8 \text{ mA}$ (2)、(3)	$V_{CCIO} - 0.45$		V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 2 \sim 8 \text{ mA}$ (2)、(3)		0.45	V

表 4-8 の注：

- (1) HardCopy II デバイスの $1.8 \pm 5\%$ の V_{CCIO} 電圧レベルのサポートは、EIA/JEDEC 規格で定義される通常の範囲よりも狭くなっています。
- (2) ドライブ強度は、表 2-10、2-12、および 2-14 の値に従ってプログラミングされます。
- (3) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-9. 1.5-V I/O 規格 (1 / 2)

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO} (1)	出力電源電圧		1.425	1.575	V
V_{IH}	入力 High レベル電圧		$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	V
V_{IL}	入力 Low レベル電圧		-0.3	$0.35 \times V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -2 \text{ mA}$ (2)、(3)	$0.75 \times V_{CCIO}$		V

表 4-9. 1.5-V I/O 規格 (2 / 2)

シンボル	パラメータ	条件	Min	Max	単位
V_{OL}	出力 Low レベル電圧	$I_{OL} = 2 \text{ mA}$ (2)、(3)		$0.25 \times V_{CCIO}$	V

表 4-9 の注：

- (1) HardCopy II デバイスの $1.5 \pm 5\%$ の V_{CCIO} 電圧レベルのサポートは、EIA/JEDEC 規格で定義される通常の範囲よりも狭くなっています。
- (2) ドライブ強度は、表 2-10、2-12、および 2-14 の値に従ってプログラミングされます。
- (3) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

図 4-1 および図 4-2 は、すべての差動 I/O LVPECL および HyperTransport テクノロジーのレシーバ入力およびトランスミッタ波形をそれぞれ示しています。

図 4-1. 差動 I/O 規格のレシーバ入力波形

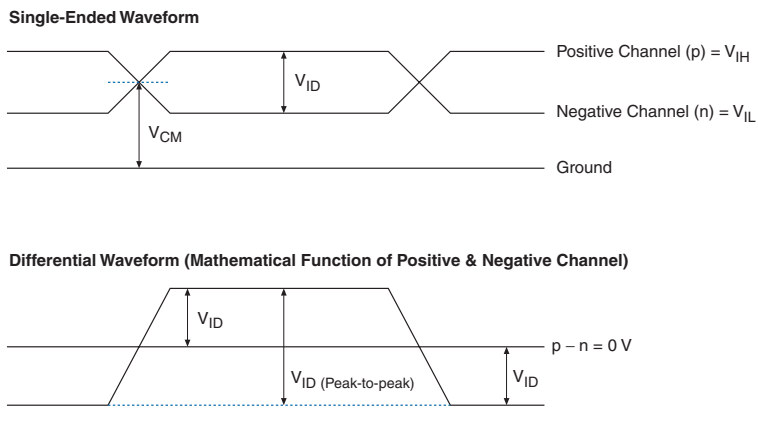
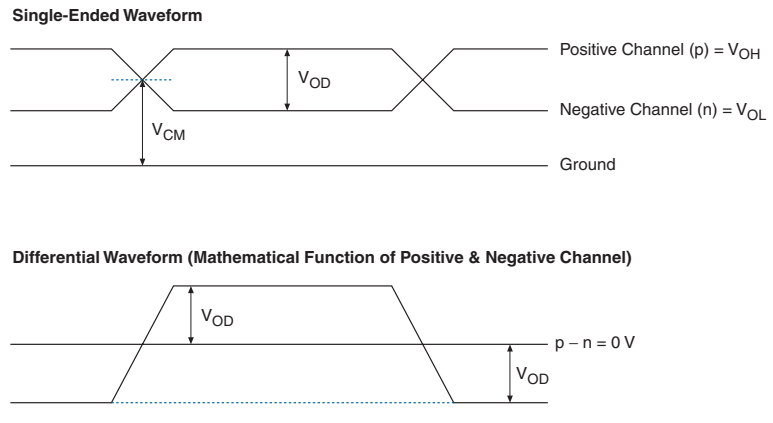


図 4-2. 差動 I/O 規格のトランスミッタ出力波形



シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	高速 IOE をサポートする I/O バンクの I/O 電源電圧 (1)、(2)		2.375	2.5	2.625	V
V_{ID}	差動入力電圧振幅 (シングル・エンド)		100	350	900	mV
V_{ICM}	入力コモン・モード電圧		200	1,250	1,800	mV
V_{OD}	差動出力電圧 (シングル・エンド)	$R_L = 100 \Omega$	250		450	mV
V_{OCM}	出力コモン・モード電圧	$R_L = 100 \Omega$	1.125		1.375	V
R_L	レシーバ差動入力ディスクリート抵抗値 (HardCopy II デバイスの外部)		90	100	110	Ω

表 4-10 の注:

- (1) IOE = I/O エlement。
- (2) どの I/O バンクが高速 IOE をサポートしているかは、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリ・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-11. 3.3-V LVDS の I/O 規格 注 (1)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V _{CCIO}	PLL バンク 9、10、11、および 12 の出力およびフィードバック・ピン (2)		3.135	3.3	3.465	V
V _{ID}	差動入力電圧振幅 (シングル・エンド)		100	350	900	mV
V _{ICM}	入力コモン・モード電圧		200	1,250	1,800	mV
V _{OD}	差動出力電圧 (シングル・エンド)	R _L = 100 Ω	250		710	mV
V _{OCM}	出力コモン・モード電圧	R _L = 100 Ω	0.84		1.570	V
R _L	レシーバ差動入力ディスクリット抵抗値 (HardCopy II デバイスの外部)		90	100	110	Ω

表 4-11 の注:

- (1) Stratix II デバイスの場合と同様に、3.3 V LVDS は、トップおよびボトム・クロック入力差動バッファと、PLL クロック出力およびフィードバック・ピンでサポートされます。
- (2) I/O バンク 3、4、7、および 8 のトップおよびボトム・クロック入力差動バッファには、V_{CCIO} ではなく V_{CCINT} が供給されます。PLL クロック出力およびフィードバック差動バッファには、V_{CC_PLL} が供給されます。差動クロック出力およびフィードバック動作では、V_{CC_PLL} は 3.3 V に接続します。

表 4-12. LVPECL 規格 (1 / 2) 注 (1)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V _{CCIO}	高速IOEをサポートするI/OバンクのI/O電源電圧 (2)		3.135	3.3	3.465	V
V _{ID} (ピーク・トゥ・ピーク)	差動入力電圧振幅 (シングル・エンド)		300	600	1,000	mV
V _{ICM}	入力コモン・モード電圧	R _L = 100 Ω	1.0		2.5	mV
V _{OD}	差動出力電圧 (シングル・エンド)	R _L = 100 Ω	525		970	mV
V _{OCM}	出力コモン・モード電圧	R _L = 100 Ω	1.650		2.275	V

表 4-12. LVPECL 規格 (2 / 2) 注 (1)

シンボル	パラメータ	条件	Min	Typ	Max	単位
R_L	レシーバ差動入力ディスクリット抵抗値 (HardCopy II デバイスの外部)		90	100	110	Ω

表 4-12 の注:

- (1) Stratix II デバイスの場合と同様に、LVPECL はトップおよびボトム・クロック入力差動バッファと、PLL クロック出力およびフィードバック・ピンでサポートされます。
- (2) I/O バンク 3、4、7、および 8 のトップおよびボトム・クロック入力差動バッファには、 V_{CCIO} ではなく V_{CCINT} が供給されます。PLL クロック出力およびフィードバック差動バッファには、 V_{CC_PLLOUT} が供給されます。差動クロック出力およびフィードバック動作では、 V_{CC_PLLOUT} は 3.3 V に接続します。

表 4-13. HyperTransport テクノロジ規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	高速 IOE をサポートする I/O バンクの I/O 電源電圧 (1)、(2)		2.375	2.5	2.625	V
	PLL バンク 9、10、11、および 12 の出力およびフィードバック・ピン		3.135	3.3	3.465	V
V_{ID} (ピーク・トゥ・ピーク)	差動入力電圧スウィング (シングル・エンド)		300	600	900	mV
V_{ICM}	入力コモン・モード電圧		385	600	845	mV
V_{OD}	差動出力電圧 (シングル・エンド)	$R_L = 100 \Omega$	400	600	820	mV
ΔV_{OD}	V_{OD} の High と Low の変化量	$R_L = 100 \Omega$			75	mV
V_{OCM}	出力コモン・モード電圧	$R_L = 100 \Omega$	440	600	780	V
ΔV_{OCM}	V_{OCM} の High と Low の変化量	$R_L = 100 \Omega$			50	mV
R_L	レシーバ差動入力ディスクリット抵抗値 (HardCopy II デバイスの外部)		90	100	110	Ω

表 4-13 の注:

- (1) どの I/O バンクが高速 IOE をサポートしているかは、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリ・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。
- (2) I/O バンク 3、4、7、および 8 のトップおよびボトム・クロック入力差動バッファには、 V_{CCIO} ではなく V_{CCINT} が供給されます。PLL クロック出力およびフィードバック差動バッファには、 V_{CC_PLLOUT} が供給されます。差動クロック出力およびフィードバック動作では、 V_{CC_PLLOUT} は 3.3 V に接続します。

表 4-14. 3.3-V PCI 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		3	3.3	3.6	V
V_{IH}	入力 High レベル電圧		$0.5 \times V_{CCIO}$		$V_{CCIO} + 0.5$	V
V_{IL}	入力 Low レベル電圧		-0.3		$0.3 \times V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OUT} = -500 \mu A$	$0.9 \times V_{CCIO}$			V
V_{OL}	出力 Low レベル電圧	$I_{OUT} = 1,500 \mu A$			$0.1 \times V_{CCIO}$	V

表 4-15. PCI-X モード 1 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		3		3.6	V
V_{IH}	入力 High レベル電圧		$0.5 \times V_{CCIO}$		$V_{CCIO} + 0.5$	V
V_{IL}	入力 Low レベル電圧		-0.3		$0.35 \times V_{CCIO}$	V
V_{IPU}	入力ピンのプルアップ電圧		$0.7 \times V_{CCIO}$			V
V_{OH}	出力 High レベル電圧	$I_{OUT} = -500 \mu A$	$0.9 \times V_{CCIO}$			V
V_{OL}	出力 Low レベル電圧	$I_{OUT} = 1,500 \mu A$			$0.1 \times V_{CCIO}$	V

表 4-16. SSTL-18 Class I 規格 (1 / 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V_{REF}	リファレンス電圧		0.855	0.9	0.945	V
V_{TT}	終端電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
$V_{IH(DC)}$	入力 High レベル DC 電圧		$V_{REF} + 0.125$			V
$V_{IL(DC)}$	入力 Low レベル DC 電圧				$V_{REF} - 0.125$	V
$V_{IH(AC)}$	入力 High レベル AC 電圧		$V_{REF} + 0.25$			V
$V_{IL(AC)}$	入力 Low レベル AC 電圧				$V_{REF} - 0.25$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -6.7 \text{ mA (1), (2)}$	$V_{TT} + 0.475$			V

表 4-16. SSTL-18 Class I 規格 (2 / 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{OL}	出力 Low レベル電圧	$I_{OL} = 6.7 \text{ mA}$ (1)、(2)			$V_{TT} - 0.475$	V

表 4-16 の注:

- (1) この仕様は、「HardCopy シリーズ・デバイス・ハンドブック Volume 1」の「アーキテクチャおよび特長の概要」の章にある「I/O の構造と特長」の項に記載されているように、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-17. SSTL-18 Class II 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V_{REF}	リファレンス電圧		0.855	0.9	0.945	V
V_{TT}	終端電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
$V_{IH(DC)}$	入力 High レベル DC 電圧		$V_{REF} + 0.125$			V
$V_{IL(DC)}$	入力 Low レベル DC 電圧				$V_{REF} - 0.125$	V
$V_{IH(AC)}$	入力 High レベル AC 電圧		$V_{REF} + 0.25$			V
$V_{IL(AC)}$	入力 Low レベル AC 電圧				$V_{REF} - 0.25$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -13.4 \text{ mA}$ (1)、(2)	$V_{TT} - 0.28$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 13.4 \text{ mA}$ (1)、(2)			0.28	V

表 4-17 の注:

- (1) この仕様は、「HardCopy シリーズ・デバイス・ハンドブック Volume 1」の「アーキテクチャおよび特長の概要」の章にある「I/O の構造と特長」の項に記載されているように、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-18. SSTL-18 差動規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
$V_{SWING(DC)}$	DC 差動入力電圧		0.25			V
$V_X(AC)$	AC 差動入力クロス・ポイント電圧		$(V_{CCIO/2}) - 0.175$		$(V_{CCIO/2}) + 0.175$	V
$V_{SWING(AC)}$	AC 差動入力電圧		0.5			V
V_{ISO}	入力クロック信号オフセット電圧			$0.5 \times V_{CCIO}$		V
ΔV_{ISO}	入力クロック信号オフセット電圧変動			± 200		V
$V_{OX(AC)}$	AC 差動クロス・ポイント電圧		$(V_{CCIO/2}) - 0.125$		$(V_{CCIO/2}) + 0.125$	V

表 4-19. SSTL-2 Class I 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		2.375	2.5	2.625	V
V_{TT}	終端電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
V_{REF}	リファレンス電圧		1.188	1.25	1.313	V
$V_{IH(DC)}$	入力 High レベル電圧		$V_{REF} + 0.18$		3.0	V
$V_{IL(DC)}$	入力 Low レベル電圧		-0.3		$V_{REF} - 0.18$	V
$V_{IH(AC)}$	入力 High レベル電圧		$V_{REF} + 0.35$			V
$V_{IL(AC)}$	入力 Low レベル電圧				$V_{REF} - 0.35$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -8.1 \text{ mA (1), (2)}$	$V_{TT} + 0.57$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 8.1 \text{ mA (1), (2)}$			$V_{TT} - 0.57$	V

表 4-19 の注:

- (1) この仕様は、「HardCopy シリーズ・デバイス・ハンドブック Volume 1」の「アーキテクチャおよび特長の概要」の章の「I/O の構造と特長」の項に記載されているように、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		2.375	2.5	2.625	V
V_{TT}	終端電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
V_{REF}	リファレンス電圧		1.188	1.25	1.313	V
$V_{IH(DC)}$	入力 High レベル電圧		$V_{REF} + 0.18$		$V_{CCIO} + 0.3$	V
$V_{IL(DC)}$	入力 Low レベル電圧		-0.3		$V_{REF} - 0.18$	V
$V_{IH(AC)}$	入力 High レベル電圧		$V_{REF} + 0.35$			V
$V_{IL(AC)}$	入力 Low レベル電圧				$V_{REF} - 0.35$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -16.4 \text{ mA (1), (2)}$	$V_{TT} + 0.76$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 16.4 \text{ mA (1), (2)}$			$V_{TT} - 0.76$	V

表 4-20 の注:

- (1) この仕様は、「HardCopy シリーズ・デバイス・ハンドブック Volume 1」の「アーキテクチャおよび特長の概要」の章にある「I/O の構造と特長」の項に記載されているように、この I/O 規格でプログラム可能なドライバ設定すべてでサポートされています。
- (2) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		2.375	2.5	2.625	V
$V_{SWING(DC)}$	DC 差動入力電圧		0.36			V
$V_X(AC)$	AC 差動入力クロス・ポイント電圧		$(V_{CCIO/2}) - 0.2$		$(V_{CCIO/2}) + 0.2$	V
$V_{SWING(AC)}$	AC 差動入力電圧		0.7			V
V_{ISO}	入力クロック信号オフセット電圧			$0.5 \times V_{CCIO}$		V
ΔV_{ISO}	入力クロック信号オフセット電圧変動			± 200		V
$V_{OX(AC)}$	AC 差動出力クロス・ポイント電圧		$(V_{CCIO/2}) - 0.2$		$(V_{CCIO/2}) + 0.2$	V

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.425	1.5	1.575	V
V_{REF}	入力リファレンス電圧		0.713	0.75	0.788	V
V_{TT}	終端電圧		0.713	0.75	0.788	V
$V_{IH(DC)}$	DC 入力 High レベル電圧		$V_{REF} + 0.1$			V
$V_{IL(DC)}$	DC 入力 Low レベル電圧		-0.3		$V_{REF} - 0.1$	V
$V_{IH(AC)}$	AC 入力 High レベル電圧		$V_{REF} + 0.2$			V
$V_{IL(AC)}$	AC 入力 Low レベル電圧				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 8 \text{ mA (1), (2)}$	$V_{CCIO} - 0.4$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = -8 \text{ mA (1), (2)}$			0.4	V

表 4-22 の注:

- (1) この仕様は、「HardCopy シリーズ・デバイス・ハンドブック Volume 1」の「アーキテクチャおよび特長の概要」の章にある「I/O の構造と特長」の項に記載されているように、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.425	1.5	1.575	V
V_{REF}	入力リファレンス電圧		0.713	0.75	0.788	V
V_{TT}	終端電圧		0.713	0.75	0.788	V
$V_{IH(DC)}$	DC 入力 High レベル電圧		$V_{REF} + 0.1$			V
$V_{IL(DC)}$	DC 入力 Low レベル電圧		-0.3		$V_{REF} - 0.1$	V
$V_{IH(AC)}$	AC 入力 High レベル電圧		$V_{REF} + 0.2$			V
$V_{IL(AC)}$	AC 入力 Low レベル電圧				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 16 \text{ mA (1), (2)}$	$V_{CCIO} - 0.4$			V

表 4-23. 1.5-V HSTL Class II 規格 (2 / 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{OL}	出力 Low レベル電圧	$I_{OL} = -16 \text{ mA}$ (1)、(2)			0.4	V

表 4-23 の注:

- (1) この仕様は、「HardCopy シリーズ・デバイス・ハンドブック Volume 1」の「アーキテクチャおよび特長の概要」の章の「I/O の構造と特長」の項に記載されているように、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリ・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-24. 1.5-V 差動 HSTL 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	I/O 電源電圧		1.425	1.5	1.575	V
$V_{DIF(DC)}$	DC 入力差動電圧		0.2			V
$V_{CM(DC)}$	DC コモン・モード入力電圧		0.68		0.9	V
$V_{DIF(AC)}$	AC 差動入力電圧		0.4			V
$V_{OX(AC)}$	AC 差動クロス・ポイント電圧		0.68		0.9	V

表 4-25. 1.8-V HSTL Class I 規格 (1 / 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V_{REF}	入力リファレンス電圧		0.85	0.9	0.95	V
V_{TT}	終端電圧		0.85	0.9	0.95	V
$V_{IH(DC)}$	DC 入力 High レベル電圧		$V_{REF} + 0.1$			V
$V_{IL(DC)}$	DC 入力 Low レベル電圧		-0.3		$V_{REF} - 0.1$	V
$V_{IH(AC)}$	AC 入力 High レベル電圧		$V_{REF} + 0.2$			V
$V_{IL(AC)}$	AC 入力 Low レベル電圧				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 8 \text{ mA}$ (1)、(2)	$V_{CCIO} - 0.4$			V

表 4-25. 1.8-V HSTL Class I 規格 (2 / 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{OL}	出力 Low レベル電圧	$I_{OL} = -8 \text{ mA}$ (1), (2)			0.4	V

表 4-25 の注:

- (1) この仕様は、「HardCopy シリーズ・デバイス・ハンドブック」の「アーキテクチャおよび特長の概要」の章にある「I/O の構造と特長」の項に記載されているように、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

表 4-26. 1.8-V HSTL Class II 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V_{REF}	入力リファレンス電圧		0.85	0.9	0.95	V
V_{TT}	終端電圧		0.85	0.9	0.95	V
$V_{IH(DC)}$	DC 入力 High レベル電圧		$V_{REF} + 0.1$			V
$V_{IL(DC)}$	DC 入力 Low レベル電圧		-0.3		$V_{REF} - 0.1$	V
$V_{IH(AC)}$	AC 入力 High レベル電圧		$V_{REF} + 0.2$			V
$V_{IL(AC)}$	AC 入力 Low レベル電圧				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 16 \text{ mA}$ (1), (2)	$V_{CCIO} - 0.4$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = -16 \text{ mA}$ (1), (2)			0.4	V

表 4-26 の注:

- (1) この仕様は、「HardCopy シリーズ・デバイス・ハンドブック Volume 1」の「アーキテクチャおよび特長の概要」の章にある「I/O の構造と特長」の項に記載されているように、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) ドライブ強度はピン位置によって異なります。詳細は、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	I/O 電源電圧		1.71	1.8	1.89	V
$V_{DIF(DC)}$	DC 入力差動電圧		0.2		$V_{CCIO} + 0.6 V$	V
$V_{CM(DC)}$	DC コモン・モード入力電圧		0.78		1.12	V
$V_{DIF(AC)}$	AC 差動入力電圧		0.4		$V_{CCIO} + 0.6 V$	V
$V_{OX(AC)}$	AC 差動クロス・ポイント電圧		0.68		0.9	V

バス・ ホールド特性

表 4-28 は、HardCopy II デバイス・ファミリのバス・ホールド特性を示しています。

パラメータ	条件	V_{CCIO} レベル								単位
		1.5 V		1.8 V		2.5 V		3.3 V		
		Min	Max	Min	Max	Min	Max	Min	Max	
Low 保持電流	$V_{IN} > V_{IL(最大)}$	25		30		50		70		μA
High 保持電流	$V_{IN} < V_{IH(最小)}$	-25		-30		-50		-70		μA
Low オーバドライブ電流	$0 V < V_{IN} < V_{CCIO}$		160		200		300		500	μA
High オーバドライブ電流	$0 V < V_{IN} < V_{CCIO}$		-160		-200		-300		-500	μA
バス・ホールドトリップ・ポイント		0.50	1.00	0.68	1.07	0.70	1.70	0.80	2.00	V

On-Chip Termination 仕様

表 4-29 は、直列または差動 On-Chip Termination (チップ内終端) を HC210W デバイスのみに使用するときの内部終端の仕様を示しています。

表 4-29. HC210W 用メモリ・インタフェース IOE をサポートする I/O バンクの直列 On-Chip Termination 仕様 注 (1)、(2)、(3)

シンボル	説明	条件	抵抗の精度		
			コマーシャル (Max)	工業用 (Max)	単位
25 Ω R _S 3.3/2.5	キャリブレーション付き内部直列終端 (25 Ω 設定)	V _{CCIO} = 3.3/2.5 V	± 10	± 15	%
	キャリブレーションなし内部直列終端 (25 Ω 設定)	V _{CCIO} = 3.3/2.5 V	± 30	± 30	%
50 Ω R _S 3.3/2.5	キャリブレーション付き内部直列終端 (50 Ω 設定)	V _{CCIO} = 3.3/2.5 V	± 10	± 15	%
	キャリブレーションなし内部直列終端 (50 Ω 設定)	V _{CCIO} = 3.3/2.5 V	± 30	± 30	%
25 Ω R _S 1.8	キャリブレーション付き内部直列終端 (25 Ω 設定)	V _{CCIO} = 1.8 V	± 10	± 15	%
	キャリブレーションなし内部直列終端 (25 Ω 設定)	V _{CCIO} = 1.8 V	± 30	± 30	%
50 Ω R _S 1.8	キャリブレーション付き内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.8 V	± 10	± 15	%
	キャリブレーションなし内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.8 V	± 30	± 30	%
50 Ω R _S 1.5	キャリブレーション付き内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.5 V	± 13	± 15	%
	キャリブレーションなし内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.5 V	± 36	± 36	%

表 4-29 の注:

- (1) どの I/O バンクがメモリ・インタフェース IOE をサポートしているかは、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。
- (2) キャリブレーション済みシリーズ OCT (SOCT) およびパラレル OCT (POCT) の抵抗精度は、初期キャリブレーション時のものです。温度または電圧が経時変化する場合、精度も変化することがあります。
- (3) この表は、HC210W デバイスにのみ適用されます。

表 4-30 および 4-31 は、直列または差動 On-Chip Termination 使用時の内部終端仕様を定義しています。

表 4-30. メモリ・インタフェースIOEをサポートするI/Oバンクの直列On-Chip Termination仕様 注 (1)、(2)、(3)					
シンボル	説明	条件	抵抗の精度		
			コマーシャル (Max)	工業用 (Max)	単位
25 Ω R _S 3.3/2.5	キャリブレーション付き内部直列 終端 (25 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±5	±10	%
	キャリブレーションなし内部直列 終端 (25 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±30	±30	%
50 Ω R _S 3.3/2.5	キャリブレーション付き内部直列 終端 (50 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±5	±10	%
	キャリブレーションなし内部直列 終端 (50 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±30	±30	%
25 Ω R _S 1.8	キャリブレーション付き内部直列 終端 (25 Ω 設定)	V _{CCIO} = 1.8 V	±5	±10	%
	キャリブレーションなし内部直列 終端 (25 Ω 設定)	V _{CCIO} = 1.8 V	±30	±30	%
50 Ω R _S 1.8	キャリブレーション付き内部直列 終端 (50 Ω 設定)	V _{CCIO} = 1.8 V	±5	±10	%
	キャリブレーションなし内部直列 終端 (50 Ω 設定)	V _{CCIO} = 1.8 V	±30	±30	%
50 Ω R _S 1.5	キャリブレーション付き内部直列 終端 (50 Ω 設定)	V _{CCIO} = 1.5 V	±8	±10	%
	キャリブレーションなし内部直列 終端 (50 Ω 設定)	V _{CCIO} = 1.5 V	±36	±36	%

表 4-30 の注:

- (1) どの I/O バンクがメモリ・インタフェース IOE をサポートしているかは、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリー・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。
- (2) キャリブレーション済み SOCT および POCT の抵抗の精度は、初期キャリブレーション時のものです。温度または電圧が経時変化する場合は、抵抗の精度も変化することがあります。
- (3) この表は、HC210、HC220、HC230、および HC240 デバイスにのみ適用されます。

表 4-31. 高速および汎用 IOE をサポートする I/O バンクの直列および差動 On-Chip Termination 仕様 注 (1)、(3)、(4)

シンボル	説明	条件	抵抗の精度		
			コマーシャル (Max)	工業用 (Max)	単位
25 Ω R _S 3.3/2.5	キャリブレーションなし内部直列 終端 (25 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±30	±30	%
50 Ω R _S 3.3/2.5/1.8	キャリブレーションなし内部直列 終端 (50 Ω 設定)	V _{CCIO} = 3.3/2.5/1.8 V	±30	±30	%
50 Ω R _S 1.5	キャリブレーションなし内部直列 終端 (50 Ω 設定)	V _{CCIO} = 1.5 V	±36	±36	%
RD (2)	LVDS または HyperTransport テク ノロジー向けの内部差動終端		±20	±25	%

表 4-31 の注:

- (1) どの I/O バンクが高速 IOE をサポートしているかは、「HardCopy シリーズ・ハンドブック Volume 1」の「HardCopy II デバイス・ファミリ・データシート」セクションの「アーキテクチャおよび特長の概要」の章を参照してください。
- (2) RD は高速 IOE でのみサポートされます。
- (3) キャリブレーション済み SOCT および POCT の抵抗の精度は、初回キャリブレーション時のものです。温度または電圧が経時変化する場合は、抵抗の精度も変化することがあります。
- (4) この表は、HC210、HC220、HC230、および HC240 デバイスにのみ適用されます。

ピン・キャパシタンス

表 4-32 は、HardCopy II デバイス・ファミリのピン・キャパシタンスを示しています。

表 4-32. HardCopy II デバイスのキャパシタンス (1 / 2) 注 (1)

シンボル	パラメータ	HC210W Typ	HC210、HC220、 HC230、HC240 Typ	単位
C _{GPIO}	汎用 IOE をサポートする I/O バンクの I/O ピンの入力キャパシタンス	5.7	5.0	pF
C _{MIIIO}	メモリ・インタフェース IOE をサポートする I/O バンクの I/O ピンの入力キャパシタンス	5.7	5.0	pF
C _{HSIO}	高速 IOE をサポートする I/O バンクの I/O ピンの入力キャパシタンス	7.2	6.1	pF
C _{CLKTB}	トップ/ボトム・クロック入力ピン (CLK[4..7] および CLK[12..15]) の入力キャパシタンス	6.0	6.0	pF

表 4-32. HardCopy II デバイスのキャパシタンス (2 / 2) 注 (1)

シンボル	パラメータ	HC210W Typ	HC210、HC220、HC230、HC240 Typ	単位
C _{CLKLR}	左/右クロック入力 (CLK0、CLK2、CLK8、CLK10) の入力キャパシタンス	4.3	6.1	pF
C _{CLKLR+}	左/右クロック入力 (CLK1、CLK3、CLK9、CLK11) の入力キャパシタンス	4.2	3.3	pF
C _{OUTFB}	PLL バンク 9、10、11、および 12 のクロック出力/フィードバック・ピンの入力キャパシタンス	6.9	6.7	pF

表 4-32 の注:

- (1) キャパシタンスはサンプル・テストのみです。キャパシタンスは TDR (Time-Domain-Reflections) を使用して測定されています。測定精度は ±0.5 pF です。

最大入力 クロック・ レート

表 4-33 および 4-34 に、HardCopy II の I/O の最大入力クロック・レートを示します。

表 4-33. HardCopy II 最大入力クロック・レート (HC210、HC220、HC230、および HC240 デバイス) (1 / 2)

I/O 規格	メモリ・インタフェース IOE	高速 IOE	汎用 IOE	CLK [0..3, 8..11]	CLK [4..7, 12..15]	FPLL_CLK	PLL_FB	単位
LVTTTL	500	500	500	500	500	500	500	MHz
2.5 V	500	500	500	500	500	500	500	MHz
1.8 V	500	500	500	500	500	500	500	MHz
1.5 V	500	500	500	500	500	500	500	MHz
LVC MOS	500	500	500	500	500	500	500	MHz
SSTL-2 Class I	500	-	-	-	500	-	500	MHz
SSTL-2 Class II	500	-	-	-	500	-	500	MHz
SSTL-18 Class I	500	-	-	-	500	-	500	MHz
SSTL-18 Class II	500	-	-	-	500	-	500	MHz
1.5-V HSTL Class I	500	-	-	-	500	-	500	MHz
1.5-V HSTL Class II	500	-	-	-	500	-	500	MHz
1.8-V HSTL Class I	500	-	-	-	500	-	500	MHz
1.8-V HSTL Class II	500	-	-	-	500	-	500	MHz

表 4-33. HardCopy II 最大入力クロック・レート (HC210、HC220、HC230、および HC240 デバイス) (2 / 2)

I/O 規格	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE	CLK [0..3, 8..11]	CLK [4..7, 12..15]	FPLL_CLK	PLL_FB	単位
PCI (1)	500	-	500	-	500	-	500	MHz
PCIX (1)	500	-	500	-	500	-	500	MHz
差動 SSTL-2 Class I (2)、(3)	500	-	-	-	500	-	500	MHz
差動 SSTL-2 Class II (2)、(3)	500	-	-	-	500	-	500	MHz
差動 SSTL-18 Class I (2)、(3)	500	-	-	-	500	-	500	MHz
差動 SSTL-18 Class I (2)、(3)	500	-	-	-	500	-	500	MHz
1.8-V 差動 HSTL Class I (2)、(3)	500	-	-	-	500	-	500	MHz
1.8-V 差動 HSTL Class II (2)、(3)	500	-	-	-	500	-	500	MHz
1.5-V 差動 HSTL Class I (2)、(3)	500	-	-	-	500	-	500	MHz
1.5-V 差動 HSTL Class II (2)、(3)	500	-	-	-	500	-	500	MHz
LVDS	-	520	-	717	450	717	450	MHz
LVPECL	-	-	-	-	450	-	450	MHz
HyperTransport	-	520	-	717	-	717	-	MHz

表 4-33 の注:

- (1) PCI クランプ・ダイオードは、トップおよびボトム I/O ピンでのみサポートされます。
- (2) この I/O 規格は、DQS、CLK、および PLL_FB 入力ピンでのみサポートされます。
- (3) HC210 および HC220 デバイスの場合、差動 HSTL/SSTL 入力は、トップ / ボトム PLL_FB、トップ・クロック・ピン、およびトップ I/O に配置されている DQS ピンでサポートされます。

表 4-34. HardCopy II 最大入力クロック・レート (HC210W デバイス) 注 (3)

I/O 規格	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE	CLK [0..3, 8..11]	CLK [4..7, 12..15]	FPLL_CLK	PLL_FB	単位
LVTTTL	350	350	350	350	350	350	350	MHz
2.5-V LVTTTL/LVCMOS	350	350	350	350	350	350	350	MHz
1.8-V LVTTTL/LVCMOS	350	350	350	350	350	350	350	MHz
1.5-V LVTTTL/LVCMOS	270	270	270	270	270	270	270	MHz
LVCMOS	350	350	350	350	350	350	350	MHz
SSTL-2 Class I	350	-	-	-	350	-	350	MHz
SSTL-2 Class II	350	-	-	-	350	-	350	MHz
SSTL-18 Class I	350	-	-	-	350	-	350	MHz
SSTL-18 Class II	350	-	-	-	350	-	350	MHz
1.5-V HSTL Class I	350	-	-	-	350	-	350	MHz
1.5-V HSTL Class II	350	-	-	-	350	-	350	MHz
1.8-V HSTL Class I	350	-	-	-	350	-	350	MHz
1.8-V HSTL Class II	350	-	-	-	350	-	350	MHz
PCI (1)	315	-	315	-	315	-	315	MHz
PCIX (1)	315	-	315	-	315	-	315	MHz
差動 SSTL-2 Class I (2)	-	-	-	-	350	-	350	MHz
差動 SSTL-2 Class II (2)	-	-	-	-	350	-	350	MHz
差動 SSTL-18 Class I (2)	-	-	-	-	350	-	350	MHz
差動 SSTL-18 Class II (2)	-	-	-	-	350	-	350	MHz
1.8-V 差動 HSTL Class I (2)	-	-	-	-	350	-	350	MHz
1.8-V 差動 HSTL Class II (2)	-	-	-	-	350	-	350	MHz
1.5-V 差動 HSTL Class I (2)	-	-	-	-	350	-	350	MHz
1.5-V 差動 HSTL Class II (2)	-	-	-	-	350	-	350	MHz
LVDS	-	320	-	320	320	320	320	MHz
LVPECL	-	-	-	-	320	-	320	MHz
HyperTransport	-	320	-	320	-	320	-	MHz

表 4-34 の注:

- (1) PCI クランプ・ダイオードは、トップおよびボトム I/O ピンでのみサポートされます。
- (2) HC210W デバイスの差動 HSTL/SSTL 入力、トップ・クロック・ピン、トップ I/O バンクの DQS ピン、およびトップ / ボトム PLL_FB 入力ピンでサポートされます。
- (3) これらの数値は暫定仕様であり、シリコンの特性評価中です。

最大出力 クロック・ レート

表 4-35 および 4-36 に、使用可能なすべてのドライブ強度に対する HardCopy II の I/O の最大出力トグル・レートを示します。

I/O 規格	ドライブ強度	メモリ・インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・カラム	ライト・ロウ				
3.3-V LVTTTL	4 mA	225	225	225	225	225	225	225	MHz
	8 mA	355	355	355	355	355	355	355	MHz
	12 mA	475	475	475	475	475	475	475	MHz
	16 mA	594	-	-	-	-	594	594	MHz
	2 mA	700	-	-	-	-	700	700	MHz
	20 mA (3)	794	-	-	-	-	794	794	MHz
3.3-V LVCMOS	4 mA	250	250	250	250	250	250	250	MHz
	8 mA	480	480	480	480	480	480	480	MHz
	12 mA	710	-	-	-	-	710	710	MHz
	16 mA	925	-	-	-	-	925	925	MHz
	20 mA	985	-	-	-	-	985	985	MHz
	24 mA (3)	1040	-	-	-	-	1040	1040	MHz
2.5-V LVTTTL/LVCMOS	4 mA	194	194	194	194	194	194	194	MHz
	8 mA	380	380	380	380	380	380	380	MHz
	12 mA	575	575	575	575	575	575	575	MHz
	16 mA (3)	845	-	-	-	-	845	845	MHz
1.8-V LVTTTL/LVCMOS	2 mA	109	109	109	109	109	109	109	MHz
	4 mA	250	250	250	250	250	250	250	MHz
	6 mA	390	390	390	390	390	390	390	MHz
	8 mA	570	570	570	570	570	570	570	MHz
	10 mA	805	-	-	-	-	805	805	MHz
	12 mA (3)	1040	-	-	-	-	1040	1040	MHz
1.5-V LVTTTL/LVCMOS	2 mA	200	200	200	200	200	200	200	MHz
	4 mA	370	370	370	370	370	370	370	MHz
	6 mA	430	-	-	-	-	430	430	MHz
	8 mA (3)	495	-	-	-	-	495	495	MHz

表 4-35. HardCopy II 最大出カクロック・レート (HC210、HC220、HC230、および HC240 デバイス) (2 / 4) 注 (1)

I/O 規格	ドライブ 強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
SSTL-2 Class I	8 mA	300	-	-	-	-	300	300	MHz
	12 mA (3)	400	-	-	-	-	400	400	MHz
SSTL-2 Class II	16 mA	350	-	-	-	-	350	350	MHz
	20	350	-	-	-	-	350	350	MHz
	24 mA (3)	400	-	-	-	-	400	400	MHz
SSTL-18 Class I	4 mA	150	-	-	-	-	150	150	MHz
	6 mA	250	-	-	-	-	250	250	MHz
	8 mA	300	-	-	-	-	300	300	MHz
	10 mA	400	-	-	-	-	400	400	MHz
	12 mA (3)	550	-	-	-	-	550	550	MHz
SSTL-18 Class II	8 mA	200	-	-	-	-	200	200	MHz
	16 mA	350	-	-	-	-	350	350	MHz
	18 mA	400	-	-	-	-	400	400	MHz
	20 mA (3)	500	-	-	-	-	500	500	MHz
1.8-V HSTL Class I	4 mA	300	-	-	-	-	300	300	MHz
	6 mA	450	-	-	-	-	450	450	MHz
	8 mA	600	-	-	-	-	600	600	MHz
	10 mA	650	-	-	-	-	650	650	MHz
	12 mA (3)	700	-	-	-	-	700	700	MHz
1.8-V HSTL Class II	16 mA	500	-	-	-	-	500	500	MHz
	18 mA	500	-	-	-	-	500	500	MHz
	20 mA (3)	550	-	-	-	-	550	550	MHz
1.5-V HSTL Class I	4 mA	300	-	-	-	-	300	300	MHz
	6 mA	500	-	-	-	-	500	500	MHz
	8 mA	650	-	-	-	-	650	650	MHz
	20 mA	700	-	-	-	-	700	700	MHz
	12 mA (3)	700	-	-	-	-	700	700	MHz
1.5-V HSTL Class II	16 mA	600	-	-	-	-	600	600	MHz
	18 mA	600	-	-	-	-	600	600	MHz
	20 mA (3)	650	-	-	-	-	650	650	MHz
PCI (4)		790	-	790	-	-	790	790	MHz

表 4-35. HardCopy II 最大出力クロック・レート (HC210、HC220、HC230、および HC240 デバイス) (3 / 4) 注 (1)

I/O 規格	ドライブ 強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
PCIX (4)		790	-	790	-	-	790	790	MHz
LVDS		-	717	-	-	-	-	400	MHz
HyperTransport		-	717	-	-	-	-	-	MHz
LVPECL		-	-	-	-	-	-	400	MHz
差動 SSTL-2 Class I (5)	8 mA	300	-	-	-	-	300	300	MHz
	12 mA (3)	400	-	-	-	-	400	400	MHz
差動 SSTL-2 Class II (5)	16 mA	350	-	-	-	-	350	350	MHz
	20 mA (3)	350	-	-	-	-	350	350	MHz
	24 mA (3)	400	-	-	-	-	400	400	MHz
差動 SSTL-18 Class I (5)	4 mA	150	-	-	-	-	150	150	MHz
	6 mA	250	-	-	-	-	250	250	MHz
	8 mA	300	-	-	-	-	300	300	MHz
	10 mA	400	-	-	-	-	400	400	MHz
	12 mA (3)	550	-	-	-	-	550	550	MHz
差動 SSTL-18 Class II (5)	8 mA	200	-	-	-	-	200	200	MHz
	16 mA	350	-	-	-	-	350	350	MHz
	18 mA	400	-	-	-	-	400	400	MHz
	20 mA (3)	500	-	-	-	-	500	500	MHz
1.8-V 差動 HSTL Class I (5)	4 mA	300	-	-	-	-	300	300	MHz
	6 mA	450	-	-	-	-	450	450	MHz
	8 mA	600	-	-	-	-	600	600	MHz
	10 mA	650	-	-	-	-	650	650	MHz
	12 mA (3)	700	-	-	-	-	700	700	MHz
1.8-V 差動 HSTL Class II (5)	16 mA	500	-	-	-	-	500	500	MHz
	18 mA	500	-	-	-	-	500	500	MHz
	20 mA (3)	550	-	-	-	-	550	550	MHz
1.5-V 差動 HSTL Class I (5)	4 mA	300	-	-	-	-	300	300	MHz
	6 mA	500	-	-	-	-	500	500	MHz
	8 mA	650	-	-	-	-	650	650	MHz
	10 mA	700	-	-	-	-	700	700	MHz
	12 mA (3)	700	-	-	-	-	700	700	MHz

表 4-35. HardCopy II 最大出カクロック・レート (HC210、HC220、HC230、および HC240 デバイス) (4 / 4) 注 (1)

I/O 規格	ドライブ強度	メモリ・インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・カラム	ライト・ロウ				
1.5-V 差動 HSTL Class II (5)	16 mA	600	-	-	-	-	600	600	MHz
	18 mA	600	-	-	-	-	600	600	MHz
	20 mA (3)	650	-	-	-	-	650	650	MHz

表 4-35 の注:

- (1) トグル・レートは、ロウ I/O ピンにおける LVDS および HyperTransport テクノロジーを除く、すべての I/O 規格の 0 pF の出力負荷に適用されます。ロウ I/O ピンでの LVDS および HyperTransport テクノロジーの場合、このトグル・レートは 0 ~ 5 pF の負荷に適用されます。
- (2) CLK [1, 3, 9, 11] および FPLL_CLK は専用入力クロックであり、この表には記載されていません。
- (3) ピンがこの設定をサポートしている場合の Quartus II ソフトウェアのデフォルト設定です。
- (4) PCI クランプ・ダイオードは、トップおよびボトム I/O ピンでのみサポートされます。
- (5) Stratix II デバイスの場合と同様に、差動 HSTL および SSTL はカラムの CLK、PLL_OUT、およびメモリ・インタフェースの DQS IOE ピンでのみサポートされます。HC210 および HC220 デバイスでは、差動 HSTL および SSTL はトップ・カラムのクロック・ピンでのみサポートされます。

表 4-36. HardCopy II 最大出カクロック・レート (HC210W デバイス) (1 / 4) 注 (1)、(6)

I/O 規格	ドライブ強度	メモリ・インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・カラム	ライト・ロウ				
3.3-V LVTTTL	4 mA	100	100	100	100	100	100	100	MHz
	8 mA	170	170	170	170	170	170	170	MHz
	12 mA	230	230	230	230	230	230	230	MHz
	16 mA	240	-	-	-	-	240	240	MHz
	20 mA	280	-	-	-	-	280	280	MHz
	24 mA (3)	300	-	-	-	-	300	300	MHz
3.3-V LVCMOS	4 mA	175	175	175	175	175	175	175	MHz
	8 mA	230	230	230	230	230	230	230	MHz
	12 mA	260	-	-	-	-	260	260	MHz
	16 mA	270	-	-	-	-	270	270	MHz
	20 mA	290	-	-	-	-	290	290	MHz
	24 mA (3)	310	-	-	-	-	310	310	MHz

表 4-36. HardCopy II 最大出力クロック・レート (HC210W デバイス) (2 / 4) 注 (1)、(6)

I/O 規格	ドライ ブ強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
2.5-V LVTTTL/LVCMOS	4 mA	136	136	136	136	136	136	136	MHz
	8 mA	230	230	230	230	230	230	230	MHz
	12 mA	370	370	370	370	370	370	370	MHz
	16 mA (3)	405	-	-	-	-	405	405	MHz
1.8-V LVTTTL/LVCMOS	2 mA	77	77	77	77	77	77	77	MHz
	4 mA	150	150	150	150	150	150	150	MHz
	6 mA	180	180	180	180	180	180	180	MHz
	8 mA	200	200	200	200	200	200	200	MHz
	10 mA	250	-	-	-	-	250	250	MHz
	12 mA (3)	290	-	-	-	-	290	290	MHz
1.5-V LVTTTL/LVCMOS	2 mA	60	60	60	60	60	60	60	MHz
	4 mA	110	110	110	110	110	110	110	MHz
	6 mA	150	-	-	-	-	150	150	MHz
	8 mA (3)	190	-	-	-	-	190	190	MHz
SSTL-2 Class I	8 mA	210	-	-	-	-	210	210	MHz
	12 mA (3)	280	-	-	-	-	280	280	MHz
SSTL-2 Class II	16 mA	245	-	-	-	-	245	245	MHz
	20 mA	245	-	-	-	-	245	245	MHz
	24 mA (3)	280	-	-	-	-	280	280	MHz
SSTL-18 Class I	4 mA	105	-	-	-	-	105	105	MHz
	6 mA	175	-	-	-	-	175	175	MHz
	8 mA	210	-	-	-	-	210	210	MHz
	10 mA	220	-	-	-	-	220	220	MHz
	12 mA (3)	230	-	-	-	-	230	230	MHz
SSTL-18 Class II	8 mA	140	-	-	-	-	140	140	MHz
	16 mA	220	-	-	-	-	220	220	MHz
	18 mA	220	-	-	-	-	220	220	MHz
	20 mA (3)	350	-	-	-	-	350	350	MHz

表 4-36. HardCopy II 最大出カクロック・レート (HC210W デバイス) (3 / 4) 注 (1)、(6)

I/O 規格	ドライ ブ強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
1.8-V HSTL Class I	4 mA	210	-	-	-	-	210	210	MHz
	6 mA	210	-	-	-	-	210	210	MHz
	8 mA	220	-	-	-	-	220	220	MHz
	10 mA	250	-	-	-	-	250	250	MHz
	12 mA (3)	270	-	-	-	-	270	270	MHz
1.8-V HSTL Class II	16 mA	190	-	-	-	-	190	190	MHz
	18 mA	200	-	-	-	-	200	200	MHz
	20 mA (3)	210	-	-	-	-	210	210	MHz
1.5-V HSTL Class I	4 mA	150	-	-	-	-	150	150	MHz
	6 mA	160	-	-	-	-	160	160	MHz
	8 mA	170	-	-	-	-	170	170	MHz
	20 mA	180	-	-	-	-	180	180	MHz
	12 mA (3)	190	-	-	-	-	190	190	MHz
1.5-V HSTL Class II	16 mA	170	-	-	-	-	170	170	MHz
	18 mA	170	-	-	-	-	170	170	MHz
	20 mA (3)	170	-	-	-	-	170	170	MHz
PCI (4)		315	-	315	-	-	315	315	MHz
PCIX (4)		315	-	315	-	-	315	315	MHz
LVDS		-	320	-	-	-	-	280	MHz
HyperTransport		-	320	-	-	-	-	-	MHz
LVPECL		-	-	-	-	-	-	280	MHz
差動 SSTL-2 Class I (5)	8 mA	210	-	-	-	-	210	210	MHz
	12 mA (3)	280	-	-	-	-	280	280	MHz
差動 SSTL-2 Class II (5)	16 mA	245	-	-	-	-	245	245	MHz
	20 mA	245	-	-	-	-	245	245	MHz
	24 mA (3)	280	-	-	-	-	280	280	MHz
差動 SSTL-18 Class I (5)	4 mA	105	-	-	-	-	105	105	MHz
	6 mA	175	-	-	-	-	175	175	MHz
	8 mA	210	-	-	-	-	210	210	MHz
	10 mA	220	-	-	-	-	220	220	MHz
	12 mA (3)	230	-	-	-	-	230	230	MHz

表 4-36. HardCopy II 最大出力クロック・レート (HC210W デバイス) (4 / 4) 注 (1)、(6)

I/O 規格	ドライ ブ強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
差動 SSTL-18 Class II (5)	8 mA	140	-	-	-	-	140	140	MHz
	16 mA	220	-	-	-	-	220	220	MHz
	18 mA	220	-	-	-	-	220	220	MHz
	20 mA (3)	220	-	-	-	-	220	220	MHz
1.8-V 差動 HSTL Class I (5)	4 mA	210	-	-	-	-	210	210	MHz
	6 mA	210	-	-	-	-	210	210	MHz
	8 mA	220	-	-	-	-	220	220	MHz
	10 mA	250	-	-	-	-	250	250	MHz
	12 mA (3)	270	-	-	-	-	270	270	MHz
1.8-V 差動 HSTL Class II (5)	16 mA	190	-	-	-	-	190	190	MHz
	18 mA	200	-	-	-	-	200	200	MHz
	20 mA (3)	210	-	-	-	-	210	210	MHz
1.5-V 差動 HSTL Class I (5)	4 mA	150	-	-	-	-	150	150	MHz
	6 mA	160	-	-	-	-	160	160	MHz
	8 mA	170	-	-	-	-	170	170	MHz
	10 mA	180	-	-	-	-	180	180	MHz
	12 mA (3)	190	-	-	-	-	190	190	MHz
1.5-V 差動 HSTL Class II (5)	16 mA	170	-	-	-	-	170	170	MHz
	18 mA	170	-	-	-	-	170	170	MHz
	20 mA (3)	170	-	-	-	-	170	170	MHz

表 4-36 の注:

- (1) トグル・レートは、ロウ I/O ピンにおける LVDS および HyperTransport テクノロジを除く、すべての I/O 規格の 0 pF の出力負荷に適用されます。ロウ I/O ピンにおける LVDS および HyperTransport テクノロジについては、トグル・レートは 0 ~ 5 pF の負荷に適用されます。
- (2) CLK [1, 3, 9, 11] および FPLL_CLK は、専用入力クロックであり、この表には記載されていません。
- (3) ピンがこの設定をサポートしている場合の Quartus II ソフトウェアのデフォルト設定です。
- (4) PCI クランプ・ダイオードは、トップおよびボトム I/O ピンでのみサポートされます。
- (5) Stratix II デバイスの場合と同様に、差動 HSTL および SSTL は、カラムの CLK、PLL_OUT、およびメモリ・インタフェースの DQS IOE ピンでのみサポートされます。HC210 および HC220 デバイスでは、差動 HSTL および SSTL はトップ・カラムのクロック・ピンのみでサポートされます。
- (6) これらの数値は暫定仕様であり、シリコンの特性評価中です。

表 4-37 および 4-38 に、OCT を使用する HardCopy II I/O の最大出力トグル・レートを示します。

I/O 規格	ドライ ブ強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
3.3-V LVTTTL	OCT 50 Ω	400	400	400	400	400	400	400	MHz
2.5-V LVTTTL	OCT 50 Ω	350	350	350	350	350	350	350	MHz
1.8-V LVTTTL	OCT 50 Ω	550	550	550	550	550	550	550	MHz
3.3-V LVCMOS	OCT 50 Ω	350	350	350	350	350	350	350	MHz
1.5-V LVCMOS	OCT 50 Ω	450	450	450	450	450	450	450	MHz
SSTL-2 Class I	OCT 50 Ω	500	-	-	-	-	500	500	MHz
SSTL-2 Class II	OCT 25 Ω	550	-	-	-	-	550	550	MHz
SSTL-18 Class I	OCT 50 Ω	400	-	-	-	-	400	400	MHz
SSTL-18 Class II	OCT 25 Ω	500	-	-	-	-	500	500	MHz
1.5-V HSTL Class I	OCT 50 Ω	550	-	-	-	-	550	550	MHz
1.8-V HSTL Class I	OCT 50 Ω	600	-	-	-	-	600	600	MHz
1.8-V HSTL Class II	OCT 50 Ω	500	-	-	-	-	500	500	MHz
差動 SSTL-2 Class I(3)	OCT 50 Ω	500	-	-	-	-	500	500	MHz
差動 SSTL-2 Class II(3)	OCT 25 Ω	550	-	-	-	-	550	550	MHz
差動 SSTL-18 Class I (3)	OCT 50 Ω	400	-	-	-	-	400	400	MHz
差動 SSTL-18 Class II (3)	OCT 25 Ω	500	-	-	-	-	500	500	MHz
1.8-V 差動 HSTL Class I(3)	OCT 50 Ω	600	-	-	-	-	600	600	MHz
1.8-V 差動 HSTL Class II (3)	OCT 25 Ω	500	-	-	-	-	500	500	MHz

表 4-37. HardCopy II 最大出力クロック・レート (HC210、HC220、HC230、および HC240 デバイス (OCT)) (2 / 2) 注 (1)

I/O 規格	ドライ ブ強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
1.5-V 差動 HSTL Class I (3)	OCT 50 Ω	550	-	-	-	-	550	550	MHz

表 4-37 の注:

- (1) トグル・レートは、ロウ I/O ピンにおける LVDS および HyperTransport テクノロジを除くすべての I/O 規格の 0 pF の出力負荷に適用されます。ロウ I/O ピンにおける LVDS および HyperTransport テクノロジについては、トグル・レートは 0 ~ 5 pF の負荷に適用されます。
- (2) CLK [1, 3, 9, 11] および FPLL_CLK は、専用入力クロックであり、この表には記載されていません。
- (3) Stratix II デバイスの場合と同様に、差動 HSTL および SSTL は、カラムの CLK、PLL_OUT、およびメモリ・インタフェースの DQS IOE ピンでのみサポートされます。HC210 および HC220 デバイスでは、差動 HSTL および SSTL は、トップ・カラムのクロック・ピンのみでサポートされます。

表 4-38. HardCopy II 最大出力クロック・レート (OCT を使用する HC210W デバイス) (1 / 2) 注 (1)、(4)

I/O 規格	ドライ ブ強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
3.3-V LVTTTL	OCT 50 Ω	280	280	280	280	280	280	280	MHz
2.5-V LVTTTL	OCT 50 Ω	245	245	245	245	245	245	245	MHz
1.8-V LVTTTL	OCT 50 Ω	290	290	290	290	290	290	290	MHz
3.3-V LVCMOS	OCT 50 Ω	245	245	245	245	245	245	245	MHz
1.5-V LVCMOS	OCT 50 Ω	190	190	190	190	190	190	190	MHz
SSTL-2 Class I	OCT 50 Ω	280	-	-	-	-	280	280	MHz
SSTL-2 Class II	OCT 25 Ω	280	-	-	-	-	280	280	MHz
SSTL-18 Class I	OCT 50 Ω	230	-	-	-	-	230	230	MHz
SSTL-18 Class II	OCT 25 Ω	220	-	-	-	-	220	220	MHz
1.5-V HSTL Class I	OCT 50 Ω	190	-	-	-	-	190	190	MHz
1.8-V HSTL Class I	OCT 50 Ω	270	-	-	-	-	270	270	MHz

表 4-38. HardCopy II 最大出力クロック・レート (OCT を使用する HC210W デバイス) (2 / 2)
注 (1)、(4)

I/O 規格	ドライブ 強度	メモリ・ インタフェース IOE	高速 IOE	汎用 IOE		CLK [0, 2, 8, 10] (2)	CLK [4..7, 12..15]	PLL_OUT	単位
				ボトム・ カラム	ライト・ ロウ				
1.8-V HSTL Class II	OCT 50 Ω	210	-	-	-	-	210	210	MHz
差動 SSTL-2 Class I (3)	OCT 50 Ω	280	-	-	-	-	280	280	MHz
差動 SSTL-2 Class II (3)	OCT 25 Ω	280	-	-	-	-	280	280	MHz
差動 SSTL-18 Class I (3)	OCT 50 Ω	230	-	-	-	-	230	230	MHz
差動 SSTL-18 Class II (3)	OCT 25 Ω	220	-	-	-	-	220	220	MHz
1.8-V 差動 HSTL Class I (3)	OCT 50 Ω	270	-	-	-	-	270	270	MHz
1.8-V 差動 HSTL Class II (3)	OCT 25 Ω	210	-	-	-	-	210	210	MHz
1.5-V 差動 HSTL Class I (3)	OCT 50 Ω	190	-	-	-	-	190	190	MHz

表 4-38 の注:

- (1) トグル・レートは、ロウ I/O ピンにおける LVDS および HyperTransport テクノロジを除くすべての I/O 規格の 0 pF の出力負荷に適用されます。ロウ I/O ピンにおける LVDS および HyperTransport テクノロジについては、トグル・レートは 0 ~ 5 pF の負荷に適用されます。
- (2) CLK [1, 3, 9, 11] および FPLL_CLK は、専用入力クロックであり、この表には記載されていません。
- (3) Stratix II デバイスの場合と同様に、差動 HSTL および SSTL は、カラムの CLK、PLL_OUT、およびメモリ・インタフェースの DQS IOE ピンでのみサポートされます。HC210 および HC220 デバイスでは、差動 HSTL および SSTL は、トップ・カラムのクロック・ピンのみでサポートされます。
- (4) これらの数値は暫定仕様であり、シリコンの特性評価中です。

高速 I/O 規格

表 4-39 は、高速タイミング仕様の定義を示しています。

高速タイミング仕様	定義
t_c	高速レシーバ/トランスミッタの入力および出力クロック周期。
f_{HSCLK}	高速レシーバ/トランスミッタの入力および出力クロック周波数。
J	デシリアライゼーション・ファクタ (パラレル・データ・バスの幅)。
W	PLL 通倍係数
t_{RISE}	Low から High への伝送時間。
t_{FALL}	High から Low への伝送時間。
Timing unit interval (TUI)	スキュー、伝播遅延、およびデータ・サンプリング・ウィンドウのために許容されるタイミング・バジェット。(TUI = 1/(レシーバ入力クロック周波数 × 通倍係数) = t_c/W)。
f_{HSDR}	LVDS の最大/最小データ転送レート ($f_{HSDR} = 1/TUI$)、DPA なし。
$f_{HSDRDPA}$	LVDS の最大/最小データ転送レート ($f_{HSDRDPA} = 1/TUI$)、DPA あり。
チャンネル間スキュー (TCCS)	t_{CO} の精度やクロック・スキューなどを含む最速および最低速出力エッジ間のタイミングの差。TCCS の測定では、クロックが考慮されます。
サンプリング・ウィンドウ (SW)	データを正しくキャプチャするために、データが有効でなければならない期間。サンプリング・ウィンドウ内での理想的なストロブ位置は、セットアップ時間およびホールド時間によって決まります。
入力ジッタ (ピーク・トゥ・ピーク)	高速 PLL におけるピーク・トゥ・ピーク入力ジッタ。
出力ジッタ (ピーク・トゥ・ピーク)	高速 PLL におけるピーク・トゥ・ピーク出力ジッタ。
t_{DUTY}	高速トランスミッタ出力クロックにおけるデューティ・サイクル。
t_{LOCK}	高速トランスミッタおよびレシーバ PLL のロック時間。

表 4-40 は、HC210W F484 WireBond デバイスの高速 I/O タイミング仕様を示しています。

シンボル	条件	Min	Typ	Max	単位
f_{HSCLK} (クロック周波数)	W = 2 ~ 32 (LVDS、HyperTransport テクノロジー) (3)	16		320	MHz
$f_{HSCLK} = f_{HSDR} / W$	W = 1 (SERDES バイパス、LVDS のみ)	16		320	MHz
	W = 1 (SERDES 使用、LVDS のみ)	150		320	MHz

シンボル	条件			Min	Typ	Max	単位
f _{HSDR} (データ・レート)	J = 4 ~ 10 (LVDS、HyperTransport テクノロジー)			150		640	Mbps
	J = 2 (LVDS、HyperTransport テクノロジー)			(4)		640	Mbps
	J = 1 t (LVDS のみ)			(4)		320	Mbps
f _{HSDRDPA} (DPA データ・レート)	J = 4 ~ 10 (LVDS、HyperTransport テクノロジー)			150		640	Mbps
TCCS	すべての差動規格					240	ps
SW	すべての差動規格			400			ps
出力ジッタ						(5)	ps
出力 t _{RISE}	すべての差動 I/O 規格					(5)	ps
出力 t _{FALL}	すべての差動 I/O 規格					(5)	ps
t _{DUTY}				45	50	55	%
DPA ラン・レンジス						6,400	UI
DPA ジッタ許容 (ピーク・トゥ・ピーク)				(5)			UI
DPA ロック時間	規格	トレーニング・パターン	遷移密度				繰り返し数
	SPI4	0000000000 1111111111	10%	(5)			
	パラレル Rapid I/O	10010000	25%	(5)			
		10010000	50%	(5)			
	その他	10101010	100%	(5)			
	10101010		(5)				

表 4-40 の注:

- (1) これらの数値は暫定仕様であり、シリコンの特性評価中です。
- (2) J = 4 ~ 10 の場合、SERDES ブロックが使用されます。
J = 1 または 2 の場合、SERDES ブロックはバイパスされます。
- (3) 入力クロック周波数および係数 W は、以下の fast PLL VCO 仕様を満足しなければなりません。150 ≤ 入力クロック周波数 × W ≤ 640
- (4) 最小値仕様は、クロック・ソース (fast PLL、enhanced PLL、クロック・ピンなど)、および使用されるクロック配線リソース (グローバル、リージョナル、またはローカル) に依存します。差動 I/O バッファおよび入力レジスタには、最小トグル・レートはありません。
- (5) 詳細については、アルテラ・アプリケーション・グループにお問い合わせください。

表 4-41 に、HC210、HC220、HC230、および HC240 HardCopy II デバイスの高速 I/O タイミング仕様を示します。

表 4-41. HardCopy II 高速 I/O タイミング仕様 (HC210、HC220、HC230、および HC240 デバイス)
注 (1)

シンボル	条件			Min	Typ	Max	単位
f_{HSCLK} (クロック周波数) $f_{\text{HSCLK}} = f_{\text{HSDR}} / W$	W = 2 ~ 32 (LVDS、HyperTransport テクノロジー) (2)			16		520	MHz
	W = 1 (SERDES バイパス、LVDS のみ)			16		500	MHz
	W = 1 (SERDES 使用、LVDS のみ)			150		717	MHz
f_{HSDR} (データ・レート)	J = 4 ~ 10 (LVDS、HyperTransport テクノロジー)			150		1,040	Mbps
	J = 2 (LVDS、HyperTransport テクノロジー)			(3)		760	Mbps
	J = 1 (LVDS のみ)			(3)		500	Mbps
$f_{\text{HSDR DPA}}$ (DPA データ・レート)	J = 4 ~ 10 (LVDS、HyperTransport テクノロジー)			150		1,040	Mbps
TCCS	すべての差動規格					200	ps
SW	すべての差動規格			330			ps
出力ジッタ						190	ps
出力 t_{RISE}	すべての差動 I/O 規格					160	ps
出力 t_{FALL}	すべての差動 I/O 規格					180	ps
t_{DUTY}				45	50	55	%
DPA ラン・レングス						6,400	UI
DPA ジッタ許容 (ピーク・トゥ・ピーク)				0.44			UI
DPA ロック時間	規格	トレーニング・ パターン	遷移密度				繰り返し数
	SPI4	0000000000 1111111111	10%	256			
	パラレル Rapid I/O	10010000	25%	256			
		10010000	50%	256			
	その他	10101010	100%	256			
	10101010		256				

表 4-41 の注:

- J = 4 ~ 10 の場合、SERDES ブロックが使用されます。
J = 1 または 2 の場合、SERDES ブロックはバイパスされます。
- 入力クロック周波数および係数 W は、以下の fast PLL VCO 仕様を満足しなければなりません。 $150 \leq \text{入力クロック周波数} \times W \leq 1,040$
- 最小値仕様は、クロック・ソース (fast PLL、enhanced PLL、クロック・ピンなど) および使用されるクロック配線リソース (グローバル、リージョナル、またはローカル) に依存します。差動 I/O バッファおよび入力レジスタには、最小トグル・レートはありません。

PLL タイミング 規格

表 4-42 および 4-43 に、コマーシャル・ジャンクション温度範囲（0 ～ 85°C）および工業用ジャンクション温度範囲（-40 ～ 100°C）の両方で動作するときの、クロック・スイッチオーバー機能を除く HardCopy II の PLL 規格を示します。Stratix II デバイスと同様に、クロック・スイッチオーバー機能は 0 ～ 100°C のジャンクション温度範囲でのみサポートされています。

シンボル	説明	Min	Typ	Max	単位
f_{IN}	HC210、HC220、HC230、および HC240 デバイスの入力クロック周波数	4		500	MHz
	HC210W デバイスの入力クロック周波数	4		320 (1)	MHz
f_{INPFD}	PFD への入力周波数	4		420	MHz
f_{INDUTY}	入力クロックのデューティ・サイクル	40		60	%
$f_{EINDUTY}$	外部フィードバック入力のデューティ・サイクル	40		60	%
$t_{INJITTER}$	入力または外部フィードバック・クロック入力ジッタの周期ジッタとしての許容差。帯域幅 ≤ 0.85 MHz		0.5		ns (pp)
	周期ジッタについての入力または外部フィードバック・クロック入力ジッタの許容差。帯域幅 > 0.85 MHz		1		ns (pp)
$t_{OUTJITTER}$	HC210、HC220、HC230、および HC240 デバイスの専用クロック出力の周期ジッタ			250 ps (outclk が 100 MHz 以上の場合) 25 mUI (outclk が 100 MHz 未満の場合)	ps または mUI
	HC210W デバイスの専用クロック出力の周期ジッタ			300 ps (outclk が 100 MHz 以上の場合) 30 mUI (outclk が 100 MHz 未満の場合)	ps または mUI
t_{FCOMP}	外部フィードバック補償時間			10	ns
f_{OUT}	内部グローバル・クロックまたはリージョナル・クロックの出力周波数	1.5 (2)		550	MHz
$t_{OUTDUTY}$	外部クロック出力のデューティ・サイクル (50% に設定した場合)	45	50	55	%
$f_{SCANCLK}$	Scanclk 周波数			100	MHz

表 4-42. HardCopy II の Enhanced PLL 規格 (2 / 2)

シンボル	説明	Min	Typ	Max	単位
$t_{\text{CONFIGPLL}}$	enhanced PLL のスキャン・チェーンをリコンフィギュレーションするのに必要な時間		$174/f_{\text{SCANCLK}}$		ns
$f_{\text{OUT_EXT}}$	PLL 外部クロック出力周波数	1.5 (2)		(1)	MHz
t_{LOCK}	PLL がイネーブルされた時点またはデバイス・コンフィギュレーション終了時から PLL がロックするのに必要な時間		0.03	1	ms
t_{DLOCK}	PLL が 2 つの同一クロック周波数間での自動クロック・スイッチオーバー後にダイナミックにロックするのに必要な時間			1	ms
$f_{\text{SWITCHOVER}}$	クロック・スイッチ・オーバが正しく動作する周波数範囲	4		500	MHz
f_{CLKW}	PLL のクローズド・ループ帯域幅	0.13	1.2	16.9	MHz
f_{VCO}	HC210、HC220、HC230、および HC240 デバイスの PLL VCO 動作範囲	300		1,040	MHz
	HC210W デバイスの PLL VCO 動作範囲	300		840	MHz
f_{SS}	スペクトラム拡散変調周波数	100		500	MHz
% spread	所定のクロック周波数のダウン拡散率	0.4	0.5	0.6	%
$t_{\text{PLL_PSERR}}$	PLL 位相シフトの精度			± 15	ps
t_{ARESET}	ARESET 信号の最小パルス幅。	10 (3)			ns
		500 (4)			ns
$t_{\text{ARESET_RECONFIG}}$	PLL リコンフィギュレーション使用時の areset 信号の最小パルス幅。scan done が High になった後で PLL をリセット。	500			ns

表 4-42 の注:

- (1) I/O f_{MAX} によって制限されます。
- (2) PLL のカウンタ・カスケード接続機能を使用する場合、最小出力クロック周波数は存在しません。
- (3) PLL の入力クロックが最低 10 μs 間連続して動作していた場合に適用されます。
- (4) PLL の入力クロックがトグルを停止している場合、または連続して動作している時間が 10 μs 未満の場合に適用されます。

表 4-43. HardCopy II fast PLL 規格					
シンボル	説明	Min	Typ	Max	単位
f_{IN}	HC210、HC220、HC230、および HC240 デバイスの入力クロック周波数	16		717	MHz
	HC210W デバイスの入力クロック周波数	16		320 (1)	MHz
f_{INPFD}	PFD への入力周波数	16		500	MHz
f_{INDUTY}	入力クロックのデューティ・サイクル	40		60	%
$t_{NJITTER}$	周期ジッタとしての入力クロックジッタの許容差。帯域幅 ≤ 2 MHz		0.5		ns (pp)
	周期ジッタとしての入力クロックジッタの許容差。帯域幅 > 0.2 MHz		1		ns (pp)
f_{VCO}	HC210、HC220、HC230、および HC240 デバイスの VCO 周波数範囲 (上側)	300		1,040	MHz
	HC210W デバイスの VCO 周波数範囲 (上側)	300		840	MHz
	HC210、HC220、HC230、および HC240 デバイスの VCO 周波数範囲 (下側)	150		520	MHz
	HC210W デバイスの VCO 周波数範囲 (下側)	150		420	MHz
f_{OUT}	GCLK または RCLK への PLL 出力周波数	4.6875		550	MHz
	HC210、HC220、HC230、および HC240 デバイスの LVDS または DPA クロックへの PLL 出力周波数	150		1,040	MHz
	HC210W デバイスの LVDS または DPA クロックへの PLL 出力周波数	150		840	MHz
f_{OUT_IO}	通常の I/O ピンへの PLL クロック出力周波数	4.6875		(1)	MHz
$t_{CONFIGPLL}$	Fast PLL のスキャン・チェーンをリコンフィギュレーションするのに必要な時間		$75/f_{SCAN_CLK}$		ns
f_{CLBW}	PLL のクローズド・ループ帯域幅	1.16	5	28	MHz
t_{LOCK}	PLL がイネーブルされた時点またはデバイス・コンフィギュレーション終了時から PLL がロックするのに必要な時間		0.03	1	ms
t_{PLL_PSERR}	PLL 位相シフトの精度			± 30	ps
t_{ARESET}	areset 信号の最小パルス幅。	10			ns
$t_{ARESET_RECONFIG}$	PLL リコンフィギュレーション使用時の areset 信号の最小パルス幅。scan done が High になった後で PLL をリセット。	500			ns

表 4-43 の注:

(1) I/O f_{MAX} によって制限されます。

外部メモリ・ インタフェー ス仕様

表 4-44 に、外部メモリ・デバイスで HardCopy II デバイスがサポート可能な最大クロック・レートをまとめます。

メモリ規格	HardCopy II デバイス			単位
	ワイヤボンド・パッケージ HC210W (2)	フリップ・チップ・パッケージ HC210 / HC220 / HC230 / HC240 (3)		
		コマーシャル (C)	工業用 (I)	
DDR	150	200	200	MHz
DDR2 (7)	150	267	233	MHz
QDRII (6)	150	250	233 (5)	MHz
RLDRAMII (6)	150	250 (4)	233 (4)	MHz

表 4-44 の注:

- (1) すべての HardCopy II デバイスが、DLL が不要の SDR SDRAM を除く PLL ベースの外部メモリ・インタフェースをサポートしているとは限りません。
- (2) HC210W は、トップ I/O バンクでメモリ・インタフェースをサポートしています。
- (3) HC210 および HC220 は、トップ I/O バンクでメモリ・インタフェースをサポートしています。HC230 および HC240 は、トップおよびボトム I/O バンクでメモリ・インタフェースをサポートしています。
- (4) 300 MHz メモリ・デバイスを低いクロックで使用する必要があります。
- (5) 300 MHz メモリ・デバイスを低いクロックで使用する必要があります。
- (6) 1.8-V HSTL I/O 規格での DDIO スキームに基づいています。
- (7) PLL 専用スキームに基づいています。書き込み側は新しい t_{DS}/t_H 仕様で制限されるため、Static-PHY と Auto-PHY には同じ F_{MAX} 仕様を使用してください。

表 4-45 から 4-51 に、外部メモリデバイスとのインタフェースに使用される専用回路の HardCopy II デバイス仕様を示します。

周波数モード	周波数範囲	分解能 (度)
0	100 ~ 175	30
1	150 ~ 230	22.5
2	200 ~ 310	30
3	240 ~ 350	36

表 4-46 に、HardCopy II DQS 遅延バッファの高速タイミング・モデルにおける最大遅延を示します。DQS ロジック・ブロックで使用している遅延バッファ数を掛けて、システムで達成可能な最大遅延を求めます。例えば、200 MHz で 90° の位相シフトを実装する場合、モード 2 で 3 個の遅延バッファを使用します。その場合、DQS ブロックからの達成可能な最大遅延は、 $3 \times 0.416 \text{ ps} = 1.248 \text{ ns}$ となります。

DLL 周波数モード	遅延バッファ 1 個あたりの最大遅延	単位
0	0.833	ns
1, 2, 3	0.416	ns

DQS 遅延バッファ・ステージ数 (2)	コマーシャル	工業用	単位
1	80	110	ps
2	110	130	ps
3	130	180	ps
4	160	210	ps

表 4-47 の注:

- (1) 位相シフトされた DQS クロックのピーク・トゥ・ピーク周期ジッタ
- (2) 要求された DQS 位相シフトに使用される遅延ステージは、Quartus II ソフトウェアのプロジェクトのコンパイル・レポートに示されます。

表 4-48. DLL 遅延クロックの DQS 位相ジッタ仕様
(tDQS_PHASE_JITTER) 注(1)

DQS 遅延バッファ・ステージ数 (2)	DQS 位相ジッタ	単位
1	30	ps
2	60	ps
3	90	ps
4	120	ps

表 4-48 の注:

- (1) 位相シフトされた DDS クロックのピーク・トゥ・ピーク位相ジッタ (DLL のトラッキングによって、デジタル・ジッタが生じます)。
- (2) 要求された DQS 位相シフトに使用される遅延ステージは、Quartus II ソフトウェアのプロジェクトのコンパイル・レポートに示されます。

表 4-49. DLL 遅延クロックの DQS 位相シフト誤差の仕様
(tDQS_PSERR) 注(1)

DQS 遅延バッファ・ステージ数 (2)	HC210、HC220、 HC230、HC240	単位
1	30	ps
2	60	ps
3	90	ps
4	120	ps

表 4-49 の注:

- (1) この誤差仕様は、絶対最大および最小誤差です。例えば、HC240 デバイスと 3 つの遅延バッファ・ステージのスキューは、105 ps または ±52.5 ps です。
- (2) 要求された DQS 位相シフトに使用される遅延ステージは、Quartus II ソフトウェアのプロジェクトのコンパイル・レポートに示されます。

表 4-50. DQS バス・クロック・スキュー・アダーの仕様
(tDQS_CLOCK_SKEW_ADDER) (1 / 2) 注(1)

モード	DQS クロック・スキュー・アダー	単位
×4 DQ/DQS	40	ps
×9 DQ/DQS	70	ps

**表 4-50. DQS バス・クロック・スキュー・アダーの仕様
(tDQS_CLOCK_SKEW_ADDER) (2 / 2) 注 (1)**

モード	DQS クロック・スキュー・アダー	単位
×18 DQ/DQS	75	ps
×36 DQ/DQS	95	ps

表 4-50 の注:

- (1) このスキュー仕様は、絶対最大および最小スキューです。例えば、×4 DQ グループのスキューは 40 ps または ±20 ps です。

表 4-51. ステージあたりの DQS 位相オフセット遅延 注 (1)

HardCopy II デバイス	Min	Max	単位
すべて	9	14	ps

表 4-51 の注:

- (1) 遅延設定はリニアです。位相オフセットの有効設定値は、周波数モード 0 では -64 ~ +63、周波数モード 1、2、および 3 では -32 ~ +31 です。標準値は最小値と最大値の平均です。

ホット・ソケット

HardCopy II デバイスは、外部デバイスを使用せずに、ホット・プラグインまたはホット・スワップとしても知られるホット・ソケット（活線挿抜）およびパワー・シーケンスをサポートします。ユーザは、システムの動作中に動作中のシステム・バスやシステムに実装されたボードに悪影響を与えることなく、HardCopy II ボードをシステムに取り付けたり、取り外すことができます。


HardCopy II デバイスのホット・ソケット機能により、以下が実現されます。

- デバイスを損傷させることなく、パワーアップ前にドライブ可能。
- I/O ピンはパワーアップ時にトライ・ステートを維持するため、HardCopy II I/O をシステムに挿入するときにバス動作に支障を及ぼさない。
- 信号ピンが V_{CCIO}、V_{CCPD}、または V_{CCINT} 電源をドライブしない。デバイスの I/O ピンへの外部入力信号は、デバイスの内部バスを通して V_{CCIO} または V_{CCINT} 電源に供給されない。

ホット・ソケットの状態では、デバイスの出力バッファはシステムのパワーアップ時またはパワーダウン時にオフになります。ボード・デザインを簡素化するために、HardCopy II デバイスは任意のパワーアップ・シーケンスまたはパワーダウン・シーケンス (V_{CCIO} および V_{CCINT}) をサポートします。複数の電源電圧がある環境では、パワーアップまたはパワーダウン時あるいはその前に、デバイスにダメージを与えることなく、信号をデバイスに入力することができます。

V_{CCIO} と V_{CCINT} は、任意のシーケンスでパワーアップまたはパワーダウンできます。電源ランプ・レートの範囲は 100 ns ~ 100 ms です。I/O ピンのドライブ・アウトを避けるために、すべての VCC 電源が互いに 100 ms 以内にパワーダウンする必要があります。ホット・ソケット中には、I/O ピンのキャパシタンスは 15 pF 未満、クロック・ピンのキャパシタンスは 20 pF 未満です。

- ホット・ソケット DC 仕様: $|I_{IOPIN}| < 300 \mu\text{A}$
- ホット・ソケット AC 仕様: $|I_{IOPIN}| < 8 \text{ mA}$ (周期が 10 ns 以下の場合)

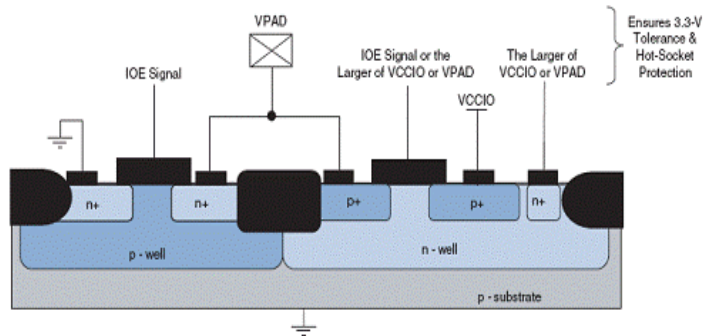
 DC 仕様は、パワーアップまたはパワーダウン状態でデバイスへのすべての VCC 電源が安定している場合に適用されます。AC 仕様は、デバイスが上記のいずれかの状態でパワーアップまたはパワーダウンされている時に適用されます。

静電気放電

静電気放電 (ESD) に対する保護は、アルテラ FPGA およびストラクチャード ASIC デバイ스에組み込まれるデザイン方法です。HardCopy II デバイスも例外ではなく、デザインにはすべての I/O ピンおよび電源ピンに ESD 保護が実装されます。

ESD保護について説明するために、図 4-3に代表的なHardCopy II CMOS I/O バッファの構造を示します。

図 4-3. HardCopy II デバイス I/O バッファのトランジスタ・レベル図

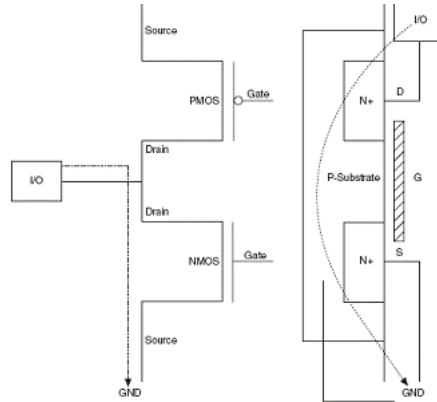


I/O ピンの CMOS 出力ドライバは本質的に、静電気放電に対する保護を提供します。ESD 電圧ストライクに対しては、正電圧ザップおよび負電圧ザップの 2 つのケースを検討する必要があります。

正の ESD 電圧ザップは、ESD の充電イベントによって I/O ピンに正電圧が存在する場合に発生します。この正の ESD 電圧ザップは、N チャネル・ドレインの N+ (ドレイン) /P 基板接合部の破壊を引き起こす可能性があり、N+ (ドレイン) /P 基板 /N+ (ソース) 真性バイポーラ・トランジスタが導通して、I/O ピンから GND に ESD 電流が放電されます。

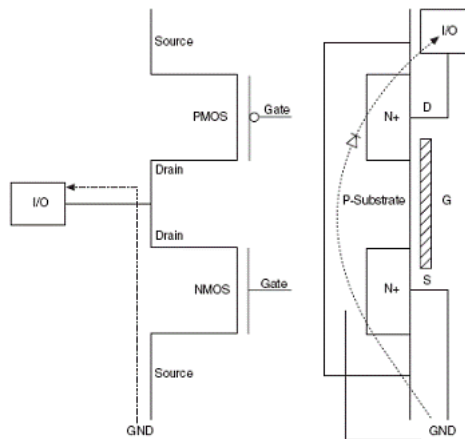
破線（[図 4-4](#) を参照）は、正の ESD ザップ時の ESD 電流放電経路を示しています。

図 4-4. 正電圧ザップ時の ESD 保護



I/O ピンが -0.7 V (0.7 V はダイオード両端の電圧降下) より低い電圧のピンで負の ESD ザップを受け取ると、真性 P 基板 /N+ ドレイン・ダイオードが順バイアスされます。したがって、放電 ESD 電流経路は、[図 4-5](#) に示すとおり、GND から I/O ピンになります。

図 4-5. 負電圧ザップ時の ESD 保護





ESD 保護の詳細は、アルテラ・ウェブサイト (www.altera.co.jp) の「Hot-Socketing and Power-Sequencing Feature and Testing for Altera Devices」ホワイトペーパーにも記載されています。



アルテラ製品の ESD 測定結果に関する情報は、アルテラ・ウェブサイト (www.altera.co.jp) の信頼性レポートをご覧ください。

改訂履歴

表 4-52 に、本資料の改訂履歴を示します。

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 6 月 v3.1	<ul style="list-style-type: none"> ● 表 4-16 の V を V_{IH} に変更。 ● 表 4-17 の V_{IH} のデータを更新。 ● 表 4-29 を追加。 ● 表 4-44 を更新。 	
2006 年 12 月 v3.0	<p>新しい電気的特性評価データの追加に伴う大規模な更新。</p> <ul style="list-style-type: none"> ● 表 4-1、表 4-3、表 4-4、表 4-5、表 4-10、表 4-12、表 4-13、表 4-19、表 4-20、表 4-27 ~ 4-31 のデータを更新。表 4-11 および表 4-36 ~ 4-50 を追加。 ● 表 4-27 ~ 4-32 を新しい表 4-32 ~ 4-33 に統合。 ● 表 4-33 ~ 4-36 を新しい表 4-34 ~ 4-35 に統合。 ● 変更履歴を追加 	新しい電気的特性評価データによる大規模な更新。
2005 年 10 月 v2.1	図を更新。	
2005 年 5 月 v2.0	章全体で表を更新。	
2005 年 1 月 v1.0	HardCopy シリーズ・ハンドブックにドキュメントを追加。	