

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H51017-2.3

## IEEE Std. 1149.1 (JTAG) バウンダリ・ スキャンの サポート

すべての HardCopy® II ストラクチャード ASIC は、IEEE Std. 1149.1-1990 規格に準拠した JTAG BST 回路を搭載しています。BST アーキテクチャは、物理的なテスト・プローブを使用せずにピンの接続をテストできるため、リード間隔が狭いプリント回路ボード (PCB) 上の部品を効率的にテストでき、またデバイスの通常動作中に機能データをキャプチャできます。デバイスのバウンダリ・スキャン・セルは信号をピンに強制的に出力するか、あるいはピンまたはコア・ロジック信号からデータをキャプチャします。強制テスト・データはバウンダリ・スキャン・セルにシリアルにシフト・インされます。キャプチャされたデータはシリアルにシフト・アウトされ、外部で期待値と比較されます。

JTAG インタフェースを使用するデバイスは、TDI、TDO、TMS、および TCK の4本の専用ピン、および TRST の1本のオプション・ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えていますが、TDI ピン、TMS ピンおよび TRST ピンは内部ウィーク・プルアップ抵抗を備えています。TDO 出力は  $V_{CCIO}$  を供給元としています。HardCopy II デバイスは、表 3-1 に示す JTAG インストラクションをサポートしています。

表 3-1. HardCopy II の JTAG インストラクション (1 / 2)

JTAG 命令	インストラクション・コード	説明
SAMPLE/PRELOAD	00 0000 0101	通常動作中のデバイスのピンから信号を取り込んでテストすることができる。また、初期データ・パターンをデバイス・ピンに出力させることができる。
EXTEST (1)	00 0000 1111	出力ピンにテスト・パターンを強制的に与え、入力ピンでテスト結果を取り込むことによって、外部回路との接続とボード・レベルの配線がテストできる。
BYPASS	11 1111 1111	TDI ピンと TDO ピンの間に1ビットの BYPASS レジスタを配置することによって、デバイスに通常の動作をさせながら、BST データが指定したデバイスをバイパスして、選択されたデバイスに同期転送させることができる。

JTAG 命令	インストラクション・コード	説明
USERCODE	00 0000 0111	32 ビットの USERCODE レジスタを選択して TDI ピンと TDO ピンの間に配置することによって、USERCODE を TDO にシリアルにシフト・アウトさせることができる。
IDCODE	00 0000 0110	IDCODE レジスタを選択して TDI ピンと TDO ピンの間に配置することによって、IDCODE が TDO にシリアルにシフト・アウトさせることができる。
HIGHZ (1)	00 0000 1011	TDI ピンと TDO ピンの間に 1 ビットの BYPASS レジスタを配置することによって、すべての I/O ピンをトライ・ステートにした状態で、デバイスに通常の動作をさせながら、BST データが指定したデバイスをバイパスして、隣接したデバイスに同期転送させることができる。
CLAMP (1)	00 0000 1010	TDI ピンと TDO ピンの間に 1 ビットの BYPASS レジスタを配置することによって、I/O ピンをバウンダリ・スキャン・レジスタ内のデータで定義される状態に保持し、デバイスに通常の動作をさせながら、BST データが指定したデバイスをバイパスして、隣接したデバイスに同期転送させることができる。

表 3-1 の注：

- (1) バス・ホールドおよびウィーク・プルアップ抵抗の機能を設定すると、HIGHZ のハイ・インピーダンス・ステート、CLAMP、EXTEST ではその機能が生きたままになります。



HardCopy II デバイスの BSDL ファイルは、対応する Stratix® II FPGA のものとは異なります。詳細について、あるいは IEEE Std. 1149.1 準拠の HardCopy II デバイス用 BSDL ファイルを入手するには、アルテラのウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) を参照してください。

HardCopy II デバイスのインストラクション・レジスタの長さは 10 ビットです。また、USERCODE レジスタの長さは 32 ビットです。USERCODE レジスタは再プログラム可能ではなく、マスク・プログラムされます。設計者は、USERCODE レジスタにプログラムされる適切な 32 ビット・シーケンスを選択できます。

表 3-2 および 3-3 に、HardCopy II デバイスのバウンダリ・スキャン・レジスタの長さおよびデバイスの IDCODE を示します。

デバイス	バウンダリ・スキャン・レジスタの長さ
HC210W	1050
HC210	1050
HC220	1530
HC230	2154
HC240	2910

デバイス	IDCODE (32 ビット) (1)			
	バージョン (4 ビット)	パート番号 (16 ビット)	メーカーの ID (11 ビット)	LSB (1 ビット) (2)
HC210W	0000	0010 0000 1100 0001	000 0110 1110	1
HC210	0000	0010 0000 1100 0010	000 0110 1110	1
HC220	0000	0010 0000 1100 0011	000 0110 1110	1
HC230	0000	0010 0000 1100 0100	000 0110 1110	1
HC240	0000	0010 0000 1100 0101	000 0110 1110	1

表 3-3 の注：

- (1) 左側が最上位ビット (MSB) です。
- (2) IDCODE の最下位ビット (LSB) は常に 1 です。

### HardCopy II デバイスのバウンダリ・スキャン・テスト

HardCopy II デバイスでバウンダリ・スキャン・テストを実行するには、以下の 2 つのファイルが必要です。

1. アルテラのウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) からダウンロード可能な汎用 HardCopy II BSDL ファイル。
2. Quartus II ソフトウェアからのデザイン用 PIN ファイル。

これら 2 つのファイルの場合、**BSDLCustomizer** と呼ぶツールで実行する必要があります。

**BSDLCustomizer** は、Quartus II ソフトウェア PIN ファイルからのデザインおよびピン・アサイメントに応じて、**BSDL** ファイルのポート定義およびバウンダリ・スキャン・チェイン・グループの属性を変更するのに使用される **TCL** スクリプトです。

**BSDLCustomizer** ツールを通じて汎用 **BSDL** ファイルおよび **PIN** ファイルを実行すると、変更された **BSDL** ファイルが作成されるので、これをバウンダリ・スキャン・テストに使用しなければなりません。

ボードでバウンダリ・スキャン・テストを実行する前に、**nCONFIG** ピンが外部で **Low** にプルダウンされ、**nSTATUS** ピンが **Low** であることを確認します。

**BSDLCustomizer** ツールについて詳しくは、アルテラのウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) から **BSDLCustomizer** ツールと共にダウンロード可能な「**BSDLCustomizer User Guide**」を参照してください。

図 3-1 は、**JTAG** 信号に対するタイミングの規格を示したものです。

図 3-1. HardCopy II の **JTAG** 信号波形

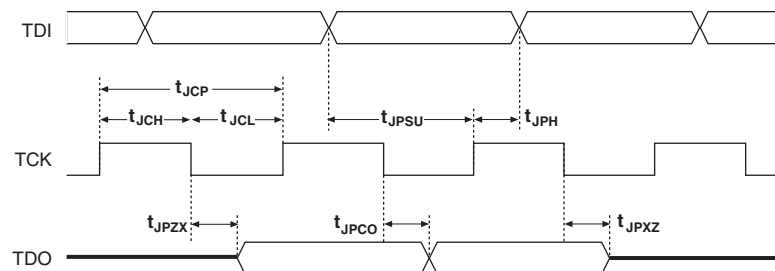


表 3-4 は、HardCopy II デバイスの JTAG タイミング・パラメータとその値を示しています。

シンボル	パラメータ	Min	Max	単位
$t_{JCP}$	TCK クロックの周期	30		ns
$t_{JCH}$	TCK クロックの High 時間	13		ns
$t_{JCL}$	TCK クロックの Low 時間	13		ns
$t_{JPSU}$	JTAG ポートのセットアップ時間	3		ns
$t_{JPH}$	JTAG ポートのホールド時間	5		ns
$t_{JPCO}$	JTAG ポートの 「Clock-to-Output」遅延		11	ns
$t_{JPZX}$	JTAG ポートのハイ・インピーダンスから有効出力まで		14	ns
$t_{JPXZ}$	JTAG ポートの有効出力からハイ・インピーダンスまで		14	ns
$t_{JSSU}$	キャプチャ・レジスタのセットアップ時間	4		ns
$t_{JSH}$	キャプチャ・レジスタのホールド時間	5		ns



JTAG またはバウンダリ・スキャン・テストについて詳しくは、「AN 39: IEEE Std. 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices」を参照してください。



Stratix II FPGA 同様、HardCopy II デバイスは、JTAG インフェースを通じて一定の期間デザインの動作をモニタする SignalTap® II エンベデッド・ロジック・アナライザをサポートしています。SignalTap II ロジック・アナライザは、FPGA プロトタイプ作成フェーズで有用な機能ですが、デザインが HardCopy II デバイスに移行された後で必要ない場合は、除去しなければなりません。HardCopy II はマスク・プログラム・デバイスであり、HardCopy II デバイスが製造された後で、Signal Tap ロジックをなくすことはできません。

## 改訂履歴

表 3-5 に、本資料の改訂履歴を示します。

表 3-5. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 7 月 v2.3	<ul style="list-style-type: none"> <li>● リソース情報を追加</li> <li>● 図 3-1 を変更</li> <li>● HardCopy II デバイスのバウンダリ・スキャン・テスト (BST) に関する項を追加。</li> </ul>	
2006 年 12 月 v2.2	<ul style="list-style-type: none"> <li>● Quartus II ソフトウェア・バージョン 6.1.0 のためのマイナー・アップデート</li> <li>● 変更履歴を追加</li> </ul>	Quartus II ソフトウェア・バージョン 6.1 のための更新。
2005 年 10 月 v2.1	図を更新。	
2005 年 5 月 v2.0	表 3-2 を更新。	
2005 年 1 月 v1.0	HardCopy シリーズ・ハンドブックにドキュメントを追加。	