

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H51016-2.4

### はじめに

アルテラの HardCopy<sup>®</sup>II デバイスは、多様なアプリケーションに最適な高集積度、高性能、および低消費電力を提供するアーキテクチャを備えています。HardCopy II デバイスは、Stratix<sup>®</sup>II FPGA デバイスと互換性のあるピン配置、集積度、およびアーキテクチャを備えた低コストのストラクチャード ASIC です。HardCopy II デバイスは、ダイ面積およびコア・リソースを最適に利用することで、Stratix II FPGA と同等の機能を提供します。インシステム・プロトタイプおよびデザイン検証のための Stratix II FPGA、量産向け HardCopy II デバイス、および Quartus<sup>®</sup>II デザイン・ソフトウェアを組み合わせることにより、プロトタイプから量産への完全かつシームレスなパスを提供します。表 2-1 に、HardCopy II デバイスの概要を示します。

表 2-1. HardCopy II ファミリの概要 (1 / 2)

特長	HC210W (1)	HC210	HC220	HC230	HC240
ユーザブル ASIC ゲート数 (2)	1,000,000	1,000,000	1,900,000	2,900,000	3,600,000
M4K RAM ブロック数 (4 K ビット + パリティ)	190	190	408	614	768 (3)
M-RAM ブロック数 (512K ビット + パリティ)	0	0	2	6	9
トータル RAM ビット数 (パリティ・ビットを含む)	875,520	875,520	3,059,712	6,368,256	8,847,360
enhanced PLL 数	2	2	2	4	4
fast PLL 数	2	2	2	4	8

表 2-1. HardCopy II ファミリの概要 (2 / 2)

特長	HC210W (1)	HC210	HC220	HC230	HC240
パッケージ (最大ユーザ I/O ピン数) (4)、(5)	484 ピン FineLine BGA (308)	484 ピン FineLine BGA (334)	672 ピン FineLine BGA (492) 780 ピン FineLine BGA (494)	1,020 ピン FineLine BGA (698)	1,020 ピン FineLine BGA (742) 1,508 ピン FineLine BGA (951)
FPGA プロトタイプ・オプション	EP2S30 EP2S60 EP2S90	EP2S30 EP2S60 EP2S90	EP2S60 EP2S90 EP2S130	EP2S90 EP2S130 EP2S180	EP2S180

## 表 2-1 の注：

- (1) HC210W デバイスは、ワイヤボンド・パッケージを使用しています。他のすべての HardCopy II デバイスおよび Stratix II FPGA はフリップ・チップ・パッケージを使用しています。ワイヤボンド・パッケージのデバイスとフリップ・チップ・パッケージのデバイスでは、性能とシグナル・インテグリティ特性が異なります。
- (2) HardCopy II ベース・アレイで使用可能な ASIC ゲート数です。Stratix II FPGA プロトタイプで実現可能なロジックや DSP 機能が実装されます。
- (3) 使用可能な M4K ブロックの総数は 768 であり、これによって EP2S180 デバイスを使用してプロトタイプを作成するときのマイグレーション互換性が確保されます。この値は、Quartus II ソフトウェアが示す HC240 の物理的 M4K 総数とは異なる場合があります。
- (4) I/O ピン数は、クロック信号またはデータ入力として使用できる専用クロック入力ピンを含みます。
- (5) Quartus II ソフトウェアの I/O ピン数は、汎用 I/O ピンとして使用できない 1 本の追加ピン (PLLENA) を含みます。PLLENA ピンは、PLL のイネーブルにするためだけに使用できます。

## 機能の説明

HardCopy II デバイス・ファミリは、量産向けストラクチャード ASIC に移行する前の FPGA プロトタイプを使用したデザインに対して、高い柔軟性を提供します。HardCopy II ストラクチャード ASIC にシームレスに移行する前に、設計者は Stratix II FPGA を使用してプロトタイプを作成し、デザインの機能をテストできます。プロトタイプ FPGA には複数のオプションがあり、設計者は量産および最大限のコスト削減を達成するために、最適な HardCopy II デバイスを選択することができます。Quartus II デザイン・ソフトウェアは、デザイン要件に基づいて最適な HardCopy II デバイスの選択を支援する Device Resource Guide などの機能を備えています。



Device Resource Guide について詳しくは、「HardCopy シリーズ・ハンドブック」の「Quartus II Support for HardCopy II Devices」の章を参照してください。

HardCopy II デバイスでは、設計者はデバイス移行プロセスにほとんど関わらずに済みます。また、ASIC の開発とは異なり、プロトタイプ作成は FPGA を使用して実行されるため、設計者はテスト・ベンチやテスト・ベクタを作成したり、タイミングやファンクションのシミュレーションを行う必要はありません。

HardCopy II は、特定のデバイス集積度のすべてのデザインに共通のベース・アレイとデザイン固有のカスタマイズを行った 2 つのメタル層で構成されています。再プログラム可能な FPGA のロジック、配線、メモリおよび FPGA コンフィギュレーション関連のロジックは、HardCopy II デバイスでは排除されています。すべてのコンフィギュレーションおよびプログラマブルな配線リソースをなくし、それをダイレクト・メタル接続に置き換えることで、ダイ・サイズが大幅に縮小され、確実にコストが削減されます。HCell アレイで構成される微細なアーキテクチャにより、ダイの縮小およびコスト削減がさらに進み、多様なアプリケーションに適した高性能および低消費電力の低コストストラクチャード ASIC が実現します。

Stratix II FPGA の SRAM コンフィギュレーション・セルは、HardCopy II デバイスではデバイス内のロジック、メモリ、PLL (Phase-Locked Loop)、および I/O エレメントのファンクションを定義するメタル接続に置き換えられます。これらのリソースは、メタル層を通して相互に接続されます。製造した HardCopy II デバイスは、デバイス機能が確定しています。

HardCopy II デバイスは、Stratix II FPGA と同じ 90 nm プロセス・テクノロジーを使用して製造され、同じコア電圧 (1.2 V で動作します。また、HardCopy II デバイスのアーキテクチャ機能は、ほぼ全面的に Stratix II FPGA アーキテクチャ機能と同等です。HardCopy II デバイスは、HCell、メモリ・ブロック、PLL および IOE を備えています (図 2-1)。

図 2-1. HC230 デバイスの例を示すブロック図 注 (1)

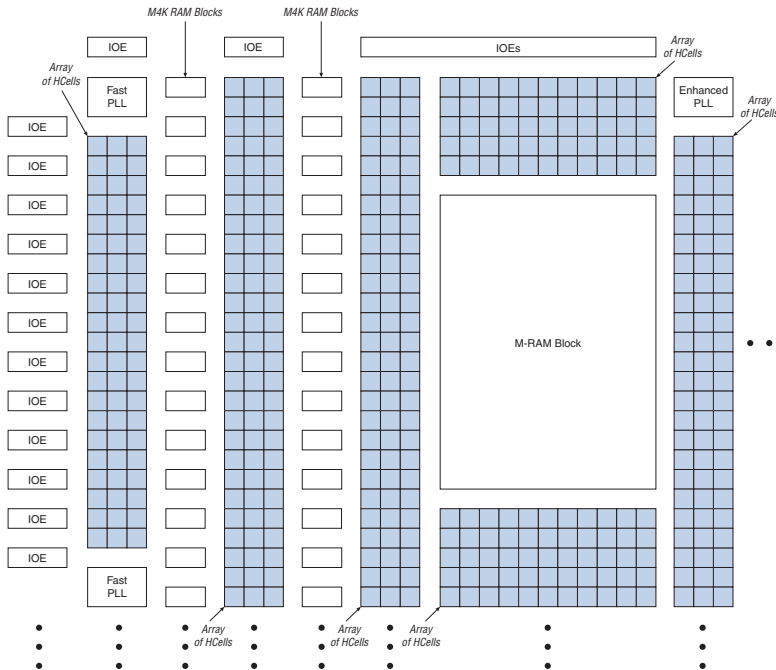


図 2-1 の注:

- (1) 図 2-1 は、デバイスのフロアプランをグラフィカルに示したものです。詳細なフロアプランは、Quartus II ソフトウェアで表示することができます。

## HardCopy II と Stratix II の類似点と相違点

HardCopy II デバイスは、Stratix II FPGA の機能を継承します。これらのアーキテクチャ機能の HardCopy II ストラクチャード ASIC への実装は、いくつかの例外を除いて Stratix II FPGA における実装と同じです。表 2-2 に、HardCopy II デバイスと Stratix II FPGA デバイスの機能の実装における質的な比較を示します。本章の他の項では、HardCopy II の特定の機能の類似点および相違点について詳細に説明しています。

表 2-2. HardCopy II デバイスと Stratix II FPGA の機能の実装 (1/2)

特長	類似点	相違点
ロジック・ブロック		√
DSP ブロック		√
メモリ	√	

特長	類似点	相違点
クロック・ネットワーク	√	
PLL	√	
I/O 機能	√	
コンフィギュレーション (1)		√


表 2-2 の注：

- (1) HardCopy II ストラクチャード ASIC は、パワーアップ時にコンフィギュレーションする必要はありません。

Stratix II FPGA デバイスと HardCopy II デバイスの主な類似点および相違点を以下に示します。

- HardCopy II の消費電力は、同じ周波数で動作する同等の Stratix II FPGA と比較して最大 50% 低減されます。消費電力はデザインにより異なり、デザインの性能およびリソースの利用率が直接反映されます。
- HardCopy II デバイスは、Stratix II FPGA プロトタイプと比較して最大 100% の性能の向上を実現します。性能の向上は、ロジック・ブロックの効率的な使用、メタル・インタコネクットの最適化、ダイ・サイズの縮小およびカスタマイズされた信号のバッファリングによって達成されます。
- HCell とよばれるロジック・ブロックは、HardCopy II デバイスのコア・ロジックの基本的なビルディング・ブロックであり、Stratix II デバイスのアダプティブ・ロジック・モジュール (ALM) の代わりとなるものです。HCells は、ロジックおよび DSP ファンクションを実装します。
- DSP ブロック・ファンクションは、専用 DSP ブロックではなく HCell を使用して実装されます。
- M4K および M-RAM メモリ・ブロックは、トゥルー・デュアル・ポート、シンプル・デュアル・ポート、シングル・ポート RAM、ROM、FIFO (First-In First-Out) バッファなど、様々なタイプのメモリをパリティ付きまたはパリティなしで実装できます。
- Stratix II FPGA と異なり、HardCopy II M4K ブロックを RAM として使用する場合、その内容をメモリ初期化ファイル (.mif) で事前にロードすることはできません。ROM として使用する場合、HardCopy II M4K ブロックは ROM の内容に初期化されます。

- RAMとして使用する場合、non-registered出力モードを選択すると、HardCopy II M4KおよびM-RAMブロックの出力はパワーアップ時は不定です。Stratix II FPGA では、パワーアップ時に M4K ブロックの出力はクリアされ、M-RAM ブロックの出力は不定です。registerd出力モードを選択すると、HardCopy II の M4K および M-RAM ブロックの両方で出力がクリアされます。
- いずれのインスタンスにおいてもメモリの内容は不定です。
- HardCopy II クロック・ネットワークと Stratix II FPGA クロック・ネットワークの機能はすべて同じです。
- enhanced PLL および fast PLL の HardCopy II デバイスへの実装は、Stratix II FPGA と同じです。
- Stratix IIのI/O機能およびサポートされているI/O規格は、HardCopy II デバイスでもすべて提供されています。
- JTAG (Joint Test Action Group) バウンダリ・スキャンの順序および長さは、HardCopy II デバイスと Stratix II FPGA デバイスで異なります。順序を変更し短くなったバウンダリ・スキャン・チェーンを記述した、HardCopy II 用の BSDL (Boundary-Scan Description Language) ファイルを使用してください。
- Stratix II デバイスとは異なり、HardCopy II デバイスは2つのメタル層を使用してカスタマイズされます。このため、コンフィギュレーション回路は不要です。リモート・システム・アップグレードおよびコンフィギュレーション・ビット・ストリーム暗号化を使用したデザイン・セキュリティを含む FPGA コンフィギュレーション・エミュレーションおよび他のコンフィギュレーション・モードは、HardCopy II デバイスではサポートされません。
- コンフィギュレーションが不要な場合でも、CRC\_ERROR ピンの機能は、Quartus II ソフトウェア・バージョン6.0以降により、HardCopy II でサポートされます。この機能を削除するために、Stratix II デザインを再コンパイルする必要はありません。

 本章で説明する HardCopy II と Stratix II FPGA のアーキテクチャおよび機能の類似点および相違点についての情報は、補足的なものです。HardCopy II で使用可能なリソースの類似点および相違点について詳しくは、このハンドブックの「Stratix II デバイス・リソースの HardCopy II デバイスへの移行」の章を参照してください。また、「Stratix II デバイス・ハンドブック」では、HardCopy II デバイスと似たアーキテクチャ機能およびファンクションについて詳細に説明しています。

## HCell

HardCopy II デバイスは、HCell と呼ばれる微細なアーキテクチャ・ブロック・アレイを使用して構築されています。HCell は、Stratix II デバイスと同じ 1.2 V、90 nm プロセステクノロジーをベースにしたロジック・トランジスタで構成されています。HCell を使用したロジックの構造は柔軟性のある機能を提供し、HCell を組み合わせることで Stratix II の機能で実現可能なロジックの組み合わせを複製することができます。これの HCell は、図 2-1 に示す HCell 領域を構成します。HCell の利用を最適化するため、カスタマ・デザインの実装に必要な HCell のみが集められます。未使用の HCell ロジック・ファブリック領域はパワーダウンされるため、Stratix II FPGA プロトタイプと比較して消費電力が大幅に削減されます。

Quartus II ソフトウェアは、pre-characterized HCell マクロ・ライブラリを使用して Stratix II ALM および DSP コンフィギュレーションを HardCopy II HCell ベースのロジック・ファブリックに配置します。HCell マクロは、アレイ内で HCell グループを接続する方法を定義します。HCell マクロは、Stratix II ALM により実装可能な組み合わせロジック、加算器およびレジスタ機能のすべての組み合わせを構築することができます。ALM コンフィギュレーションに使用されない HCell は、DSP ブロック・ファンクションの実装に使用できます。

Quartus II ソフトウェアは、デザイン要件に基づきデザイン機能を実装するのに最適な HCell マクロを選択します。例えば、Stratix II ALM は、柔軟なルック・アップ・テーブル (LUT) ブロック、レジスタ、演算ブロックおよび LAB ワイド・コントロール信号を提供します。HardCopy II デバイスでは、デザインにこれらのアーキテクチャ・エレメントが必要な場合、Quartus II システム・ツールがデザインを適切な HCell にマッピングします。それにより Stratix II FPGA プロトタイプと比較して性能が向上します。

Stratix II FPGA は、各 DSP ファンクションを実装するための専用 DSP ブロックを内蔵しています。Stratix II DSP ブロックは、乗算器ブロック、乗算器 / 減算器 / アキュムレータ・ブロック、サメーション・ブロック、入力および出力インタフェースおよび入力および出力レジスタで構成されています。HardCopy II デバイスでは、HCell マクロは Stratix II FPGA の専用 DSP ブロックと同等の面積効率および性能を持つ Stratix II DSP ブロック機能を実装します。

次の 8 つの HCell マクロにより、Stratix II DSP ブロックでサポートされる 8 つの動作モードが実装されます。

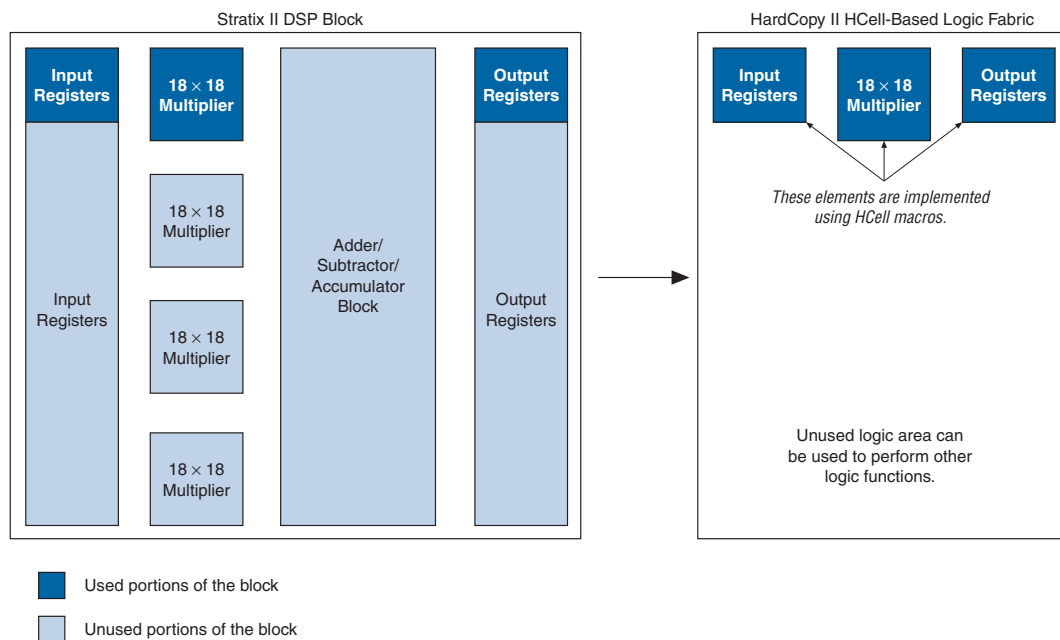
- 9×9 乗算器
- 9×92 乗算器・加算器 (9×9 複素数乗算)
- 9×94 乗算器・加算器

- 18×18 乗算器
- 18×18 2 乗算器・加算器 (18×18 複素数乗算)
- 18×18 4 乗算器・加算器
- 52 ビット (18×18) 乗算アキュムレータ
- 36×36 乗算器

デザインの DSP ファンクションの実装に必要な HCell のみイネーブルされます。DSP ファンクションで不要な HCell は、ALM コンフィギュレーションで使用でき、これによって効率的なロジックの使用が可能になります。面積管理に加え、これらの HCell マクロを配置することにより、配線と性能が最適化されます。

専用 DSP ブロックを使用した 18×18 乗算器の Stratix II FPGA への実装と、HCell を使用した HardCopy II デバイスへの実装を比較すれば、ロジック領域の効率的な使用法の一例を知ることができます。Stratix II DSP ファンクションで 1 個の 18×18 乗算器のみ必要な場合、他の 3 個の 18×18 乗算器および DSP ブロックの加算器出力ブロックは使用されません (図 2-2) HardCopy II デバイスでは、DSP ファンクションに使用されない HCell ベースのロジック・ファブリックを、他の組み合わせロジック、加算器、およびレジスタ・ファンクションの実装に使用することができます。

図 2-2. Stratix II DSP ブロックと HardCopy II HCell 18 × 18 ビット乗算器の実装



HardCopy II デバイスは、すべての Stratix II DSP コンフィギュレーション (9×9、18×18、および 36×36 乗算器)、およびダイナミック符号コントロール、ダイナミック加算 / 減算、飽和、丸め、およびダイナミック入力シフト・レジスタなど、ダイナミック・モード切り替え以外のすべての Stratix II DSP ブロック機能をサポートします。

ダイナミック・モード切り替えにより、設計者は Stratix II の各 DSP ブロックを、以下の 3 つのモードでダイナミックに切り替わるようにセットアップできます。

- 最大 4 個の独立した 18 ビット乗算器
- 最大 2 個の 8 ビット乗算アキュムレータ
- 1 個の 36 ビット乗算器

Stratix II の DSP ブロックの各半分には、個別のモード・コントロール信号があります。DSP ブロック・ファンクションは、HCell を使用して HardCopy II デバイスに実装されるため、HardCopy II デバイスはダイナミック・モード切り替えをサポートしません。この機能を使用した場合、Quartus II ソフトウェアがその DSP 実装について警告を出し、デザインを移行することはできません。フィッタは、必ずしもすべての

HardCopy II デバイスにデザインとの互換性がないことをレポートします。Stratix II デザインを HardCopy II コンパニオン・デバイスに移行するには、DSP ブロックでのダイナミック切り換えをディセーブルします。



Stratix II DSP 動作モードについて詳しくは、「Stratix II デバイス・ハンドブック」を参照してください。

## エンベデッド・メモリ

HardCopy II メモリ・ブロックは、トゥルー・デュアル・ポート、シングル・デュアル・ポート、およびシングル・ポート RAM、ROM、および FIFO バッファを含むさまざまなタイプのメモリを、パリティ付きまたはパリティなしで実装することができます。HardCopy II デバイスは、Stratix II FPGA と同じメモリ・ファンクションおよび機能をサポートします。

両方のデバイスともメモリの機能は同じです。しかし、使用できるメモリ・ブロック数は、集積度によって異なります（表 2-3）。

特長	HC210W	HC210	HC220	HC230	HC240
M4K RAM ブロック数 (4 K ビット)	190	190	408	614	768
M-RAM ブロック数 (512K ビット)	0	0	2	6	9
トータル RAM ビット数 (ビット)	875,520	875,520	3,059,712	6,368,256	8,847,360

HardCopy II デバイスでは、デバイス機能が固定されているため、M4K ブロックを RAM としてコンフィギュレーションする場合、その内容を MIF で事前にロードしたり初期化することはできません。M4K ブロックを ROM として使用する場合、デザインの ROM の内容に初期化されます。

HardCopy II M4K メモリ・ブロックに対しラッチなし出力モードを使用すると、出力は初期化されずにパワーアップします。HardCopy II M4K メモリ・ブロックに対しラッチ付き出力モードを使用すると、出力はパワーアップ時にクリアされます。設計者は、メモリ・ブロックの初期パワーアップ値を評価するロジックを設計するときは、これらを考慮に入れる必要があります。

HardCopy II エンベデッド・メモリは、M4K および M-RAM メモリ・ブロックで構成され、Stratix II M4K および M-RAM リソースからの 1 対 1 のマッピングを備えています。表 2-4 に、各種 RAM ブロックのサイズと特長を示します。



Stratix II メモリ・ブロックについて詳しくは、「Stratix II デバイス・ハンドブック」を参照してください。

表 2-4. HardCopy II エンベデッド・メモリの機能一覧 (1 / 2) 注 (1)、(2)、(3)

特長	M4K ブロック	M-RAM ブロック
最大性能 (1)、(4)	350 MHz	350 MHz
トータル RAM ビット数 (パリティ・ビットを含む)	4,608	589,824
構成	4K × 1 2K × 2 1K × 4 512 × 8 512 × 9 256 × 16 256 × 18 128 × 32 128 × 36	64K × 8 64K × 9 32K × 16 32K × 18 16K × 32 16K × 36 8K × 64 8K × 72 4K × 128 4K × 144
パリティ・ビット	√	√
バイト・イネーブル	√	√
バック・モード	√	√
アドレス・クロック・イネーブル	√	√
シングル・ポート・メモリ	√	√
シングル・デュアル・ポート・メモリ	√	√
トウルル・デュアル・ポート・メモリ	√	√
エンベデッド・シフト・レジスタ	√	
ROM	√	
FIFO バッファ	√	√
シングル・デュアル・ポートの異なる データ幅のサポート	√	√
トウルル・デュアル・ポートの異なる データ幅のサポート	√	√
メモリ初期化ファイル (.mif)	ROM モード以外ではサポート されていません	サポートされていません

表 2-4. HardCopy II エンベデッド・メモリの機能一覧 (2 / 2) 注 (1)、(2)、(3)

特長	M4K ブロック	M-RAM ブロック
混合クロック・モード	√	√
パワーアップ時の状態 (2)	出力は不定	出力は不定
レジスタ・クリア (3)	出力レジスタのみ	出力レジスタのみ
同一ポートに対する Read-During-Write	正クロック・エッジで新しいデータ利用可能	正クロック・エッジで新しいデータ利用可能
混在ポートに対する Read-During-Write	出力は不定または旧データに設定	不定の出力

## 表 2-4 の注:

- (1) デバイス特性評価まで、最大性能情報は暫定仕様です。
- (2) メモリ・セルはランダムにパワーアップするため、書き込み前の読み出しは無効です。読み出す前にメモリ位置に書き込みます。
- (3) 出力レジスタがクリアされても、メモリ・セルはランダムにパワーアップします。そのため、書き込み前の読み出しは無効です。読み出す前にまずメモリ位置に書き込んでください。
- (4) アドレス・レジスタに対するセットアップ・タイムまたはホールド・タイム要件に違反があると、メモリの内容が破壊される可能性があります。これはリードおよびライトの両方の動作に当てはまります。

## PLL および クロック・ ネットワーク

HardCopy II の enhanced PLL および fast PLL は豊富な機能を備えており、クロック・スイッチオーバ、リコンフィギュレーション可能な位相シフト、PLL リコンフィギュレーション、およびリコンフィギュレーション可能な帯域幅など、先進的な機能をサポートしています。PLL は、逡倍、分周、位相シフト、およびプログラマブル・デューティ・サイクルをサポートする汎用クロック管理に使用されます。さらに、enhanced PLL は外部クロック・フィードバック・モード、スペクトラム拡散クロック、およびカウンタ・カスケードをサポートしています。fast PLL は、高速差動 I/O インタフェースを駆動する高速出力を提供しています。



Stratix II PLL のすべての機能は、HardCopy II PLL でサポートされています。

Stratix II FPGA 同様、HardCopy II デバイスも未使用クロック・ネットワークをディセーブルできるパワーダウン・モードをサポートしています。HardCopy II および Stratix II クロック・コントロール・ブロックは、最大 4 つのソースの中からの入力クロックのダイナミック選択をサポートしており、複数 (最大 4 つ) のクロック・ソースから選択できる柔軟性を提供します。

## Enhanced および Fast PLL

使用できる PLL の数は集積度に応じて異なります (表 2-5)。

特長	HC210W	HC210	HC220	HC230	HC240
enhanced PLL	2	2	2	4	4
fast PLL	2	2	2	4	8

サポートする enhanced PLL の数が、ターゲット HardCopy II デバイスとプロトタイプの Stratix II FPGA で異なる場合があります。しかし、HardCopy II enhanced PLL および fast PLL は、同様の機能セット (2-15 ページの表 2-7) を備えているため、enhanced PLL の代わりに fast PLL を使用できる場合があります。HardCopy II デバイスで使用可能なリソースに対応するために、デザインで使用する PLL のタイプは、Quartus II ソフトウェアを使用して選択する必要があります。

表 2-6 に、デバイスの集積度別に使用可能な PLL を示します。図 2-3 に、各 PLL の位置を示します。FPGA を使用したプロトタイプ作成ステージで、HardCopy II デバイスで使用する最適な数の enhanced PLL および fast PLL を選択する必要があります。表 2-6 を使用して、FPGA プロトタイプ・デザインで、HardCopy II デバイスと同じ PLL リソースを使用してください。

デバイス	fast PLL								enhanced PLL			
	1	2	3	4	7	8	9	10	5	6	11	12
HC210W	√	√							√	√		
HC210	√	√							√	√		
HC220	√	√							√	√		
HC230	√	√			√	√			√	√	√	√
HC240	√	√	√	√	√	√	√	√	√	√	√	√

表 2-6 の注:

- (1) HC210W デバイスの PLL 性能は、Stratix II FPGA プロトタイプと異なる場合があります。

図 2-3. HardCopy II の PLL の位置 注 (1)、(2)

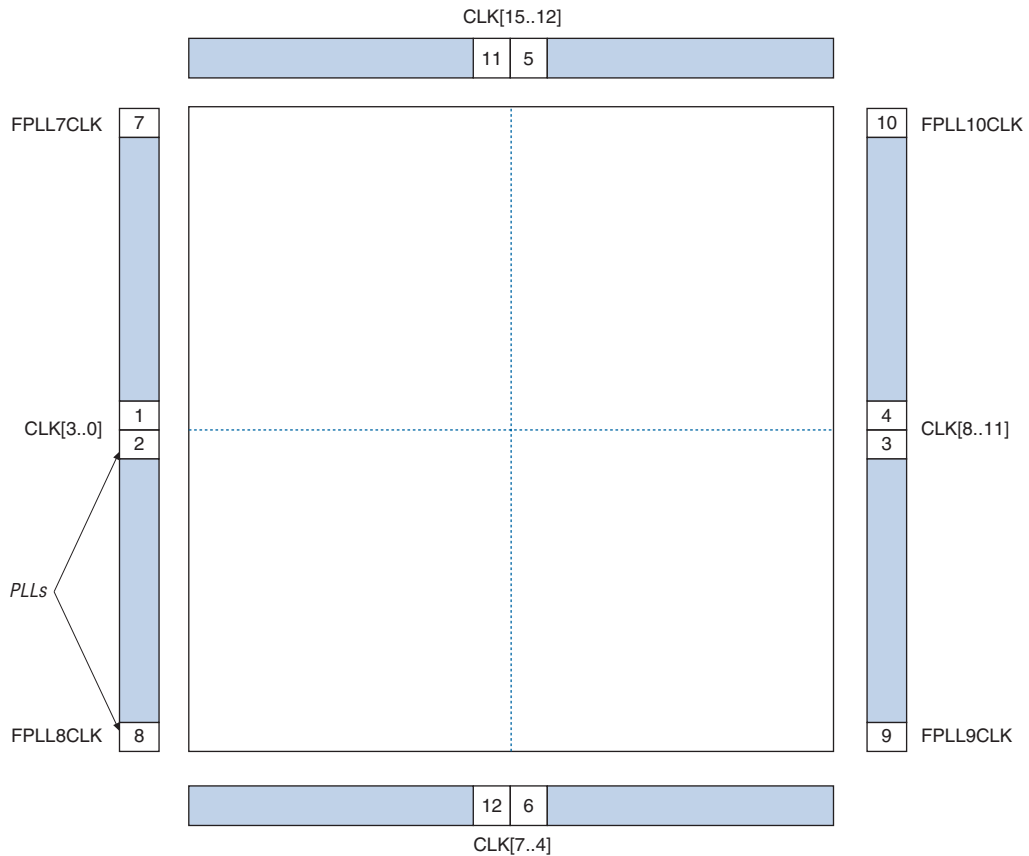


図 2-3 の注：

- (1) PLL はデバイスの周辺またはコア内部に位置する場合があります。
- (2) これはデバイスのダイ・レベルの上面図であり、PLL の位置をグラフィカルに表現しています。

HardCopy II デバイスの PLL は、Stratix II FPGA の PLL と同じ機能を継承します。したがって、HardCopy II の PLL は、PLL リコンフィギュレーションをサポートします (PLL はユーザ・モードでダイナミックにコンフィギュレーションできます)。

HardCopy II の enhanced PLL および fast PLL は、Stratix II の PLL リソースからの 1 対 1 のマッピングをサポートしています。表 2-7 に、各種 PLL を示します。Stratix II の PLL について詳しくは、「Stratix II デバイス・ハンドブック」を参照してください。

表 2-7. HardCopy II の PLL の特長		
特長	enhanced PLL	fast PLL
クロックの通倍と分周	$m/(n \times \text{ポスト・スケール・カウンタ})$ (1)	$m/(n \times \text{ポスト・スケール・カウンタ})$ (2)
位相シフト	最小 125ps の増分量 (3)	最小 125ps の増分量 (3)
クロック・スイッチオーバ	√	√ (4)
PLL リコンフィギュレーション	√	√
リコンフィギュレーション可能な帯域幅	√	√
スペクトラム拡散クロッキング	√	
プログラマブル・デューティ・サイクル	√	√
PLL あたりのクロック出力数 (5)	6	4
PLL あたりの専用外部クロック出力数	3 つの差動出力または 6 つのシングル・エンド出力	(6)
PLL あたりのフィードバック・クロック入力数	1 (7)	

表 2-7 の注：

- (1) enhanced PLL では、 $m$  および  $n$  の範囲は 1 ~ 512 で、ポストスケール・カウンタの範囲は 1 ~ 512 です（デューティ・サイクル 50%）。デューティ・サイクルが 50% 以外のクロック出力の場合、ポスト・スケール・カウンタの範囲は 1 ~ 256 です。
- (2) fast PLL では、 $n$  の範囲は 1 ~ 4 です。ポスト・スケール・カウンタおよび  $m$  カウンタの範囲は 1 ~ 32 です。デューティ・サイクルが 50% 以外のクロック出力の場合、ポスト・スケール・カウンタの範囲は 1 ~ 16 です。
- (3) 最小位相シフトは、動作制御発振器（VCO）の周期を 8 で除算して求められます。サポートされる位相シフトの範囲は 125 ~ 250 ps です。HardCopy II デバイスはすべての出力周波数を最小 45° の増分でシフトできます。周波数および分周パラメータによっては、より細かな微調整も可能です。デューティ・サイクルが 50% 以外のクロック出力の場合、ポスト・スケール・カウンタの範囲は 1 ~ 256 です。
- (4) HardCopy II の fast PLL は、マニュアル・クロック・スイッチオーバのみサポートします。
- (5) クロック出力は、内部クロック・ネットワークまたはピンにドライブできます。
- (6) Fast PLL の PLL クロック出力は、外部クロック出力として使用される任意の I/O ピンにドライブできます。高速差動 I/O ピンの場合、デバイスはデータ・チャネルを使用してトランスミッタ出力クロック（txclkout）を生成します。
- (7) デザインで外部フィードバック入力ピンが使用されている場合、1 本（または  $f_{\text{BIN}}$  が差動の場合は 2 本）の専用外部クロック出力ピンがなくなります。

## クロック・ネットワーク

HardCopy II デバイスには、グローバル・クロック・ネットワークまたはリージョナル・クロック・ネットワークをドライブ可能な 16 本のクロックピン (CLK[15..0]) があります。CLK ピンは、クロック・ポートまたはデータ入力をドライブできます。

Stratix II FPGA デバイス同様、HardCopy II デバイスは 16 の専用グローバル・クロック・ネットワーク、32 のリージョナル・クロック・ネットワークを提供します。これらのクロックは、小さなスキューおよび遅延で 4 分割されたデバイス・エリアごとに 24 個の独立したクロックを提供するように編成されています。このクロック方式によって、HardCopy II デバイス全体で最大 48 の独立したクロック・ドメインを提供します。表 2-8 に、HardCopy II デバイスで利用できるクロック・リソースおよび機能を示します。

リソースおよび機能	可用性
グローバル・クロック・ネットワーク数	16
リージョナル・クロック・ネットワーク数	32
グローバル・クロック入力ソース	クロック入力ピン、PLL 出力、ロジック・アレイ
リージョナル・クロック入力ソース	クロック入力ピン、PLL 出力、ロジック・アレイ
エリア内の独立したクロック・ソース数	24 (16 グローバル・クロックおよび 8 リージョナル・クロック)
デバイス全体の独立したクロック・リソース数	48 (16 グローバル・クロックおよび 32 リージョナル・クロック)
パワーダウン・モード	グローバル & リージョナル・クロック・ネットワーク、デュアル・リージョナル・クロック領域
高ファンアウト・アプリケーション用クロック領域	エリア領域、デュアル・リージョナル、グローバルまたはリージョナル・クロック・ネットワークを通じてデバイス全体

HardCopy II デバイスは、各グローバル・クロック・ネットワークおよびリージョナル・クロック・ネットワークで利用できる Stratix II クロック・コントロール・ブロックと同じ機能もサポートします。コントロール・ブロックは以下の 2 つの機能を備えています。

- クロック・ソースの選択（グローバル・クロックに対してはダイナミック選択）  
ユーザは、2つの PLL 出力、2本のクロック・ピン（CLKp または CLKn）、あるいはクロック・ピンまたは PLL 出力の組み合わせの中からダイナミックに選択できます。
- クロックのパワーダウン（ダイナミック・クロック・イネーブル / ディセーブル）  
HardCopy II デバイスでは、ユーザ・モードでクロックのオンとオフをダイナミックに切り替えることができます。

## I/O の構造と特長

HardCopy II IOE の構造と特長は、Stratix II と同じです。Stratix II IOE に実装されている機能は、いずれも Hardcopy II IOE に移行できます。

HardCopy II デバイスの IOE 機能セットは、以下に示す 3つのカテゴリに分類することができます。

- 汎用 IOE— デザインで最も一般的に使用される I/O タイプです。
- メモリ・インタフェース IOE— 一般的な外部メモリ規格とのインタフェース機能を含みます。
- 高速 IOE— データの高速送信および受信をサポートします。

Stratix II FPGA のすべての I/O ピンは、LVTTTL および LVCMOS I/O 規格を含む汎用 I/O 規格をサポートします。Stratix II FPGA では、PCI クランプ・ダイオードおよびメモリ・インタフェースは、デバイスのトップおよびボトム I/O ピンでサポートされ、高速インタフェースは、左側および右側の I/O ピンでサポートされます。

HardCopy II デバイスの新しい汎用 IOE には、コストの節約および面積効率での利点があります。一般的に使用する機能を提供しつつ、複雑なメモリ・インタフェースおよび高速 IOE 回路をなくすことで、ダイ面積を節約します。メモリ・インタフェース IOE は、汎用 IOE で使用できるすべての機能をサポートします。高速 IOE も、PCI クランプ・ダイオード（HC210 および HC220 デバイスではボトム汎用 IOE でサポート）を除き、汎用 IOE と同じ機能および I/O 規格をサポートします。

HardCopy II デバイスの I/O 面積効率を向上させるために、任意の IOE で利用できる機能は位置によって異なります。

表 2-9 に、各種 IOE タイプでサポートされる I/O 規格を示します。

表 2-9. HardCopy II でサポートされる I/O 規格 (1 / 2)						
I/O 規格	タイプ	V <sub>CCIO</sub> レベル (V)		メモリ・ インタフェース IOE	汎用 IOE	高速 IOE
		入力	出力			
3.3-V LVTTTL/LVCMOS	シングル・エンド	3.3/2.5	3.3	√	√	√
2.5-V LVTTTL/LVCMOS	シングル・エンド	3.3/2.5	2.5	√	√	√
1.8-V LVTTTL/LVCMOS	シングル・エンド	1.8/1.5	1.8	√	√	√
1.5-V LVCMOS	シングル・エンド	1.8/1.5	1.5	√	√	√
SSTL-2 Class I	リファレンス電圧	2.5	2.5	√		
SSTL-2 Class II	リファレンス電圧	2.5	2.5	√		
SSTL-18 Class I	リファレンス電圧	1.8	1.8	√		
SSTL-18 Class II	リファレンス電圧	1.8	1.8	√		
1.8-V HSTL Class I	リファレンス電圧	1.8	1.8	√		
1.8-V HSTL Class II	リファレンス電圧	1.8	1.8	√		
1.5-V HSTL Class I	リファレンス電圧	1.5	1.5	√		
1.5-V HSTL Class II	リファレンス電圧	1.5	1.5	√		
PCI/PCI-X	シングル・エンド	3.3	3.3	√ (2)	√ (2)	
差動 SSTL-2 Class I および II 入力	擬似差動 (1)	3.3/2.5/ 1.8/1.5		(3)		
差動 SSTL-2 Class I および II 出力	擬似差動 (1)		2.5	(3)		
差動 SSTL-18 Class I および II 入力	擬似差動 (1)	3.3/2.5/ 1.8/1.5		(3)		
差動 SSTL-18 Class I および II 出力	擬似差動 (1)		1.8	(3)		
1.8-V 差動 HSTL Class I および II 入力	擬似差動 (1)	3.3/2.5/ 1.8/1.5		(3)		
1.8-V 差動 HSTL Class I および II 出力	擬似差動 (1)		1.8	(3)		
1.5-V 差動 HSTL Class I および II 入力	擬似差動 (1)	3.3/2.5/ 1.8/1.5		(3)		
1.5-V 差動 HSTL Class I および II 出力	擬似差動 (1)		1.5	(3)		

表 2-9. HardCopy II でサポートされる I/O 規格 (2 / 2)

I/O 規格	タイプ	V <sub>CCIO</sub> レベル (V)		メモリ・ インタフェース IOE	汎用 IOE	高速 IOE
		入力	出力			
LVDS	差動	2.5	2.5	(5)	(4)、 (6)	✓
HyperTransport™ テクノロジ	差動	2.5	2.5	(5)	(4)、 (6)	✓
LVPECL	差動	3.3/2.5/ 1.8/1.5	(8)	(8)	(8)	

## 表 2-9 の注：

- (1) 擬似差動 HSTL および SSTL 入力は、高速バスで正の極性入力のみ使用します。負入力は内部接続されていません。擬似差動 HSTL および SSTL 出力は、2つのシングル・エンド出力を2番目の出力が反転するようにプログラムして使用します。これは、Stratix II デバイスの実装に似ています。
- (2) PCI クランプ・ダイオードは、デバイスのトップ・サイドおよびボトム・サイドの I/O ピンでのみサポートされます。
- (3) この I/O 規格は、DQS、CLK、および PLL\_FB の各入力ピンまたは PLL\_OUT 出力ピンでのみサポートされます。
- (4) この I/O 規格は、ボトム CLK および PLL\_FB 入力ピン、またはボトム PLL\_OUT 出力ピンでのみサポートされます。
- (5) この I/O 規格は、CLK および PLL\_FB 入力ピン、または PLL\_OUT 出力ピンでのみサポートされます。
- (6) CLK9 および CLK11 ピンでもサポートされています。
- (7) この I/O 規格は、CLK および PLL\_FB 入力ピンでのみサポートされます。
- (8) LVPECL 入力 I/O 規格は、トップおよびボトム CLK 入力ピン、および PLL\_FB 入力ピンでサポートされます。LVPECL 出力 I/O 規格は、トップおよびボトム PLL\_OUT 出力ピンでサポートされます。LVPECL サポートは、Stratix II デバイスに似ています。

この3つのタイプの IOE は、デバイス内の異なるエリアに配置されています。これについては、次の項で説明しています。Stratix II FPGA 同様、HardCopy II デバイスは8つの I/O バンクを内蔵しています。図 2-4 から 2-6 に、各バンクがサポートする I/O タイプを示します。

図 2-4. HC210 および HC220 デバイスの I/O タイプのサポート 注 (1)、(2)

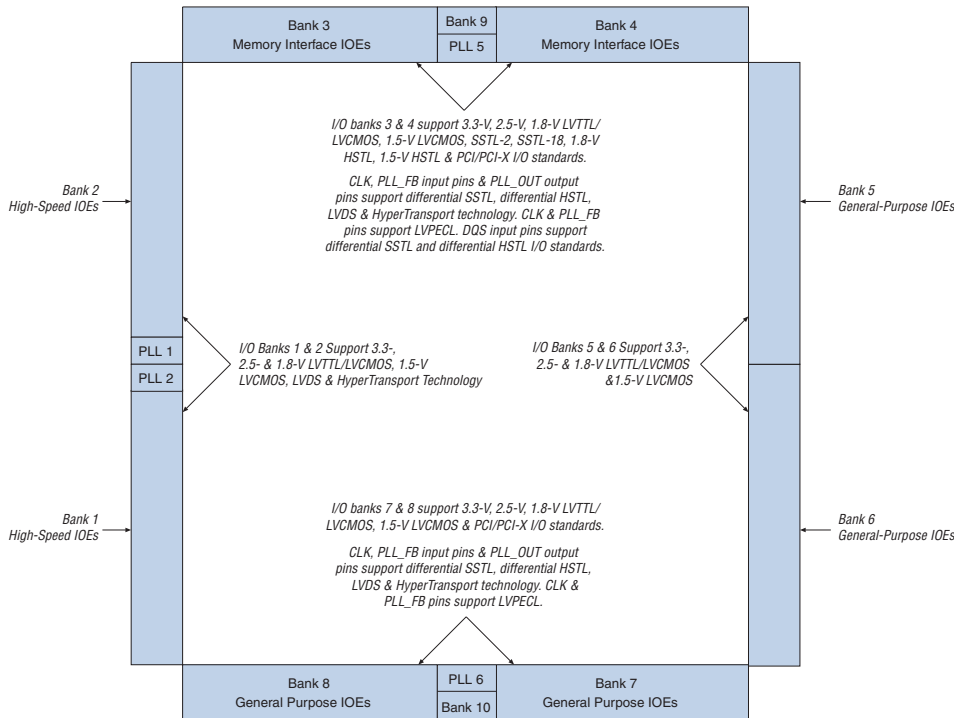


図 2-5. HC230 デバイスの I/O タイプのサポート 注 (1)、(2)

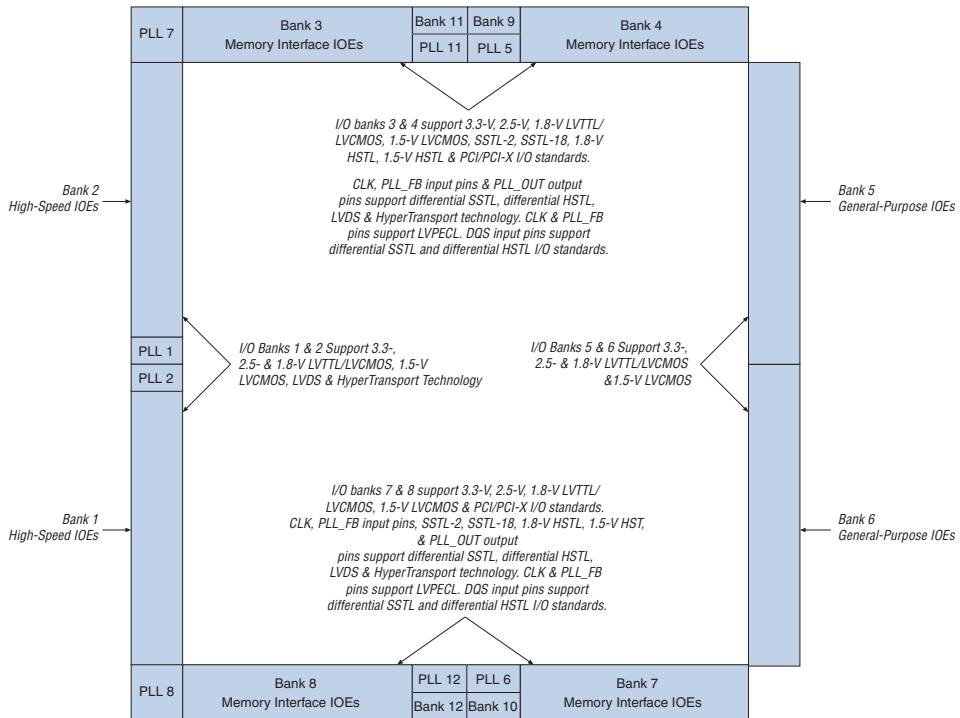


図 2-6. HC240 デバイスの I/O タイプのサポート 注 (1)、(2)

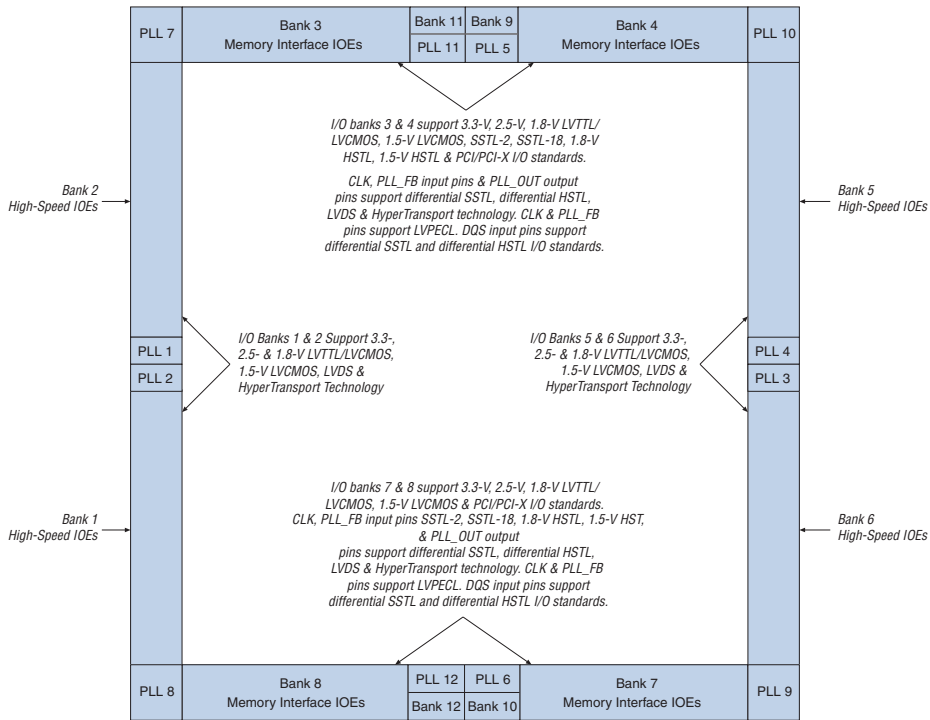


図 2-4 から 2-6 の注:

- (1) 外部メモリ・インタフェースのサポートに加え、メモリ・インタフェース IOE は汎用 IOE と同じ機能を備えています。高速 I/O インタフェースのサポートに加え、高速 IOE は PCI クランプ・ダイオードおよび LVPECL クロック入力サポートを除いて、汎用 IOE と同じ機能を備えています。
- (2) これはシリコン・ダイの上面図で、Flip-chip パッケージの裏面図に相当します。これは参考図です。



HardCopy II デバイスをターゲットとするデザインに I/O を配置する場合、同じ I/O 規格が Stratix II の I/O バンクと同じ HardCopy II の I/O バンクでサポートされるように注意する必要があります。

## 汎用 IOE

HC210 および HC220 デバイスの汎用 IOE は、デバイスの右側およびボトムに配置されます。HC230 デバイスの汎用 IOE は、デバイスの右側に配置されます (方向は、シリコン・ダイの上面図に基づきます)。HC240 デバイスには汎用 IOE はありません。汎用 IOE の機能は、これらのデバイスのメモリ・インタフェース IOE でサポートされます。高速 IOE も、

PCI クランプ・ダイオードを除いて、汎用 IOE と同じ機能を提供します。Stratix II FPGA では、すべての IOE は、トップおよびボトム I/O ピンでのみサポートされる PCI ダイオードを除く汎用 IOE 機能をサポートします。

汎用 IOE は、以下に示すような多くの特長を備えています。

- 専用シングル・エンド I/O バッファ
- 3.3 V、64 ビット、66 MHz PCI 仕様に準拠
- 3.3 V、64 ビット、133 MHz PCI-X 1.0 仕様に準拠
- JTAG バウンダリ・スキャン・テスト (BST) のサポート
- オンチップ・ドライバ直列終端 (キャリブレーションなし)
- 出力ドライブ強度コントロール
- トライ・ステート・バッファ
- バス・ホールド回路
- プログラマブル・プルアップ抵抗
- オープン・ドレイン出力
- PCI クランプ・ダイオード (ボトム I/O ピンでのみサポート)
- DDR (Double Data Rate) レジスタ

汎用 IOE は、以下の I/O 規格をサポートしています。

- 3.3-V LVTTTL/LVCMOS
- 2.5-V LVTTTL/LVCMOS
- 1.8-V LVTTTL/LVCMOS
- 1.5-V LVCMOS
- 3.3-V PCI
- 3.3-V PCI-X mode 1

汎用 CLK および PLL\_FB 入力ピン、および PLL\_OUT 出力ピンは、以下の I/O 規格をサポートします。

- LVDS
- HyperTransport テクノロジ
- LVPECL (入力クロックおよび PLL\_OUT のみ)

利用できるプログラマブル・ドライブ強度は、使用する I/O 規格によって異なります (表 2-10 参照)。

I/O 規格	プログラマブル・ドライブ強度オプション (mA)
3.3-V LVTTTL	4, 8, 12
3.3-V LVCMOS	4, 8
2.5-V LVTTTL/LVCMOS	4, 8, 12
1.8 V LVTTTL/LVCMOS	2, 4, 6, 8
1.5 V LVCMOS	2, 4

汎用 IOE はキャリブレーションなし直列 On-Chip Termination をサポートします。50 および 25  $\Omega$  の直列 On-Chip Termination は、3.3-V または 2.5-V の I/O 規格で使用できます。50  $\Omega$  の直列 On-Chip Termination は、1.8 V および 1.5 V の I/O 規格 (特性評価待ち) で使用できます。

## メモリ・インタフェース IOE

HC210 および HC220 デバイスのメモリ・インタフェース IOE は、デバイスのトップに配置されます。HC230 および HC240 デバイスのメモリ・インタフェース IOE は、デバイスのトップおよびボトムに配置されます。Stratix II FPGA では、トップおよびボトム IOE はメモリ・インタフェース IOE 機能をサポートします。

メモリ・インタフェース IOE は、以下のような多くの特長を備えています。

- 専用シングル・エンド I/O バッファ
- 3.3 V、64 ビット、66 MHz PCI 仕様に準拠
- 3.3 V、64 ビット、133 MHz PCI-X 1.0 仕様に準拠
- JTAG BST のサポート
- オンチップ・ドライバ直列終端
- $V_{REF}$  ピン
- 出力ドライブ強度コントロール
- トライ・ステート・バッファ
- バス・ホールド回路
- プログラマブル・プルアップ抵抗
- オープン・ドレイン出力
- PCI クランプ・ダイオード

- DQ および DQS I/O ピン
- DDR (Double Data Rate) レジスタ

以下の I/O 規格は、メモリ・インタフェース IOE を使用する場合にサポートされ、DDR および DDR2 SDRAM、および QDR II、RLDRAM II、および SDR SRAM などの外部メモリとのインタフェースに使用できます。

- 3.3-V LVTTTL/LVCMOS
- 2.5-V LVTTTL/LVCMOS
- 1.8-V LVTTTL/LVCMOS
- 1.5-V LVCMOS
- 3.3-V PCI
- 3.3-V PCI-X mode 1
- SSTL-2 Class I および II
- SSTL-18 Class I および II
- 1.8-V HSTL Class I および II
- 1.5-V HSTL Class I および II

メモリ・インタフェース DQS、CLK、および PLL\_FB 入力ピンおよび PLL\_OUT 出力ピンは、以下の I/O 規格をサポートします。

- LVTTTL/LVCMOS
- SSTL-2 Class I および II
- SSTL-18 Class I および II
- 1.8-V HSTL Class I および II
- 1.5-V HSTL Class I および II
- 差動 SSTL-2 Class I および II
- 差動 SSTL-18 Class I および II
- 1.8-V 差動 HSTL Class I および II
- 1.5-V 差動 HSTL Class I および II
- LVDS (DQS ピンではサポートされません)
- HyperTransport テクノロジー (DQS ピンではサポートされません)
- 入力クロックおよび PLL\_OUT でのみ LVPECL (DQS ピンではサポートされません)

擬似差動 HSTL および SSTL 入力は、クロックおよび DQS ピンでサポートされ、出力は専用 PLL\_OUT および DQS ピンでサポートされます。擬似差動 HSTL および SSTL I/O 規格は、2つのシングル・エンド出力を、2番目の出力が反転するようにプログラムして使用します。擬似差動 HSTL および SSTL 入力は、差動入力を2つのシングル・エンド HSTL および SSTL 入力として扱い、その中の1つをデコードします。このI/Oのサポートは、Stratix II FPGAと同じです。


HardCopy II デバイスのすべての DQS 回路の機能は、Stratix II FPGA と同じです。表 2-11 に、各 HardCopy II デバイスでサポートされる DQS/DQ グループ数を集積度およびパッケージ別に示します。

デバイス	パッケージ	×4 グループ数	×8/×9 モード のグループ数	×16/×18モード のグループ数	×32/×36 モード のグループ数
HC210W	484 ピン FineLine BGA (ワイヤボンダ)	4	2	0	0
HC210	484 ピン FineLine BGA	4	2	0	0
HC220	672 ピン FineLine BGA	9	4	2	0
	780 ピン FineLine BGA	9	4	2	0
HC230	1,020 ピン FineLine BGA	36	18	8	4
HC240	1,020 ピン FineLine BGA	36	18	8	4
	1,508 ピン FineLine BGA	36	18	8	4

利用できるプログラマブル・ドライブ強度は、使用する I/O 規格によって異なります。表 2-12 に、オプションを示します。

I/O 規格	プログラマブル・ドライブ強度オプション (mA)
3.3-V LVTTTL	4, 8, 12, 16, 20, 24
3.3-V LVCMOS	4, 8, 12, 16, 20, 24
2.5-V LVTTTL/LVCMOS	4, 8, 12, 16
1.8-V LVTTTL/LVCMOS	2, 4, 6, 8, 10, 12
1.5-V LVCMOS	2, 4, 6, 8
SSTL-2 Class I	8, 12
SSTL-2 Class II	16, 20, 24
SSTL-18 Class I	4, 6, 8, 10, 12
SSTL-18 Class II	8, 16, 18, 20
1.8-V HSTL Class I	4, 6, 8, 10, 12
1.8-V HSTL Class II	16, 18, 20
1.5-V HSTL Class I	4, 6, 8, 10, 12
1.5-V HSTL Class II	16, 18, 20

メモリ・インタフェース IOE は、キャリブレーションなしおよびキャリブレーション付き直列 On-Chip Termination をサポートします。50  $\Omega$  および 25  $\Omega$  の直列 On-Chip Termination は、3.3 V、2.5 V、または 1.8 V の I/O 規格で使用できます。50  $\Omega$  の直列 On-Chip Termination は、1.5 V および 1.2 V の I/O 規格（特性評価待ち）で使用できます。

 直列 On-Chip Termination をイネーブルすると、プログラマブル・ドライブ強度のサポートは使用できなくなります。

## 高速 IOE

HC210、HC220、および HC230 デバイスの高速 IOE は、デバイスの左側に配置されます。HC240 デバイスの高速 IOE は、デバイスの左および右側に配置されます。（方向は、シリコン・ダイの上面図に基づきます）。Stratix II の左および右側の I/O ピンとは異なり、HardCopy II の左および右側の I/O ピンは、SSTL または HSTL I/O 規格または PCI クランプ・ダイオードをサポートしません。Stratix II FPGA では、右および左 IOE は高速 IOE 機能をサポートします。

高速 IOE は、以下のような多くの特長を備えています。

- 専用シングル・エンド I/O バッファ
- 差動 I/O バッファ
- JTAG BST のサポート
- オンチップ・ドライバ直列終端（キャリブレーションなし）
- 差動 I/O 規格用の On-Chip Termination
- 出力ドライブ強度コントロール
- トライ・ステート・バッファ
- バス・ホールド回路
- プログラマブル・プルアップ抵抗
- オープン・ドレイン出力
- 送信シリアライザ
- 受信デシリアライザ
- ダイナミック・フェーズ・アラインメント（DPA）
- DDR（Double Data Rate）レジスタ

以下の I/O 規格は、高速 IOE を使用する場合にサポートされます。

- 3.3-V LVTTTL/LVCMOS
- 2.5-V LVTTTL/LVCMOS
- 1.8-V LVTTTL/LVCMOS
- 1.5-V LVCMOS
- LVDS
- HyperTransport テクノロジ

HardCopy II デバイスのSERDESおよびDPA回路および機能は、Stratix II FPGA と同じです。HardCopy II デバイスは、DPA を使用する場合は最大 1 Gbps のレートで差動 I/O 規格をサポートし、DPA を使用しない場合は最大 840 Mbps のレートでサポートします。表 2-13 に、各 HardCopy II デバイスの差動チャンネル数を示します。

チャンネル	HC210W	HC210	HC220		HC230	HC240	
	484 ピン FineLine BGA (ワイヤボンダ)	484 ピン FineLine BGA	672 ピン FineLine BGA	780 ピン FineLine BGA	1,020 ピン FineLine BGA	1,020 ピン FineLine BGA	1,508 ピン FineLine BGA
トランスミッタ・チャンネル	13	19	29	29	44	88	116
レシーバ・チャンネル	17	21	31	31	46	92	116

表 2-13 の注:

- (1) ピン数には専用 PLL 入力および出力ピンは含まれていません。
- (2) レシーバ・チャンネルの総数は、データ・チャンネルとして利用可能な 4 個の専用ではないクロック・チャンネルを含みます。

HardCopy II 高速 IOE は、デバイスの左側または右側に配置され、Stratix II サイドの IOE よりも少ないプログラマブル・ドライブ強度をサポートします。利用できるプログラマブル・ドライブ強度は、使用する I/O 規格によって異なります。表 2-14 に、オプションを示します。

I/O 規格	プログラマブル・ドライブ強度オプション (mA)
3.3-V LVTTTL	4, 8, 12
3.3-V LVCMOS	4, 8
2.5-V LVTTTL/LVCMOS	4, 8, 12
1.8-V LVTTTL/LVCMOS	2, 4, 6, 8
1.5-V LVCMOS	2, 4

高速 IOE は、レシーバ・チャンネルのキャリブレーションなし直列および差動 On-Chip Termination をサポートします。50 Ω および 25 Ω の直列 On-Chip Termination は、3.3-V または 2.5-V の I/O 規格で使用できます。50 Ω の直列 On-Chip Termination は、1.8-V および 1.5-V の I/O 規格（特性評価待ち）で使用できます。

## パワーアップ・モード

ストラクチャード ASIC の機能は、製造前に決定されます。したがって、プログラム機能は必要ありません。HardCopy II ストラクチャード ASIC は、同じ原理を踏襲しており、従来の ASIC のようなパワーアップが可能になっています。FPGA プロトタイプ作成では、パワーアップ時にコンフィギュレーションが必要ですが、HardCopy II ストラクチャード ASIC では、コンフィギュレーションは不要です。HardCopy II デバイスはコンフィギュレーションをサポートしていません。設計者はプロトタイプ作成から製造に至るまでの開発プロセスにおいて、このことに留意する必要があります。HardCopy II デバイスではコンフィギュレーション・デバイスは不要ですが、パワーアップ後に *nCE* ピンを **Low** に設定し、*nCONFIG* および *nSTATUS* ピンを **High** に設定しなければなりません。



HardCopy II デバイスは、FPGA コンフィギュレーション・エミュレーションおよびコンフィギュレーション・ビットストリーム暗号化を使用したりモート・システム・アップグレードやデザイン・セキュリティなどの他のコンフィギュレーション・モードをサポートしません。

HardCopy II デバイスは、インスタント・オン・モードおよび 50 ms 遅延後のインスタント・オン・パワーアップ・モードの両方をサポートします。インスタント・オン・パワーアップ・モードでは、HardCopy II デバイスは安全動作電圧に達した後すぐに使用できます。オンチップ・パワー・オン・リセット (POR) 回路がすべてのレジスタをリセットします。POR が経過した後に *CONF\_DONE* 出力がトライステート状態になるためには、*nCE*、*nCONFIG*、および *nSTATUS* 信号は、適切なロジック・レベルにある必要があります。このオプションは、パワーアップ時の ASIC の機能に類似しており、製造で最も可能性の高いシナリオです。

50 ms 遅延後のインスタント・オン・パワーアップ・モードでは、HardCopy II デバイスの動作はインスタント・オン・モードとはほぼ同じですが、50 ms の遅延が加わる点が異なります。この遅延の間は、デバイスはリセット状態に保持されます。*CONF\_DONE* 出力は、この期間中は **Low** にプルダウンされ、50 ms の経過後にトライ・ステートになります。



HardCopy II デバイスがサポートするパワーアップ・モードについて詳しくは、「HardCopy シリーズ・ハンドブック」の「HardCopy シリーズ・デバイスでのパワーアップ・モードおよびコンフィギュレーション・エミュレーション」の章を参照してください。

## 改訂履歴

表 2-15 に、本資料の改訂履歴を示します。

表 2-15. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 6 月 v2.4	<ul style="list-style-type: none"> <li>● 表 2-4 に、注 4 を追加。</li> </ul>	
2006 年 12 月 v2.3	<ul style="list-style-type: none"> <li>● 表 2-1、表 2-4、および表 2-11 を更新。</li> <li>● 変更履歴を追加。</li> </ul>	
2006 年 3 月 v2.2	<ul style="list-style-type: none"> <li>● 表 2-1、表 2-9、および表 2-13 を更新。</li> <li>● 図 2-5 および図 2-6 を更新。</li> </ul>	
2005 年 10 月 v2.1	図を更新。	
2005 年 5 月 v2.0	<ul style="list-style-type: none"> <li>● 表 2-1 を追加。</li> <li>● 機能の説明の項の DSP ファンクションの HCell の情報を更新。</li> <li>● 表 2-9 を更新。</li> <li>● 図 2-4、2-5、および 2-6 を更新。</li> </ul>	
2005 年 1 月 v1.0	HardCopy シリーズ・ハンドブックにドキュメントを追加。	