

### はじめに

FPGA のコンフィギュレーションとは、デザイン・データをデバイスにロードするプロセスのことです。アルテラの SRAM ベースの Stratix™、APEX™ 20KC、および APEX 20KE FPGA では、デバイスに電源が投入されるたびにコンフィギュレーションが必要になります。デバイスがパワーダウンすると Stratix デバイスまたは APEX デバイス内のコンフィギュレーション・データは消失するため、電源投入時に再度ロードする必要があります。

これらの FPGA をコンフィギュレーションする方法はいくつかあります。FPGA に使用できる各種コンフィギュレーション方式の詳細については、以下の資料で説明されています。

- 「*Configuration Handbook*」
- 「*Stratix Device Handbook, Volume 2*」の第 13 章「*Configuring Stratix & Stratix GX Devices*」

HardCopy™ デバイスはマスク・プログラムド・デバイスです。これらのデバイスをコンフィギュレーションする必要はありませんし、できません。ただし、(従来の ASIC デバイスのように)電源投入時に瞬時に ON になることができるのに加えて、必要に応じてコンフィギュレーション・フェーズの間に FPGA の動作を模倣することもできます。これらの機能の詳細については、[12-2 ページの「HardCopy のコンフィギュレーション・オプション」](#)を参照してください。

FPGA を置き換える際、「事前にコンフィギュレーションされた」HardCopy デバイスに対応するためにボードを再設計する必要はありません。

この章では、シームレスな移行の大きな利点を維持しながら、HardCopy デバイスでコンフィギュレーションをエミュレートする方法について説明します。さらに、HardCopy デバイスで使用可能な各種のコンフィギュレーション・オプションについて説明し、システム内で FPGA をシームレスに HardCopy デバイスに置き換えるためのコンフィギュレーション・エミュレーションを実行する方法のサンプル・ケース・スタディを示します。

### コンフィギュレーション・ エミュレーションの利点

HardCopy デバイスでのコンフィギュレーション・エミュレーションには、以下のようないくつかの利点があります。


- 特にマイクロプロセッサを使用して FPGA をコンフィギュレーションする場合、ソフトウェアを変更する必要がなくなります。マイクロプロセッサ・ソフトウェアを変更すると、かなりのシステム検証作業および認定作業が必要になり、開発時間にも影響を与えることから、これは大きな利点です。

## HardCopy の コンフィギュ レーション・ オプション

- カスケード・チェーン内で HardCopy デバイスを他の FPGA デバイスと共存させることができます。これは、修正または追加する必要のあるコンポーネントがなく、ボードのデザイン変更を要求される事がないためです。さらに、コンフィギュレーション・ソフトウェアを変更する必要もありません。
- FPGA で使用可能なすべてのコンフィギュレーション・オプションがサポートされます。

HardCopy デバイスでは、次の 3 つのコンフィギュレーション・オプションが使用できます。

- インスタント・オン
- 50ms 後インスタント・オン
- FPGA コンフィギュレーション・シーケンスのエミュレーション

 コンフィギュレーション・オプションは、HardCopy デバイスに移行するためにアルテラにデザイン・データベースを提出する際に提供してください。コンフィギュレーション・オプションは、プロトタイプ HardCopy デバイスを製造した後は変更できません。

### インスタント・オン・コンフィギュレーション・オプション

インスタント・オン・モードでは、電源投入後に HardCopy デバイスが内部パワー・オン・リセット (POR) シーケンスを開始します。このシーケンスが完了すると、HardCopy デバイスは CONF\_DONE 信号をアサートし、通常動作が可能な状態になります。オプションのオープン・ドレイン INIT\_DONE 出力が使用されている場合、この信号が HardCopy デバイスによって解放されるまで通常動作は遅延されます。表 12-1 および表 12-2 は、HardCopy APEX 20KE™、HardCopy APEX 20KC™、および HardCopy Stratix™ デバイスについて、このシーケンスが完了するまでにかかる時間の詳細を示したものです。このオプションは ASIC の標準的な機能であり、製造工程で最も可能性の高いシナリオです。

図 12-1. HardCopy APEX 20KE / HardCopy APEX 20KC デバイスのインスタント・オン・コンフィギュレーション

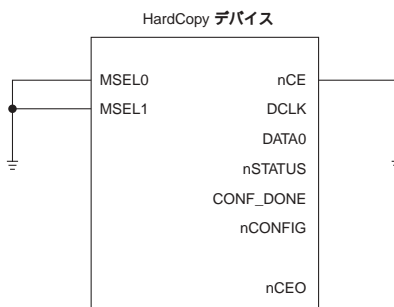



図 12-1 は、MSEL0 と MSEL1 がグランドに接続された HardCopy APEX 20KE デバイスを示したものです。FPGA では、コンフィギュレーション・デバイスによるパッシブ・シリアル (PS) コンフィギュレーション方式を使用しています。

インスタント・オン・オプションは、元の FPGA デバイスがパッシブ・パラレル非同期 (PPA) (MSEL1=1, MSEL0=1) またはパッシブ・パラレル同期 (PPS) (MSEL1=1, MSEL0=0) コンフィギュレーション方式を使用してコンフィギュレーションされた場合にも使用できます。

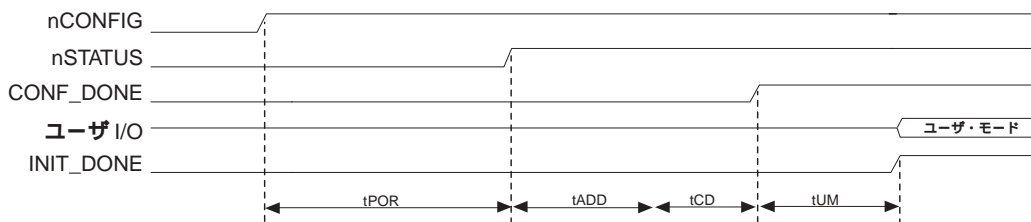
 HardCopy Stratix デバイスの場合は、MSEL0、MSEL1、および MSEL2 ピンを、選択されたコンフィギュレーション・オプションに対して (Stratix FPGA に対して定義される) 適切なロジック・レベルに維持します。

インスタント・オン・オプションを使用する HardCopy デバイスを正しく動作させるには、nSTATUS、nCONFIG、および CONF\_DONE ピンを V<sub>CC</sub> に保持します。HardCopy デバイスでは、これらの I/O ピンは V<sub>CC</sub> にプルアップされた弱い内部抵抗を備えた設計になっているため、フロート状態にしておくことができます。多くの FPGA コンフィギュレーション方式でも、これらの I/O ピンにプルアップ抵抗が必要なため、既にボード上にプルアップ抵抗が存在している場合があります。これらのコンポーネントは不要なため排除することができますが、存在している場合も HardCopy デバイスの動作を妨害することはありません。

一部の FPGA コンフィギュレーション方式では、ボードからコンフィギュレーション・デバイスを取り除くと、入力 DCLK および DATA[1..0] はフロート状態になります。HardCopy デバイスでは、これらの I/O ピンは弱い内部プルアップ抵抗を備えた設計になっているため、これらのピンはボード上で未接続状態にしておくことができます。

HardCopy デバイスは、内部 POR シーケンスが完了すると CONF\_DONE 信号をアサートし、数  $\mu$  秒の短い遅延の後、通常動作が可能な状態になります。初期化中、ユーザ I/O ピンはトライ・ステートになりますが、いったん初期化が完了すると弱い内部プルアップ抵抗によって V<sub>CC</sub> にプルアップされます。

図 12-2. インスタント・オン・オプションのタイミング波形





FPGA では、INIT\_DONE 信号は、nCONFIG 信号がアサートされてから数クロック・サイクルの間は high に留まり、その後 INIT\_DONE は low になります。HardCopy デバイスでは、[図 12-2](#) に示すとおり、INIT\_DONE 信号は nCONFIG 信号のロジック状態に関係なく low でスタートします。INIT\_DONE 信号は、CONF\_DONE が high になった後でのみ high になります。

FPGA では、INIT\_DONE ピンは、Quartus® II ソフトウェアで **Settings** オプション (Assignments メニュー) を選択することにより、必要に応じてイネーブルにすることができます。HardCopy デバイスにも類似機能が用意される予定です。

インスタント・オン・モードのタイミング・パラメータを [表 12-1](#) および [表 12-2](#) に示します。

**表 12-1. HardCopy APEX 20KE および HardCopy APEX 20KC デバイスでのインスタント・オン・モードのタイミング・パラメータ**

パラメータ	説明	最小	最大	単位
tPOR	パワー・オン・リセット遅延	TPD	TPD	μs
tADD	追加される遅延	0	0	μs
tCD	CONF_DONE 遅延	0.5	3	μs
tUM	ユーザ・モード遅延	2.5	8	μs

**表 12-2. HardCopy Stratix デバイスでのインスタント・オン・モードのタイミング・パラメータ**

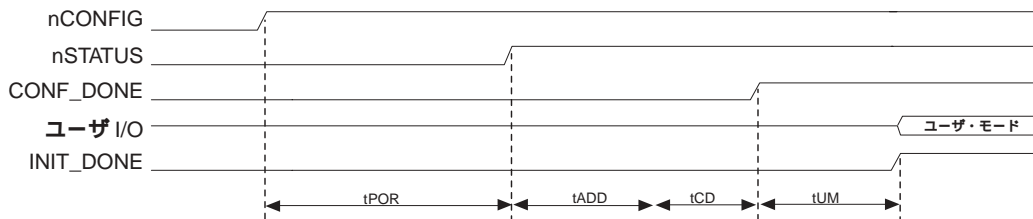
パラメータ	説明	最小	最大	単位
tPOR	パワー・オン・リセット遅延	TPD	TPD	μs
tADD	追加される遅延	4	8	ms
tCD	CONF_DONE 遅延	0.5	3.0	μs
tUM	ユーザ・モード遅延	6.0	28	μs

## 50ms 遅延後のインスタント・オン

このコンフィギュレーション・モードは前述のインスタント・オン・オプションに似ています。ただし、この場合、デバイスは内部 POR シーケンスの終了後、さらに 50ms 待ってから CONF\_DONE 信号をアサートします。このオプションは、HardCopy デバイスの通常動作の前に、ボード上 (マイクロプロセッサなど) の他のデバイスを初期化する必要がある場合に便利です。[図 12-3](#) を参照してください。

オン・チップ・オシレータは、システム・クロックに非同期の 50ms 遅延を生成します。この初期化期間中、ユーザ I/O ピンはすべてトライ・ステートになります。初期化フェーズが完了すると、チップ内部の弱い抵抗がユーザ I/O ピンを電源レールにプルアップします。HardCopy デバイスがこのオプションで製造された場合、デバイスのコンフィギュレーション・ピンは、[図 12-1](#) に示すとおり、インスタント・オン・オプションの場合と同じように接続する必要があります。

図 12-3. 50ms 後のインスタント・オンのタイミング波形



50ms 遅延後のインスタント・オン・モードのタイミング・パラメータを [表 12-3](#) および [表 12-4](#) に示します。

表 12-3. HardCopy Stratix での 50ms 後のインスタント・オン・モードのタイミング・パラメータ

パラメータ	説明	最小	最大	単位
tPOR	パワー・オン・リセット遅延	TPD	TPD	μs
tADD	追加される遅延	25	75	ms
tCD	CONF_DONE 遅延	0.5	3.0	μs
tUM	ユーザ・モード遅延	6.0	28	μs

表 12-4. HardCopy APEX 20KE および HardCopy APEX 20KC デバイスでの 50ms 後のインスタント・オン・モードのタイミング・パラメータ

パラメータ	説明	最小	最大	単位
tPOR	パワー・オン・リセット遅延	TPD	TPD	μs
tADD	追加される遅延	25	75	ms
tCD	CONF_DONE 遅延	0.5	3	μs
tUM	ユーザ・モード遅延	2.5	8	μs

## FPGAコンフィギュレーション・シーケンスのエミュレーション

このモードでは、HardCopy デバイスはコンフィギュレーション・フェーズで APEX または Stratix FPGA の動作をエミュレートします。このモードは、複数のプログラマブル・デバイスがコンフィギュレーション・チェーン上にカスケード接続され、1 つのデバイスのみが HardCopy デバイスに置き換えられているアプリケーションで説明できます。この場合、FPGA をプログラムするのに使用されたプログラミング・コントロール信号およびクロック信号を HardCopy デバイスにも使用する必要があります。そうしないと、デバイスはコンフィギュレーション・エミュレーション・フェーズに留まり、エミュレーション・シーケンスは終了せず、HardCopy デバイスの CONF\_DONE ピンがデアサートされたままになります。HardCopy Stratix デバイスの場合、クロック・サイクルで正確なエミュレーション動作を実行するには、データ・ストリームが必要です。HardCopy APEX デバイスの場合、コンフィギュレーション・データ・ストリームは必要ありません。

エミュレーション・モードの目的は、ボードに変更を加えずに APEX または Stratix FPGA を直接 HardCopy デバイスに置き換えられるようにすることです。

図 12-4 では、1 個のコンフィギュレーション・デバイスは当初、2 個の APEX FPGA デバイスをコンフィギュレーションしていました。下の図では、APEX FPGA は HardCopy APEX 20KE または HardCopy APEX 20KC デバイスに置き換えられています。

図 12-4. コンフィギュレーション・シーケンスのエミュレーション

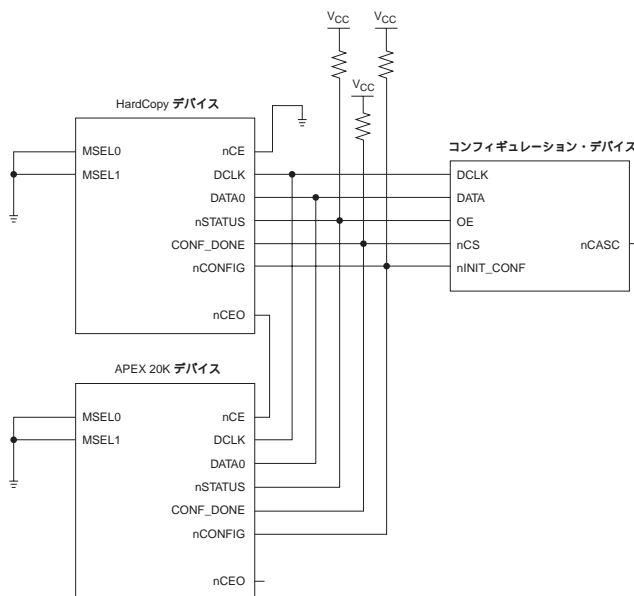


図 12-4 では、HardCopy デバイスには CONF\_DONE、nCONFIG、および nSTATUS ピンにプルアップ抵抗を使用する必要はありません。ただし、これらの抵抗は APEX デバイスの適切な動作に必要です。

エミュレーション・オプションが選択された場合、HardCopy デバイスはコンフィギュレーション・デバイスの data 信号を除いて、同じ FPGA コンフィギュレーション・コントロール信号でドライブされることが期待されます。この場合、HardCopy デバイスは FPGA とまったく同じように反応します。HardCopy デバイスの CONF\_DONE 信号は、FPGA の場合とまったく同じ時間にアサートされます。

表 12-5 は、3 つの HardCopy コンフィギュレーション・オプションをまとめたものです。

コンフィギュレーションのメカニズム	コンフィギュレーションするデバイス	推奨されるオプション
コンフィギュレーション・デバイス (3)	1 個の HardCopy デバイス (2)、(8)	インスタント・オン
	HardCopy デバイスがチェーン内の最初のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(5)	エミュレーション
	HardCopy デバイスがチェーン内の最初または最後のどちらのデバイスでもない、複数のデバイスのコンフィギュレーション・チェーン (4)、(5)	エミュレーション
	HardCopy デバイスがチェーン内の最後のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (2)、(4)、(7)	インスタント・オン
ダウンロード・ケーブルによる PS コンフィギュレーション (7)	1 個の HardCopy デバイス (2)、(7)	インスタント・オン
	HardCopy デバイスがチェーン内の最初のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(5)	エミュレーション
	HardCopy デバイスがチェーン内の最初または最後のどちらのデバイスでもない、複数のデバイスのコンフィギュレーション・チェーン (4)、(5)	エミュレーション
	HardCopy デバイスがチェーン内の最後のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (2)、(4)、(7)	インスタント・オン
マイクロプロセッサによる PS コンフィギュレーション	1 個の HardCopy デバイス (10)	エミュレーション
	HardCopy デバイスがチェーン内の最初のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(5)、(9)	エミュレーション
	HardCopy デバイスがチェーン内の最初または最後のどちらのデバイスでもない、複数のデバイスのコンフィギュレーション・チェーン (4)、(9)	エミュレーション
	HardCopy デバイスがチェーン内の最後のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(9)	エミュレーション

表 12-5. HardCopy コンフィギュレーション・オプションの要約 ( 2 / 2 ) 注 (1)

コンフィギュレーションのメカニズム	コンフィギュレーションするデバイス	推奨されるオプション
マイクロプロセッサによる PPS コンフィギュレーション	1 個の HardCopy デバイス (9)、(10)	エミュレーション
	HardCopy デバイスがチェーン内の最初のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(5)、(9)、(10)	エミュレーション
	HardCopy デバイスがチェーン内の最初または最後のどちらのデバイスでもない、複数のデバイスのコンフィギュレーション・チェーン (4)、(9)、(10)	エミュレーション
	HardCopy デバイスがチェーン内の最後のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(9)、(10)	エミュレーション
マイクロプロセッサによる PPA コンフィギュレーション	1 個の HardCopy デバイス (9)、(10)	エミュレーション
	HardCopy デバイスがチェーン内の最初のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(5)、(9)、(10)	エミュレーション
	HardCopy デバイスがチェーン内の最初または最後のどちらのデバイスでもない、複数のデバイスのコンフィギュレーション・チェーン (4)、(9)、(10)	エミュレーション
	HardCopy デバイスがチェーン内の最後のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(9)、(10)	エミュレーション
JTAG コンフィギュレーション	1 個の HardCopy デバイス (2)、(6)	インスタント・オン
	HardCopy デバイスがチェーン内の最初のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(11)	エミュレーション
	HardCopy デバイスがチェーン内の最初または最後のどちらのデバイスでもない、複数のデバイスのコンフィギュレーション・チェーン (4)、(11)	エミュレーション
	HardCopy デバイスがチェーン内の最後のデバイスである、複数のデバイスのコンフィギュレーション・チェーン (4)、(11)	エミュレーション

## 表 12-5 の注：

- (1) Stratix デバイスのリモート / ローカル・アップデート機能は、HardCopy Stratix デバイスではサポートされていません。
- (2) 50ms 後のインスタント・オン・モードもこのコンフィギュレーションに適用できます。
- (3) コンフィギュレーション・デバイスは、1 つまたは複数である可能性があります。
- (4) マルチデバイス・コンフィギュレーション・チェーンでは、ボード上の複数の FPGA が同じソースからコンフィギュレーション・データを取得します。
- (5) 後続の APEX デバイスの  $n_{CE}$  ピンをボード上でロジック 0 に接続でき、コンフィギュレーション・データを変更して HardCopy デバイスのコンフィギュレーション・データを除外する場合は、インスタント・オン・モードを使用できます。この場合、コンフィギュレーション・シーケンスは HardCopy デバイスをスキップします。
- (6) エミュレーション・モードを使用できますが、ボードまたはデバイスの初期化が遅延されます。
- (7) ダウンロード・ケーブルは、MasterBlaster™ または ByteBlasterMV™ ハードウェアでドライブされる可能性があります。
- (8) コンフィギュレーション・デバイスはボードから取り除くことができます。
- (9) マイクロプロセッサ・コードを変更できる場合は、インスタント・オン・モードまたは 50ms 後インスタント・オン・モードを使用できます。ただし、マイクロプロセッサは依然として HardCopy デバイスの  $n_{CONFIG}$  ピンをロジック "1" にドライブする必要があります。
- (10) DATA [7:1] ピンは HardCopy デバイスに弱いプルアップ抵抗を備えており、メタライゼーションによって、任意にイネーブルまたはディセーブルにすることができます。
- (11) HardCopy デバイスが BYPASS モードになり、JTAG プログラミング・データを変更して、HardCopy コンフィギュレーション情報を除外する場合、インスタント・オン・モードまたは 50ms 後インスタント・オン・モードを使用できます。

## ケース・スタディ

以下のケース・スタディでは、個々の FPGA コンフィギュレーション方式を使用するシステムにおいて HardCopy デバイスをコンフィギュレーションする方法の例を示します。

### ケース・スタディ #1: 単独の HardCopy デバイスのコンフィギュレーション

図 12-5 および図 12-6 は、FPGA を HardCopy デバイスに置き換えた場合の HardCopy APEX 20KE デバイスのコンフィギュレーション方法を示したものです。

図 12-5. 単独の APEX 20KE FPGA のコンフィギュレーション

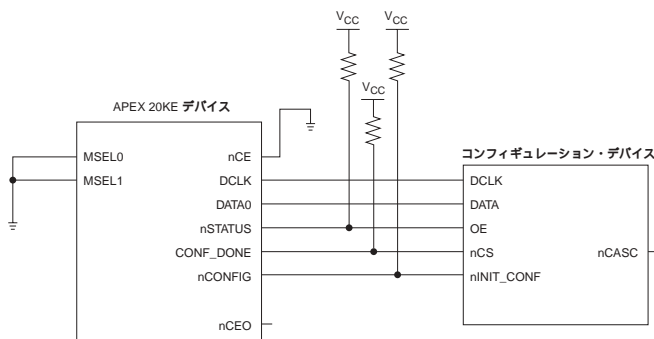


図 12-6. HardCopy デバイスのコンフィギュレーション

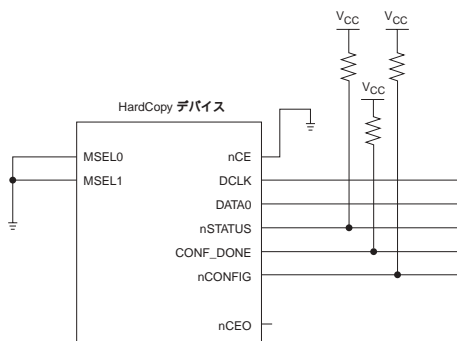


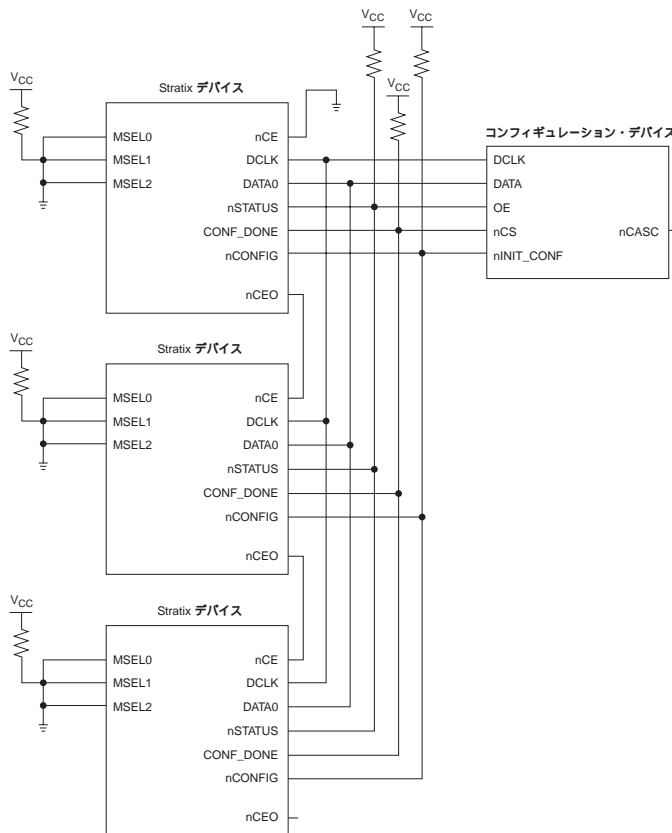
図 12-6 は、HardCopy デバイスに対し、インスタント・オン・コンフィギュレーション・オプションが選択されていることを示しています。この時点では余分なコンフィギュレーション・デバイスは取り除かれ、それ以

上のボード変更は不要です。nCONFIG、nSTATUS、および CONF\_DONE ピンのプルアップ抵抗は取り除くことができますが、ボード上には残されています。50ms 後のインスタント・オン・モードも、このデザインをコンフィギュレーションするのに適した選択肢です。

## ケース・スタディ #2: カスケード接続された FPGA チェインでの HardCopy デバイスのコンフィギュレーション

図 12-7 は、Stratix デバイスのコンフィギュレーション・データが 1 個のコンフィギュレーション・デバイスに保存され、FPGA がマルチデバイス・コンフィギュレーション・チェーンで接続されている状況を示したものです。チェーン内の 2 番目のデバイスは、対応する HardCopy デバイスに置き換える必要があります。

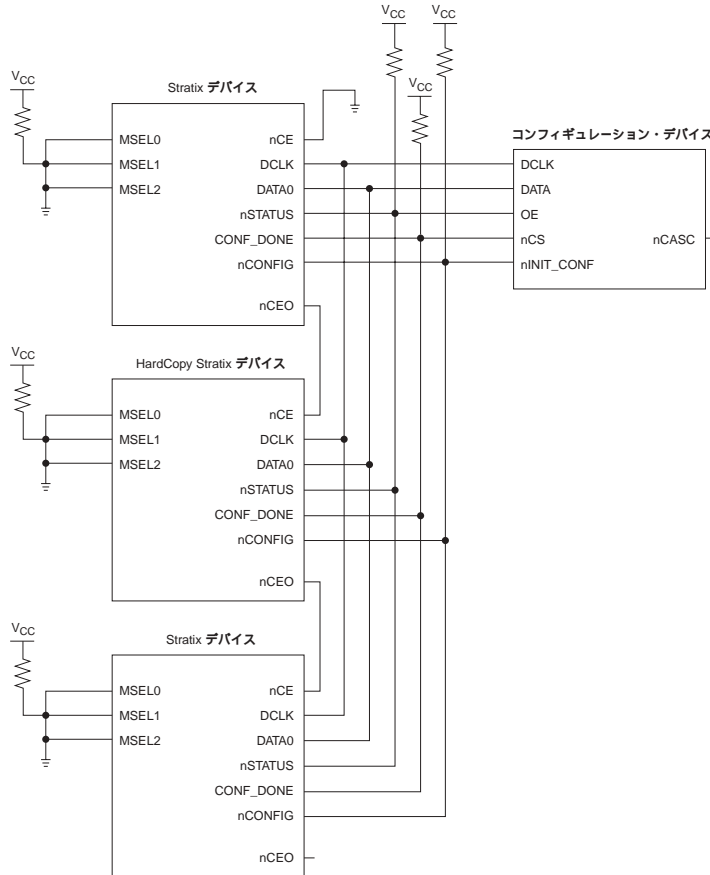
図 12-7. カスケード・チェーン内の複数の FPGA デバイスのコンフィギュレーション



## カスケード・チェーン内に HardCopy デバイスを持つコンフィギュレーション

図 12-8 は、図 12-7 と同じカスケード・チェーンですが、チェーン内の 2 番目のデバイスが対応する HardCopy デバイスに置き換えられています。

図 12-8. カスケード・チェーンでの FPGA デバイスから対応する HardCopy デバイスへの置き換え



この場合、HardCopy Stratix デバイスはエミュレーション・モードを使用してのみコンフィギュレーションできます。コンフィギュレーション・デバイスは、依然としてチェーン内の他の Stratix デバイスが必要とするため、取り除くことはできません。HardCopy Stratix デバイスはコンフィギュレーション・デバイスに保存されているデータを必要としますが、コンフィギュレーション・デバイス内のデータはこれを反映して

修正されていません。エミュレーション・モードでは、HardCopy デバイスの nCEO ピンがコンフィギュレーション・シーケンスのエミュレーション後に正しくアサートされます。これにより、チェーン内の次のデバイスはコンフィギュレーション・デバイスから正しいコンフィギュレーション・データを受け取れるようになります。エミュレーション・モードでは、ボードへの変更も不要です。

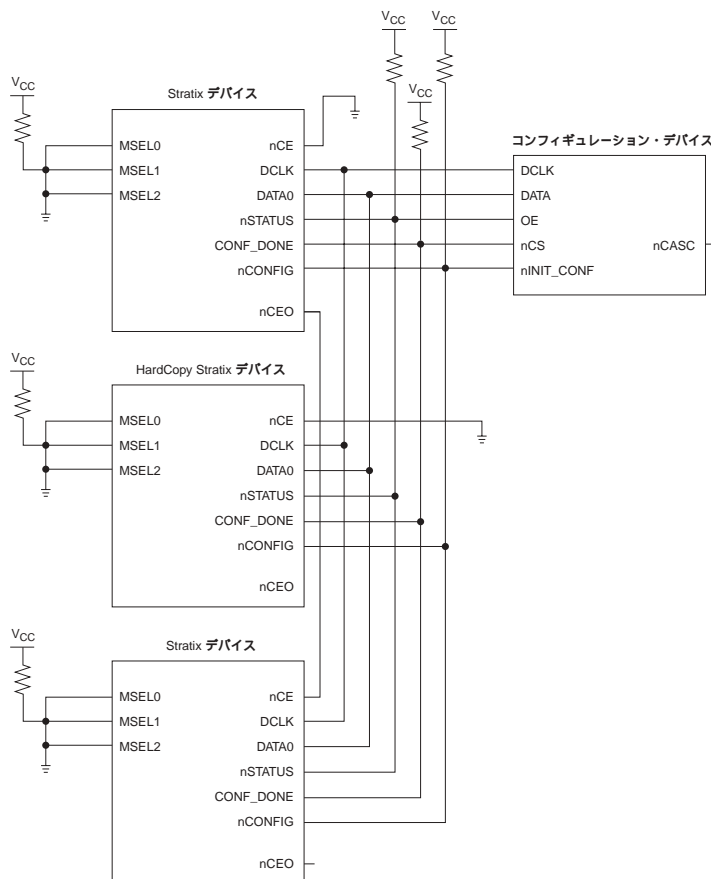
### カスケード・チェーンから HardCopy デバイスが取り除かれているコンフィギュレーション

このようなマルチデバイス環境でデバイスのコンフィギュレーションを達成する別の方法は、カスケード・チェーンから HardCopy デバイスを取り除くことです。HardCopy デバイスが取り除かれた場合の接続を図 12-9 に示します。ただし、この方法では以下のようにボードのデザインに少し変更を加える必要があります。

- HardCopy Stratix デバイスの nCE ピンは、GND に接続する必要があります。
- HardCopy デバイスの nCEO ピンでドライブされていた Stratix デバイスの nCE ピンは、今度はチェーン内の HardCopy デバイスの前にある Stratix デバイスの nCEO ピンでドライブする必要があります。

コンフィギュレーション・デバイス内のデータは、HardCopy デバイスのコンフィギュレーション・データを除外するように修正する必要があります。HardCopy デバイスは 3 つのコンフィギュレーション・オプションのどれでも使用できますが、推奨される選択肢はインスタント・オン・モードです。

図 12-9. カスケード・チェーンから HardCopy デバイスを取り除いたコンフィギュレーション



### ケース・スタディ #3: マイクロプロセッサを使用するコンフィギュレーション

HardCopy デバイスは、[図 12-10](#)、[図 12-11](#)、および[図 12-12](#) に示す 3 つのオプションにより、マイクロプロセッサを使用してコンフィギュレーションできます。最も効率的なのはインスタント・オン・モードですが、50ms 後のインスタント・オン・モードまたはエミュレーション・モードも使用できます。ただし、インスタント・オン・モードおよびエミュレーション・モードはボードの初期化が遅延することに注意してください。

[図 12-10](#) は、PPS コンフィギュレーションのメカニズムでマイクロプロセッサを使用してデバイスがコンフィギュレーションされているアプリケーションを示したものです。

図 12-10. マイクロプロセッサを使用する FPGA デバイスのコンフィギュレーション

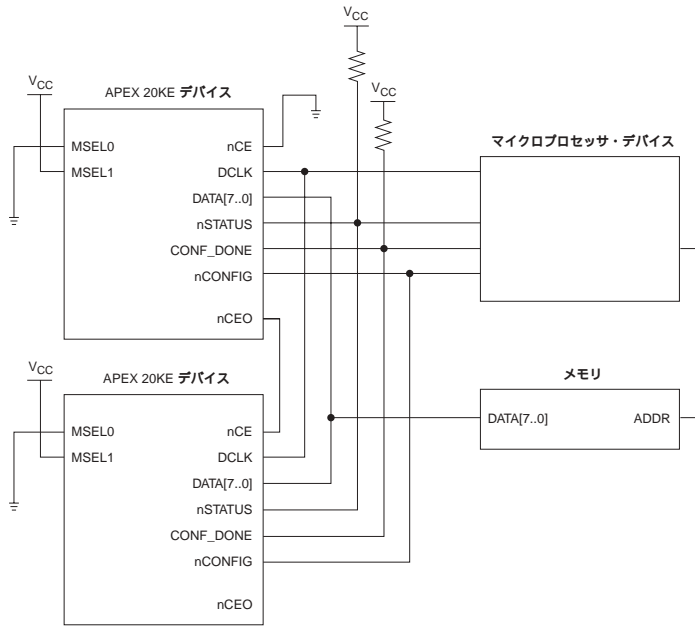


図 12-11. チェイン内の 2 番目の FPGA から HardCopy デバイスへの置き換え

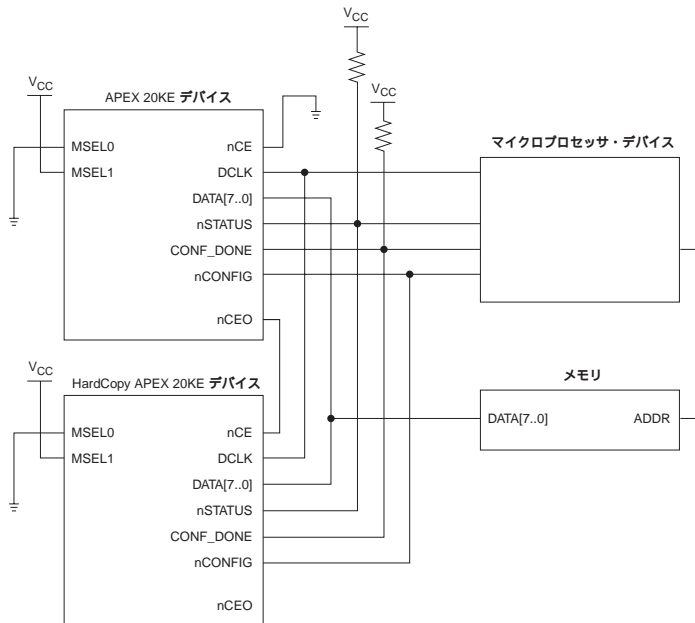


図 12-12. チェイン内の最初の FPGA から HardCopy デバイスへの置き換え

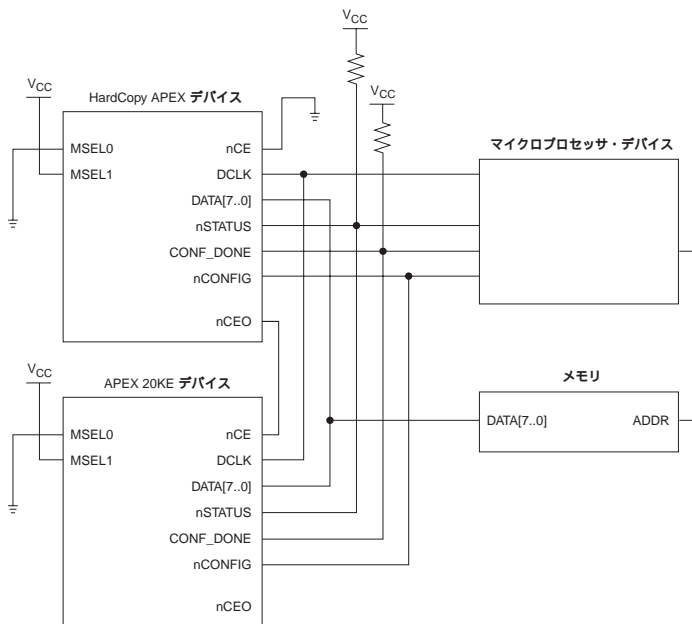


図 12-12 に示すように、HardCopy デバイスがチェーン内の 2 番目のデバイスではなく最初のデバイスである場合、以下のように3つのオプションのいずれかによってコンフィギュレーションできます。

- **インスタント・オン・モード**  
 マイクロプロセッサのプログラム・コードは、HardCopy デバイス関連のコンフィギュレーション・コードを除外するように修正する必要があります。この場合、マイクロプロセッサは HardCopy デバイスの nCEO ピンがアサートされるまで、最初のコンフィギュレーション・データ・ワードの送信を遅らせる必要があります。また、電源投入後、HardCopy デバイスはマイクロプロセッサがブート・シーケンスを終了する前に nCEO ピンをアサートする必要があります。その後、マイクロプロセッサは最初のコンフィギュレーション・データ・ワードを APEX デバイスにロードします。
- **50ms 後のインスタント・オン・モード**  
 マイクロプロセッサのブート時間が 50ms を超える必要があります。マイクロプロセッサが最初のコンフィギュレーション・データ・ワードを送信する前に、HardCopy デバイスはこの遅延後に nCEO ピンをアサートして後続の FPGA をイネーブルにします。
- **エミュレーション・モード**  
 このオプションは、上記のデバイスのコンフィギュレーションに関するマイクロプロセッサ・コードを修正できない場合に使用してください。

## ケース・スタディ #4

このケース・スタディでは、回路の接続はそのまま維持され、ボードの変更はありません。HardCopy デバイスは、次の 2 つのオプションのいずれかを使用してコンフィギュレーションできます。

- **インスタント・オン・コンフィギュレーション・モード**  
このモードは、コンフィギュレーション不可能なデバイスとして HardCopy デバイスを扱うようマイクロプロセッサ・コードを修正できる場合に使用します。プロセッサは、HardCopy デバイスに対して BYPASS 命令を発行することによりこれを達成できます。HardCopy デバイスが BYPASS モードになると、コンフィギュレーション・データは HardCopy デバイスを通過して、下段の FPGA に送られます。
- **エミュレーション・モード**  
このオプションは、上記のデバイスのコンフィギュレーションに関するマイクロプロセッサ・コードを修正できない場合に使用してください。

図 12-13 は、Stratix デバイスが 3 つある場合の状況を示したものです。これらのデバイスはデバイスごとに JTAG I/O ピンを使用して接続され、JTAG ポートを使用してプログラムされます。コンフィギュレーション・データはボード上のマイクロプロセッサによって生成されます。

図 12-13. マイクロプロセッサを使用する、JTAG チェイン内の FPGA デバイスのコンフィギュレーション

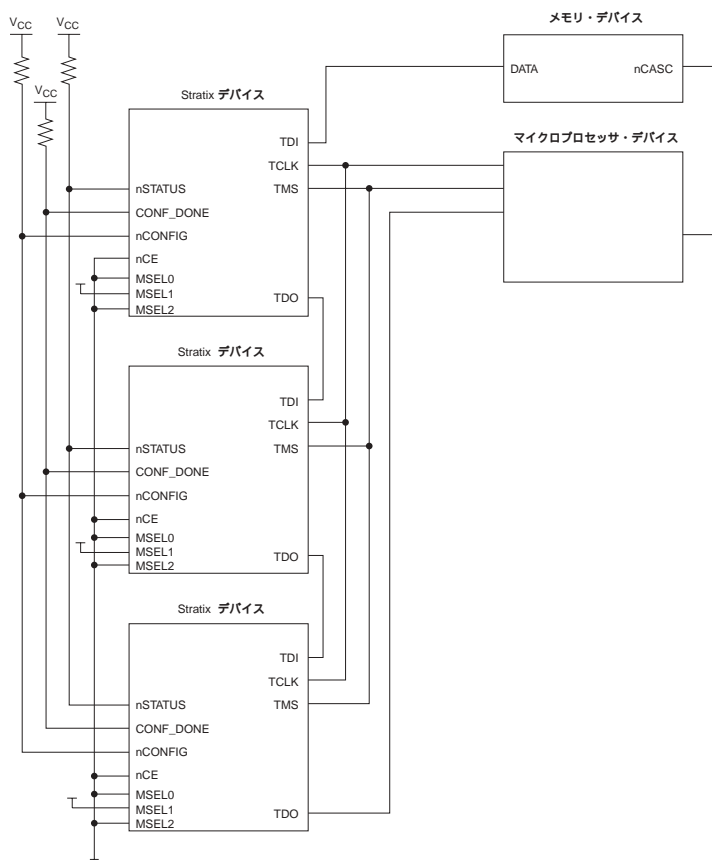
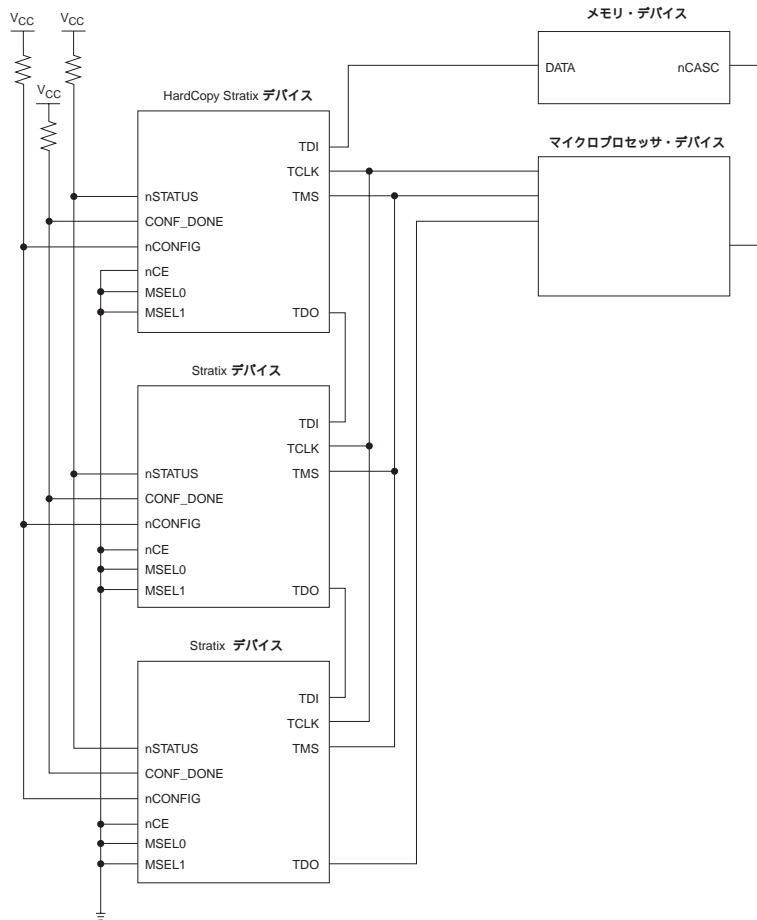


図 12-14 は、JTAG チェイン内の最初の Stratix デバイスが HardCopy デバイスに置き換えられている例を示したものです。

図 12-14. JTAG チェイン内の最初の FPGA デバイスから HardCopy デバイスへの置き換え



## まとめ

HardCopy デバイスは、HardCopy 手法の利点であるシームレスな移行を維持しながらコンフィギュレーション・シーケンスをエミュレートできます。使用可能なオプションで最もシンプルなインスタント・オン・モードによって、パワー・オン時の ASIC に似た動作が提供されます。このモードは、元の FPGA コンフィギュレーション・モードに関係なくほとんどの場合に使用でき、ハードウェアやソフトウェアの変更も必要ありません。

ただし、場合によっては、残りのプログラマブル・デバイスに正確なコンフィギュレーション・データが確実に送信されるようにするために、ソフトウェアの改訂やボードの再設計が必要になることがあります。こ

のような修正は、1つ以上のFPGAを対応するHardCopyデバイスに置き換えることを決定した場合、ボード・デザイン・プロセスの早い段階で簡単に実行できます。ジャンパ・コネクタやゼロオーム抵抗などのボード・デザイン手法により、このような修正はボードの再設計なしで可能です。

50ms後のインスタント・オン・モードは、コンフィギュレーション・デバイスが動作するよう適応させるために、あるいはHardCopyデバイスがCONF\_DONEピンをアサートする前に、1つまたは複数の既定のイベントを完了させるために遅延が必要な場合に適しています。

最後に、エミュレーション・モードは、ソフトウェアまたはハードウェアの修正が不可能な場合に選択するオプションです。このような場合、HardCopyデバイスは他のFPGAデバイスと共存しています。

