



9. HardCopy Stratix デバイスの概要

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H51001-2.3

はじめに

アルテラの第2世代HardCopy[®]ストラクチャードASICであるHardCopy Stratix[®]ストラクチャードASICは、高集積Stratix FPGAと同じアーキテクチャを備えた、低コスト、高集積デバイスです。プロトタイプおよびデザイン検証のためのStratix FPGA、量産向けのHardCopy Stratix デバイス、バージョン3.0以降のQuartus[®]IIデザイン・ソフトウェアの組み合わせは、ASICによるデザインおよび開発に対して完全に強力な代替ソリューションを提供します。

HardCopy Stratix デバイスは、対応するStratix FPGAと同じアーキテクチャで構成されており、同じ特長を備えています。HardCopy Stratix デバイスは、対応するStratix FPGAプロトタイプと同じパッケージを使用したピン互換性を提供します。設計者は、Stratix FPGAでデザインをプロトタイピングして機能を検証してから、HardCopy Stratix ストラクチャードASICに実証済みのデザインをシームレスに移行することができます。

Quartus II ソフトウェアは、HardCopy Stratix デバイスを設計するための安価で使いやすい完全なツール・セットを提供します。HardCopy APEX[™] デバイスで成功した実証済みの手法を用いて、Stratix FPGA デザインをシームレスかつ迅速に低コストのASIC代替デバイスに移行することができます。設計者は、Quartus II ソフトウェアを使用してHardCopy Stratix デバイスを設計することができ、対応するStratix FPGAよりも平均50%の性能向上と最大40%の消費電力削減を達成可能です。移行プロセスは完全に自動化されていて、ユーザの手をわずらわせることはほとんどなく、完全にテストされたHardCopy Stratix プロトタイプの納間は約8週間です。

HardCopy Stratix デバイスは、特定の集積度の複数のデザインに対して同一ベース・アレイを使用し、最上部2層のメタル層を使用してカスタマイズされます。HardCopy Stratix ファミリは、HC1S25、HC1S30、HC1S40、HC1S60、およびHC1S80 デバイスで構成されています。表 9-1 に、HardCopy Stratix デバイスの特長を示します。

表 9-1. HardCopy Stratix デバイスの特長

デバイス	LE 数 (1)	M512 ブロック数	M4K ブロック数	M-RAM ブロック数	DSP ブロック数 (2)	PLL 数 (3)
HC1S25	25,660	224	138	2	10	6
HC1S30	32,470	295	171	2 (4)	12	6
HC1S40	41,250	384	183	2 (4)	14	6
HC1S60	57,120	574	292	6	18	12
HC1S80	79,040	767	364	6 (4)	22	12

表 9-1 の注：

- (1) LE: ロジック・エレメント
- (2) DSP: デジタル信号処理
- (3) PLL: Phase-Locked Loop
- (4) HC1S30、HC1S40、および HC1S80 の M-RAM 数は、対応する Stratix FPGA よりも少なくなっています。他のすべてのリソースは対応する Stratix デバイスと同じです。

機能

HardCopy Stratix デバイスは、Stratix FPGA と同じ 1.5 V、0.13 μm 全層銅配線プロセス（最大 8 メタル層）で製造されています。

- コンフィギュレーションされた Stratix デバイスの機能を継承
- 対応する Stratix デバイスとピン・コンパチブル
- 対応する Stratix デバイスよりも平均で 50% 高速
- 対応する Stratix デバイスよりも平均で 40% 低消費電力
- 25,660 ~ 79,040 個の LE
- 最大 5,658,408 RAM ビットを使用可能
- サイズの異なる 3 種類の RAM ブロックで構成される TriMatrix メモリ・アーキテクチャにより、トゥルー・デュアル・ポート・メモリおよび FIFO (First-In First-Out) バッファを実装
- 乗算器、積和ファンクション、および有限インパルス応答 (FIR) フィルタを実装した専用機能を提供するエンベデッド高速 DSP ブロック
- 1 デバイスあたり最大 12 個の PLL (4 個の enhanced PLL および 8 個の Fast PLL) が、スペクトラム拡散、プログラマブル帯域幅、クロック・スイッチオーバー、リアルタイム PLL リコンフィギュレーション、高度な通倍、および位相シフトなど、対応する FPGA と同じ機能を提供
- 多数のシングル・エンドおよび差動 I/O 規格をサポート
- RapidIO™、UTOPIA IV、CSIX、HyperTransport テクノロジ、10G イーサネット XSBI、SPI-4 Phase 2 (POS-PHY レベル 4)、および SFI-4 などの高速ネットワークングおよび通信バス規格をサポート
- LVDS をサポートする差動 On-Chip Termination

- ゼロ・バス・ターンアラウンド (ZBT) SRAM、クワッド・データ・レート (QDR および QDRII) SRAM、ダブル・データ・レート (DDR) SDRAM、DDR 高速サイクル RAM (FCRAM)、およびシングル・データ・レート (SDR) SDRAM などの高速外部メモリをサポート
- アルテラの MegaCore[®] および AMPPSM (Altera Megafunction Partners Program) の多数の IP (Intellectual Property) メガファンクションをサポート
- 実装スペースを節減するワイヤボンドおよびフリップ・チップ FineLine BGA[®] パッケージ (表 9-2 および 9-3) で提供
- オリジナルの FPGA コンフィギュレーション・シーケンスのオプション・エミュレーション
- オプションのインスタント・オン・パワーアップ


 本データシートに記載された対応する Stratix デバイスと比較して、性能および消費電力が実際にどれだけ改善されるかは、デザインによって異なります。

表 9-2. HardCopy Stratix デバイスのパッケージおよび I/O ピン数
注 (1)

デバイス	672 ピン FineLine BGA (2)	780 ピン FineLine BGA (3)	1,020 ピン FineLine BGA (3)
HC1S25	473		
HC1S30		597	
HC1S40		613 (4)	
HC1S60			782
HC1S80			782

表 9-2 の注：

- (1) Quartus II ソフトウェアの I/O ピン数は、汎用 I/O ピンとして使用できない 1 本の追加ピン (PILLENA) を含みます。PILLENA ピンは、PLL をイネーブルにするためだけに使用できます。
- (2) このデバイスは、ワイヤボンド・パッケージを使用しています。
- (3) このデバイスは、フリップ・チップ・パッケージを使用しています。
- (4) Stratix EP1S40F780 FPGA では、I/O ピン U12 および U18 は汎用 I/O ピンです。FPGA プロトタイプ EP1S40F780_HARDCOPY_FPGA_PROTOTYPE、および HardCopy Stratix HC1S40F780 デバイスでは、U12 および U18 はグラウンドに接続する必要があります。EP1S40F780_HARDCOPY_FPGA_PROTOTYPE と HC1S40F780 のピン配置は同じです。

表 9-3. HardCopy Stratix デバイスのパッケージ・サイズ

デバイス	672 ピン FineLine BGA	780 ピン FineLine BGA	1,020 ピン FineLine BGA
ピッチ (mm)	1.00	1.00	1.00
面積 (mm ²)	729	841	1,089
長さ × 幅 (mm × mm)	27 × 27	29 × 29	33 × 33

改訂履歴

表 9-4 に、本資料の改訂履歴を示します。

表 9-4. 改訂履歴

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 6 月 v2.3	はじめにの項を更新。 表 9-2 を更新。	
2006 年 12 月 v2.2	変更履歴を更新。	
2006 年 3 月	以前の 5 章。内容の変更なし。	
2005 年 10 月 v2.1	マイナー・アップデート	
2005 年 1 月 v2.0	マイナー・アップデート	
2003 年 6 月 v1.0	5 章の初版。「HardCopy デバイス・ハンドブック」の「HardCopy Stratix デバイスの概要」。	