

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

HIII53002-1.0

概要

この章では、HardCopy III デバイスの開発時にアルテラの HardCopy デザイン・センターで実行される HardCopy® III バックエンド・デザイン・フローについて説明します。

HardCopy III バックエンド・ デザイン・ フロー

この項では、HardCopy III デバイスのバックエンド・デザイン・プロセスのアウトラインを示します。図 2-1 に、ステップを示します。デザイン・プロセスでは、専用およびサードパーティの各 EDA ツールを使用します。

図 2-1. HardCopy III バックエンド・デザイン・フロー

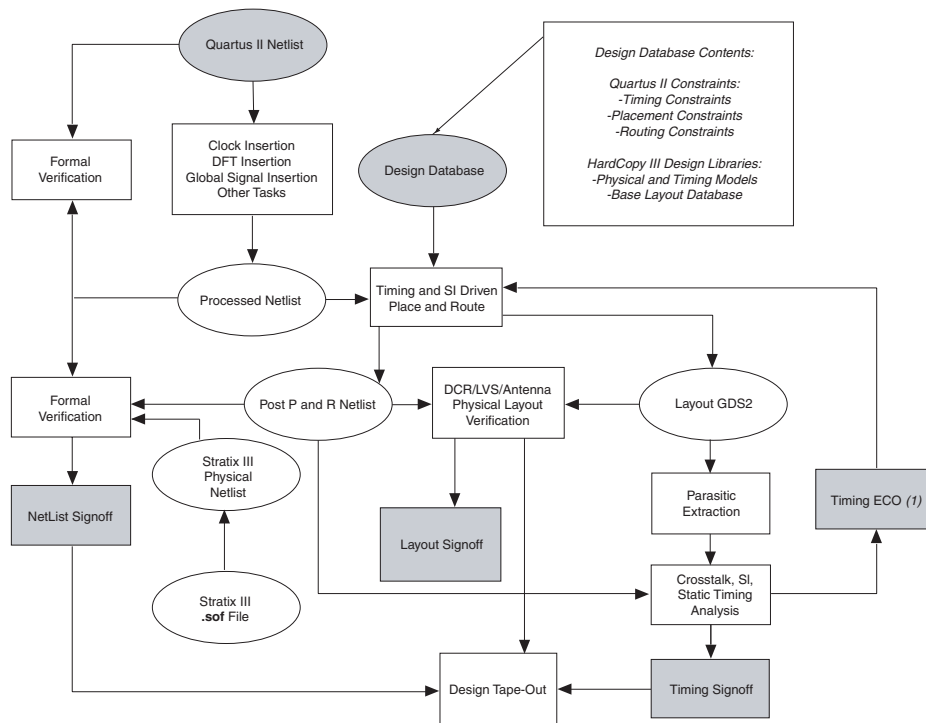


図 2-1 の注:

(1) タイミング ECO の詳細は、図 2-2 を参照してください。

デザイン・ネットリストの生成

HardCopy III デザインの場合、Quartus® II ソフトウェアは、デザインの完全な Verilog ゲート・レベル・ネットリストを生成します。HardCopy デザイン・センターでは、ネットリストを使用してバックエンド・プロセスを開始します。Quartus II ソフトウェアは、Verilog ゲート・レベル・ネットリストに加え、HardCopy の顧客からアルテラの HardCopy デザイン・センターに提出されたデザイン・データベースの一部として情報を生成します。この情報には、タイミング制約、配置制約、およびグローバル配線情報が含まれます。このデータベースの生成により、HardCopy III デバイスのデザインを完成させるために必要な情報が HardCopy デザイン・センターに提供されます。

Design-for-Testability の挿入

HardCopy デザイン・センターでは、HardCopy III Verilog ネットリストに必要なテスト構造を挿入します。これらのテスト構造には、フル・スキャンが可能なレジスタおよびスキャン・チェーン、JTAG、およびメモリ・テストが含まれます。テスト構造の追加後、サードパーティの EDA フォーマル検証ソフトウェアを使用して、変更されたネットリストが元の Verilog ネットリストと照合され、テスト構造によりネットリストの機能が損なわれていないことが確認されます。フォーマル検証プロセスについては、2-3 ページの「[処理済みのネットリストのフォーマル検証](#)」で説明します。

クロック・ツリーおよびグローバル信号の挿入

HardCopy デザイン・センターでは、テストビリティの追加とともに、クロック・ツリー・バッファリングのローカル・レイヤを追加して、グローバル・クロック・リソースをデザインでローカルに配置されたレジスタに接続します。ファンアウトの大きいグローバル信号は、すべての HardCopy III デバイスのベース・レイヤに組み込まれている専用グローバル・クロック・リソースを使用することもできます。HardCopy デザイン・センターでローカル・バッファリングが実行されます。

未使用リソースのタイ・オフ接続

HardCopy III データベースにカスタム・デザインの未使用リソースが存在する場合、HardCopy デザイン・センターはこれらのリソースのタイ・オフ接続で特殊処理を使用します。未使用リソースの I/O ポートは、リソースが低消費電力状態になるように、電源またはグランドに接続されます。これは、デザインで使用されるすべてのリソースのコンフィギュレーションと接続に使用されるのと同じメタル層を使用して達成されます。

処理済みのネットリストのフォーマル検証

HardCopy デザイン・センターでは、Design-for-Testability ロジック、クロック・ツリー・バッファリング、グローバル信号バッファリング、およびタイ・オフ接続のすべてが処理済みネットリストに追加された後、サードパーティの EDA フォーマル検証ソフトウェアを使用して、処理済みのネットリストを Quartus II ソフトウェアで生成された顧客からの Verilog ネットリストと比較します。デザインの意図した機能が変更されていないことを検証するために、追加されたテスト構造はフォーマル検証中はバイパス・モードに制約されます。

タイミング・ドリブンおよびシグナル・インテグリティ・ドリブン配置配線

配置およびグローバル信号配線は、HardCopy III デザインを HardCopy デザイン・センターに提出する前に、基本的に Quartus II ソフトウェアで実行されます。ユーザーは、Quartus II ソフトウェアを使用して、デザインの配置およびタイミング・ドリブン配置最適化を制御します。Quartus II ソフトウェアはさらに、信号ネットのグローバル配線を実行し、最終的な配線を実行するために、デザイン・データベース内のこの情報を HardCopy デザイン・センターに渡します。デザインが HardCopy デザイン・センターに提出された後、アルテラのエンジニアはデザイン・データベースに提供された配置情報およびグローバル配線情報を使用して、最終的な配線とタイミング・クロージャを行い、またシグナル・インテグリティおよびクロストーク解析を実行します。このために、ECO (Engineering Change Order) によりデザインにバッファおよび遅延セル挿入が必要になることがあります。プロセスで機能変更がなかったことを保証するために、得られた配置配線後ネットリストが再度ソース・ネットリストおよび処理済みのネットリストに照合して検証されます。バックエンド・タイミング・クロージャおよびタイミング ECO については、2-4 ページの「バックエンド・タイミング・クロージャ」および 2-5 ページの「タイミング ECO」を参照してください。

寄生抽出およびタイミング解析

HardCopy デザイン・センターでデザインの配置配線が実行された後、**.gds2** デザイン・ファイルが生成されます。寄生抽出は、**.gds2** ファイルに格納されたデザインの物理的配置を使用して、デザインのすべての信号ネットの抵抗値および容量値を抽出します。HardCopy デザイン・センターでは、スタティック・タイミング解析およびクロストーク解析のために、これらの寄生値を使用してデザイン全体のパス遅延を計算します。

バックエンド・タイミング・クロージャ

Quartus II ソフトウェアは、HardCopy III デザイン性能のレイアウト前の見積もりを提供します。アルテラの HardCopy デザイン・センターでは、業界をリードする EDA ソフトウェアを使用して、バックエンド・レイアウトを完了し、テープアウト前に最終的なタイミング結果を抽出します。アルテラは、HardCopy III デザインのバックエンド実装中に、HardCopy III デザインでも徹底したタイミング解析を実行して、そのデザインが要求されるタイミング制約を満足することを保証します。HardCopy III デバイス用にカスタマイズされたメタル・インタコネクタが生成された後、アルテラはスタティック・タイミング解析ツールでデザインのタイミングをチェックします。スタティック・タイミング解析ツールがタイミング違反をレポートし、次に HardCopy デザイン・センターが違反を修正します。

HardCopy III デバイスのクリティカル・タイミング・パスは、Stratix III FPGA リビジョンの対応するパスと異なる場合があります。これらの相違が生じる理由はいくつかあります。HardCopy III デバイスは対応する Stratix III FPGA と同じ機能セットを維持しながら、ダイ・サイズを高度に最適化して、可能な限り小型化を図っています。この最適化を可能にするカスタマイズされたインタコネクタ構造により、各信号パス通過時の遅延がオリジナルの Stratix III FPGA デザインとは異なります。したがって、Stratix III FPGA デバイスおよび HardCopy III デバイスを達成すべき厳密なタイミング要求に対して制約することが重要です。Quartus II プロジェクトまたは HardCopy デザイン・センターの移行プロセスで見つかったタイミング違反は、デザインの製造が開始される前に修正または放棄されなければなりません。

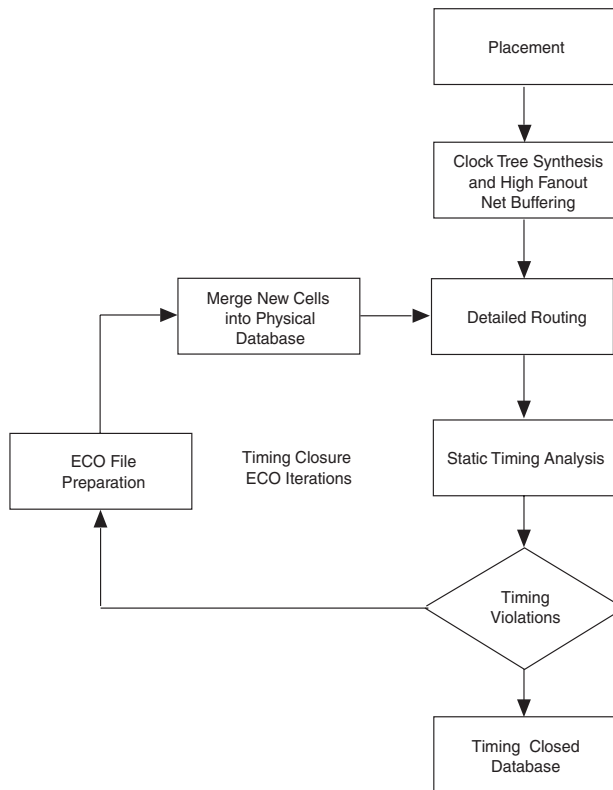
タイミング ECO

ASIC デザインでは、デザイン・データベースへの小さなインクリメンタル変更を ECO と呼んでいます。HardCopy III のデザイン・フローでは、タイミング・クロージャ ECO は最初のポスト・レイアウト・タイミング・データが利用可能になった後、アルテラの HardCopy デザイン・センターで実行されます。

アルテラの HardCopy デザイン・センターでは、デザインに対してスタティック・タイミング解析を実行します。この解析により、いくつかのパスのタイミングが配置配線ツールによって自動的に収束されていなかったことが判明する場合があります。HardCopy デザイン・センターのエンジニアは、これらのパスのタイミングを修正するための最良の方法（例えば、ホールド時間違反を修正するための遅延セルの追加）を決定します。この変更リストは配置配線ツールにフィードバックされて、変更が実装されます。配置配線データベースへの影響は、既存のすべての配置配線を維持し、改善を必要とするパスのみ変更することによって、最小限に抑えられています。

カスタマイズされたインタコネクットの寄生抵抗および容量が抽出され、スタティック・タイミング解析ツールと共に使用されて、デザインのタイミングを再チェックします。検出された信号のクロストーク違反は、バッファを追加して犠牲になる信号のセットアップ・マージンまたはホールド・マージンを増やすことによって修正されます。インライン・バッファおよび小さなバッファ・ツリーの挿入は、ファンアウトが大きいか、遷移時間が長い、容量性負荷が大きい信号に対して実行されます。[図 2-2](#) に、詳細なフローを示します。

図 2-2. タイミング・クロージャ ECO フロー図



バックエンド・フローにより、HardCopy III デバイスの最終的なサインオフ・タイミングが生成されます。Quartus II ソフトウェアは、グローバル配線に基づいて HardCopy III のタイミング・レポートを生成し、配線済みのネットの正確な物理的寄生成分を計算に入れません。Quartus II ソフトウェアは、隣接するネットが配線の容量に与え得るクロストークの影響も計算に入れません。

ポスト・レイアウト・ネットリストのフォーマル検証

HardCopy デザイン・センターで生成される **.gds2** ファイルおよび寄生ファイルに加え、Stratix III FPGA でのフォーマル検証用にポスト・レイアウト・ネットリストも生成されます。HardCopy デザイン・センターでは、Stratix III **.sof** ファイルおよび HardCopy III ポスト・レイアウト・ネットリストに従って、Stratix III FPGA プロトタイプと HardCopy III デバイス間の機能等価性をチェックします。

レイアウト検証

タイミング解析ですべてのタイミング要求が満足されていることがレポートされると、デザイン・レイアウトは製造性に対する検証の最終ステージに入ります。HardCopy デザイン・センターでは、物理的なデザイン・ルール・チェック (DRC)、レイアウトにおける長い信号トレースのアンテナ・チェック、および一般にレイアウト対回路図 (LVS) 検証と呼ばれる、レイアウト対デザイン・ネットリストの比較を実行します。これらのタスクにより、レイアウトに配置配線ネットリストと物理的配置で表現されたとおりのロジックが含まれることが保証されます。

デザイン・サインオフ

アルテラの HardCopy III バックエンド・デザイン・メソドロジは、徹底した検証とサインオフ・プロセスを備えており、デザインの機能性を保証します。サインオフは、最終的な配置配線ネットリストの機能検証、製造性に対するレイアウト検証、およびタイミング解析の完了後に行われます。アルテラでは、3 つのすべてのサインオフ・ポイントへの到達後に、HardCopy III デバイスの製造が開始されます。

まとめ

HardCopy III バックエンド・デザイン・メソドロジにより、デザインは確実にプロトタイプ FPGA から HardCopy III デバイスに正しく移行します。このメソドロジは、アルテラ固有の FPGA プロトタイプ作成およびバックエンド・プロセスに適合し、ユーザーがデザインでは FPGA の利点を活かし、製造時に HardCopy III ASIC の利点を活かすための優れた方法を提供します。

改訂履歴

表 2-1 に、本資料の改訂履歴を示します。

表 2-1. 改訂履歴		
日付およびドキュメント・バージョン	変更内容	概要
2008 年 5 月 v1.0	初版	—