

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

HIII51001-1.0

はじめに

HardCopy[®] III デバイスは、Stratix[®] III デバイスと互換性のあるピン配置、集積度、およびアーキテクチャを備えたアルテラの最新世代の低コスト、高性能、低消費電力 ASIC です。HardCopy III デバイスの PLL (Phase-Locked Loop)、エンベデッド・メモリ、および I/O エレメント (IOE) などは、機能的および電氣的に Stratix III FPGA と同等です。デザイン用 Quartus[®] II ソフトウェア、インシステム・プロトタイプおよびデザイン検証用 Stratix III FPGA、量産向け HardCopy III デバイスの組み合わせは、ユーザーのビジネス要求に対応する完全な低リスク・デザイン・ソリューションを提供します。

HardCopy III デバイスでは、前世代の HardCopy シリーズ・デバイスで成功した実証済みの手法がさらに向上されています。アルテラの HardCopy III デバイスは、特定の集積度の複数のデザインに対して同一ベース・アレイを使用し、2 層のマスキングのみを使用してカスタマイズすることができます。Quartus II ソフトウェアは、Stratix III FPGA プロトタイプの設計と、そのデザインを迅速に HardCopy III コンパニオン・デバイスに移行するプロセス両方に対して完全なツール・セットを提供します。HardCopy III デバイスは、Synopsys 社、Synplcity 社、および Mentor Graphics[®] 社のフロントエンド・デザイン・ツールでもサポートされています。

0.9 V、40 nm プロセスをベースにした HardCopy III ファミリは、低コスト、高性能ロジック、デジタル信号処理 (DSP)、およびエンベデッド・デザイン向けのスタンダード・セル ASIC の代替デバイスとなります。

この章では、HardCopy III デバイス・ファミリの機能の概要を説明します。各機能の詳細は、該当する章を参照してください。

特長

HardCopy III デバイスは、次の特長を備えています。

- 汎用
 - 低コスト、高性能、低消費電力 ASIC を実現する微細 HCell アーキテクチャ
 - 高速ターンアラウンド・タイムおよび低NRE (Non-Recurring Engineering) コストを実現する、2 層のマルチ・レイヤ・マスク (MLM) のみ使用したカスタマイズ
 - デザインの提出日から通常 14 週間で完全にテストされたサンプルが入手可能
 - Stratix III FPGA プロトタイプのデザイン機能を継承

■ システム性能および消費電力

- Stratix III FPGA プロトタイプに対して最大 2 倍のコア・ロジック性能
- 標準的なデザインで、Stratix III FPGA プロトタイプよりも 50% 以上の消費電力を削減
- 堅牢なオンチップ・ホット・ソケットおよびパワー・シーケンスのサポート
- インスタント・オンまたは 50 ms 後インスタント・オンの 2 つのパワーアップ・モードをサポート
- オン・ダイおよびオン・パッケージ・デカップリングとともに I/O:GND:PWR 比を 8:1:1 とすることで、堅牢なシグナル・インテグリティを実現



本データシートに記載される性能および消費電力が実際にどれだけ改善されるかは、デザインによって異なります。

■ ロジックおよび DSP

- ロジックおよび DSP ファンクション (表 1-1 に示す)、およびメモリ・ロジック・アレイ・ブロック (MLAB) ファンクション用の 270 万 ~ 700 万ユーザブル・ゲート
- 高速 DSP ファンクションにより、 9×9 、 12×12 、 18×18 、および 36×36 乗算器、積和ファンクション、および有限インパルス応答 (FIR) をサポート

■ 内部メモリ

- 3 種類のサイズの RAM ブロックで構成された TriMatrix メモリにより、ツール・デュアル・ポート・メモリおよび FIFO (First-In First-Out) バッファを実装
- 最大 16,662,528 専用 RAM ビット (パリティ・ビットを含む)

■ クロック・リソースおよび PLL (Phase-Locked Loop)

- 1 デバイスあたり最大 16 のグローバル・クロック、88 のリージョナル・クロック、および 88 のペリフェラル・クロック
- ダイナミック・クロック・ネットワーク・イネーブル / デイセーブルおよびダイナミック・グローバル・クロック・ネットワーク・ソースの選択をサポートするクロック・コントロール・ブロック
- 1 デバイスあたり最大 12 個の PLL により、PLL リコンフィギュレーション、クロック・スイッチオーバー、プログラマブル帯域幅、クロック合成、およびダイナミック位相シフトをサポート

■ I/O 規格、外部メモリ・インタフェース、および IP (Intellectual Property)

- LVTTTL、LVCMOS、PCI、PCI-X、SSTL、HSTL、および LVDS など、多数のシングル・エンドおよび差動 I/O 規格をサポート
- 1.25 Gbps のシリアライザ / デシリアライザ (SERDES) とダイナミック・フェーズ・アラインメント (DPA) 回路による高速差動 I/O サポート
- SPI-4.2、SFI-4、SGMII、Utopia IV、10 Gigabit Ethernet XSLI、Rapid I/O、および NPSI などの高速ネットワークングおよび通信バス規格をサポート
- すべての I/O バンクで専用 DQS ロジックによるメモリ・インタフェースのサポート
- すべての I/O バンクでオート・キャリブレーションのサポートを備えたダイナミック On-Chip Termination (OCT)

- 最大 20 個のモジュラー I/O バンクで、DDR、DDR2、DDR3 SDRAM、RLDRAM II、QDR II、および QDR II+ SRAM などの高速外部メモリ・インタフェースをサポート
- アルテラの MegaCore® および AMPPSM (Altera Megafunction Partners Program) の多数の IP メガファンクションをサポート
- Nios® II エンベデッド・プロセッサのサポート
- JTAG
 - IEEE 1149.1 バウンダリ・スキャン・テスト (BST) をサポート
- パッケージ
 - Stratix III FPGA プロトタイプとピン・コンパチブル
 - 最大 880 本のユーザー I/O ピン
 - 実装スペースを節減するフリップ・チップ FineLine BGA パッケージ (表 1-3) で提供

表 1-1 に、HardCopy III ASIC デバイスの機能一覧を示します。

HardCopy III デバイス	Stratix III デバイス	等価 ASIC ゲート数 (1)	M9K ブロック数	M144K ブロック数	トータル専用 RAM K ビット数 (MLAB は含まない) (2)	18 × 18 ビット乗算器数 (FIR モード)	PLL 数
HC311	EP3SL110	2.7 M	275	12	4203	288	4
HC321	EP3SL150	3.6 M	355	16	5499	384	4
HC322	EP3SL150	3.6 M	355	16	5499	384	8
HC331	EP3SE110	5.8 M	639	16	8055	896	4
HC332	EP3SE110	5.8 M	639	16	8055	896	8
HC351	EP3SL200	5.3 M	468	24	7668	576	4
HC352	EP3SL200	5.3 M	468	36	9396	576	12 (3)
HC361	EP3SE260	6.9 M	864	24	11,232	768	4
HC362	EP3SE260	6.9 M	864	48	14,688	768	12 (3)
HC372	EP3SL340	7.0 M	1,040	48	16,272	576	12 (3)

表 1-1 の注:

- (1) Stratix III FPGA プロトタイプのアダプティブ・ロジック・モジュール (ALM) ロジックおよび DSP ファンクション間で共有される HardCopy III ベース・アレイで利用可能な等価 ASIC ゲート数です。使用可能な等価 ASIC ゲート数は、コンパニオン Stratix III FPGA デバイスの ALM 数によって制限されます。
- (2) HardCopy III デバイスは専用 MLAB を備えていませんが、Stratix III MLAB 機能およびファンクションは、HardCopy III デバイスで完全にサポートされています。
- (3) このデバイスは、F1517 パッケージで 12 PLL、F1152 パッケージで 8 PLL を備えています。

HardCopy III デバイスは、Stratix III プロトタイプとのピン互換性を提供し、FPGA とドロップ・イン・リプレースメントが可能です。したがって、プロトタイプ作成およびフィールド試験用に開発されたものと同じシステム・ボードおよびソフトウェアが利用できるため、量産時の製品の市場投入の短縮が可能になります。表 1-2 に示すとおり、特定の Stratix III FPGA を HardCopy III デバイスに移行するとき、FPGA プロトタイプの選択肢が複数存在します。デザイン・リソースのニーズに応じて、設計者は適切な HardCopy III デバイスを選択することができます。

表 1-2. Stratix III FPGA から HardCopy III ASIC へのマイグレーション・パス (1 / 2) 注 (1)

HardCopy III デバイス	パッケージ	Stratix III デバイス					
		EP3SL110	EP3SL150	EP3SE110	EP3SL200	EP3SE260	EP3SL340
HC311	780 ピン FineLine BGA	√	—	—	—	—	—
HC321	780 ピン FineLine BGA	—	√	—	—	—	—
HC322	1,152 ピン FineLine BGA	—	√	—	—	—	—
HC331	780 ピン FineLine BGA	—	—	√	—	—	—
HC332	1,152 ピン FineLine BGA	—	—	√	—	—	—
HC351	780 ピン FineLine BGA	—	—	—	√ (2)	—	—
HC352	1,152 ピン FineLine BGA	—	—	—	√	—	—
HC352	1,517 ピン FineLine BGA	—	—	—	√	—	—
HC361	780 ピン FineLine BGA	—	—	—	—	√ (2)	—
HC362	1,152 ピン FineLine BGA	—	—	—	—	√	—
HC362	1,517 ピン FineLine BGA	—	—	—	—	√	—
HC372	1,152 ピン FineLine BGA	—	—	—	—	—	√

表 1-2. Stratix III FPGA から HardCopy III ASIC へのマイグレーション・パス (2 / 2) 注 (1)

HardCopy III デバイス	パッケージ	Stratix III デバイス					
		EP3SL110	EP3SL150	EP3SE110	EP3SL200	EP3SE260	EP3SL340
HC372	1,517 ピン FineLine BGA	—	—	—	—	—	✓

表 1-2 の注:

- (1) HardCopy III デバイスのマイグレーション・パスは、EP3SL50、EP3SL70、EP3SE50、および EP3SE80 Stratix III デバイスではサポートされていません。
- (2) この Stratix III デバイスは 780 ピン・ハイブリッド FBGA パッケージに封止されていますが、HardCopy III デバイスへの移行時には通常の 780 ピン FBGA パッケージで提供されます。780 ピン・ハイブリッド FBGA パッケージは、実装部分以外にパッケージの端に沿って余分な未使用ボード・スペースを必要としますが、実装部分は通常の 780 ピン FBGA パッケージと互換性があります。

HardCopy III ファミリでは、3 種類の FineLine BGA パッケージ・サブストレート・オプションが提供されています。

- 性能最適化フリップチップ・パッケージ (F)
- コスト最適化フリップチップ・パッケージ (L)
- 低コスト・ワイヤボンド・パッケージ (W)

3 つすべてのパッケージ・タイプが、Stratix III FPGA プロトタイプの直接置き換えをサポートします。性能が最適化されたフリップチップ・パッケージは、対応する FPGA プロトタイプと同等の性能および同じ I/O 数をサポートします。コストが最適化されたフリップチップ・パッケージは、レイヤ数がより少なく、オン・パッケージ・デカップリング (OPD) コンデンサのないサブストレートを使用して、低コストのパッケージ・オプションを提供します。性能は FPGA プロトタイプより劣ります。しかし、使用可能な I/O 数は同じです。ワイヤボンド・パッケージがもう一つの低コスト・パッケージ・オプションですが、性能が低下し使用可能な I/O 数が少なくなります。



低コスト・ワイヤボンド・パッケージをターゲットとするユーザーは、デザインでそのパッケージで使用可能な I/O を使用していることを確認する必要があります。

表 1-3に、HardCopy IIIデバイスで提供されているパッケージを示します。

HardCopy III デバイス (1)	Stratix III デバイス	484 ピン FineLine BGA	780 ピン FineLine BGA (2)	1,552 ピン FineLine BGA (2)	1,517 ピン FineLine BGA (3)	1,760 ピン FineLine BGA
N/A	EP3SL50	—	—	—	—	—
N/A	EP3SL70	—	—	—	—	—
HC311W	EP3SL110	—	392	—	—	—
HC311F	EP3SL110	—	488	—	—	—
HC321W	EP3SL150	—	392	—	—	—
HC321F	EP3SL150	—	488	—	—	—
HC322L	EP3SL150	—	—	744	—	—
HC322F	EP3SL150	—	—	744	—	—
HC351W	EP3SL200	—	392	—	—	—
HC351F	EP3SL200	—	488	—	—	—
HC352L	EP3SL200	—	—	744	880	—
HC352F	EP3SL200	—	—	744	880	—
HC372L	EP3SL340	—	—	744	880	—
HC372F	EP3SL340	—	—	744	880	—
N/A	EP3SE50	—	—	—	—	—
N/A	EP3SE80	—	—	—	—	—
HC331W	EP3SE110	—	392	—	—	—
HC331F	EP3SE110	—	488	—	—	—
HC332L	EP3SE110	—	—	744	—	—
HC332F	EP3SE110	—	—	744	—	—
HC361W	EP3SE260	—	392	—	—	—
HC361F	EP3SE260	—	488	—	—	—
HC362L	EP3SE260	—	—	744	880	—

表 1-3. HardCopy III および Stratix III のパッケージおよび I/O 数マッピング (2 / 2)

HardCopy III デバイス (1)	Stratix III デバイス	484 ピン FineLine BGA	780 ピン FineLine BGA (2)	1,552 ピン FineLine BGA (2)	1,517 ピン FineLine BGA (3)	1,760 ピン FineLine BGA
HC362F	EP3SE260	—	—	744	880	—

表 1-3 の注:

- (1) HardCopy III デバイス名の最後の文字は、パッケージ・タイプを示しています (F: 性能最適化フリップチップ・パッケージ、L: コスト最適化フリップチップ・パッケージ、W: 低コスト・ワイヤボンド・パッケージ)。
- (2) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) が含まれます。
- (3) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) および 8 本の専用コーナー PLL クロック入力 (PLL_L1_CLKp、PLL_L1_CLKn、PLL_L4_CLKp、PLL_L4_CLKn、PLL_R4_CLKp、PLL_R4_CLKn、PLL_R1_CLKp および PLL_R1_CLKn) が含まれます。

HardCopy III と Stratix III デバイスの相違点

以下のリストに示すとおり、HardCopy III デバイスには、Stratix III デバイスとのアーキテクチャ上の相違点がいくつかあります。デザインを実装し、ボードをレイアウトするときは、これらの相違点を考慮に入れてください。この情報により、Stratix III FPGA から HardCopy III ASIC へのデザインの移行を確実に行うことができます。

- Stratix III デバイスではコア電圧が 0.9 V または 1.1 V で選択可能であるのに対して、HardCopy III デバイスでは最大コア電圧が 0.9 V
- 3.0 V の最大 V_{CCIO} 電源
 - 仕様範囲内でピンを動作させるように、ボードにクランプ・ダイオードを外付けしなければならない場合があります。
 - HardCopy III デバイスでは、3.3 V LVTTTL/LVCMOS I/O 規格はサポートされていません。
- HardCopy III デバイスではコンフィギュレーションが不要なため、以下の Stratix III の機能はサポートされていません。
 - プログラミング・モードとリモート・アップデートや POF 暗号化などの機能
 - コンフィギュレーション・エラー検出のための CRC (Cyclic Redundancy Check)
 - デザインを保護するための揮発性および不揮発性 256 ビット (AES) セキュリティ・キー
 - コンフィギュレーションに使用される JTAG インストラクション
- HardCopy III デバイスでは、FPGA コンフィギュレーション・エミュレーション・モードはサポートされていません。
- バウンダリ・スキャン (BSCAN) チェインの長さが異なり、デバイスの集積度に応じて変化します。

- Stratix IIIデバイスが24個のI/Oバンクを内蔵しているのに対して、HardCopy IIIデバイスのI/Oバンクは最大20個です。
- RAMとして使用されるエンベデッド・メモリはメモリ初期化ファイル(.mif)をサポートしません。
 - ROMとして使用されるメモリに対しては.mifをサポートします。データはメモリ・セル内にマスク・プログラムされます。
- Stratix III ロジック・アレイ・ブロック (LAB)、MLAB および DSP ファンクションは、専用ブロックではなく HardCopy III デバイスの HCell を使用して実装されます。
- HardCopy III デバイスでは Stratix III プログラマブル・パワー・テクノロジーはサポートされません。しかし、HardCopy III アーキテクチャは、消費電力が極めて少ない Stratix III デバイスと同等の性能を提供します。

アーキテクチャの特長

この項では、HardCopy III ASIC ファミリのアーキテクチャの特長を説明します。

ロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール・ファンクションのサポート

HardCopy III デバイスは、Stratix III LAB および ALM ファンクションを完全にサポートしています。Stratix III LAB の基本ビルディング・ブロックは、ロジック・ファンクション、演算ファンクション、およびレジスタ・ファンクションを実装するようにコンフィギュレーション可能な ALM で構成されています。各 LAB は、10 個の ALM、キャリア・チェーン、共有演算チェーン、LAB コントロール信号、ローカル・インタコネクト、およびレジスタ・チェーン接続ラインで構成されています。

HardCopy III デバイスでは、コア・アレイの基本ビルディング・ブロックは、接続されたロジック・トランジスタの集合である HCell であり、Stratix III の LAB および ALM と同じ機能を提供します。Quartus II ソフトウェアは、これらの LAB および ALM ファンクションを HCell マクロにマップします。HCell マクロは HCell を HardCopy III コア・アレイで接続する方法を定義します。未使用 HCell はパワーダウンされ、カスタム・デザインの実装に必要な HCell のみ使用されます。これによりコア・ファブリックを効率よく使用でき、スタティック消費電力が大幅に削減されます。

HardCopy III デバイスでは、MLAB と呼ばれる Stratix III LAB デリバティブもサポートされます。MLAB は、LAB にスタティック・ランダム・アクセス・メモリ (SRAM) 機能を追加し、最大 640 ビットのシングル・デュアル・ポート SRAM を提供することができます。LAB ファンクションと同様に、Quartus II ソフトウェアは MLAB ファンクションを HardCopy III デバイスの HCell マクロにマップして、同じ Stratix III 機能を提供します。



LAB および ALM について詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール実装」の章を参照してください。



MLAB モードについて詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章を参照してください。

DSP ファンクションのサポート

HardCopy III デバイスは、Stratix III デバイスのデジタル信号処理 (DSP) ブロック・ファンクションを完全にサポートしています。WiMAX、3GPP WCDMA、CDMA2000、Voice over Internet Protocol (VoIP)、H.264 ビデオ圧縮、および高精細テレビ (HDTV) などの複雑なシステムは、高スループットの大容量のデータを処理するために高性能 DSP 回路を必要とします。これらのシステム・デザインは一般的に DSP を使用して、有限インパルス応答 (FIR) フィルタ、複合 FIR フィルタ、無限インパルス応答 (IIR) フィルタ、高速フーリエ変換 (FFT) ファンクション、および離散コサイン変換 (DCT) ファンクションを実装します。

HardCopy III デバイスでは、これらの DSP ブロック・ファンクションは HCell で実装されます。Quartus II ソフトウェアは、Stratix III DSP ファンクションを HardCopy III デバイスの HCell マクロにマップして、同一機能を維持します。HCell を使用した DSP ファンクションの実装により、HardCopy III デバイスのコア・ファブリックを効率よく使用でき、スタティック消費電力が大幅に削減されます。

HardCopy III デバイスは、すべての Stratix III DSP コンフィギュレーション (9×9、12×12、18×18、および 36×36 乗算器)、ならびにダイナミック符号コントロール、ダイナミック加算および減算、ダイナミック丸めおよび飽和、ダイナミック入力シフト・レジスタなどのブロック機能をサポートします。以下に示す Stratix III DSP ブロックの 5 つの動作モードすべてがサポートされます。

- 独立した乗算器 (9×9、12×12、18×18、36×36)
- Two-Multiplier Adder
- Four-Multiplier Adder
- Multiply Accumulate
- シフト・モード



DSP ブロックについて詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスの DSP ブロック実装」の章を参照してください。

TriMatrix エンベデッド・メモリ・ブロック

TriMatrix エンベデッド・メモリ・ブロックには、3 種類のサイズのエンベデッド SRAM があり、HardCopy III ASIC デザインのニーズに効率的に対応します。TriMatrix メモリには以下のブロックがあります。

- 640 ビット MLAB ブロック。フィルタのディレイ・ライン、小型 FIFO バッファ、およびシフト・レジスタの実装に最適化されています。
- 9 K ビット M9K ブロック。汎用メモリ・アプリケーションに使用できます。
- 144 K ビット M144K ブロック。プロセッサ・コードのストレージ、パケットおよびビデオ・フレームのバッファリングに理想的です。

各エンベデッド・メモリ・ブロックは、Quartus II MegaWizard® Plug-In Manager を使用して、シングルまたはデュアル・ポート RAM、ROM、またはシフト・レジスタとして個別にコンフィギュレーションできます。また、ブロックのタイプが同じであれば複数のブロックを 1 つにまとめて、最小のタイミング・ペナルティでより大きなメモリを作成することも可能です。TriMatrix メモリは、最大 16,272 K ビットの専用エンベデッド SRAM を提供します。



TriMatrix メモリ・ブロック、モード、機能、およびデザインの検討事項について詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章を参照してください。

クロック・ネットワークおよび PLL

HardCopy III デバイスは、専用グローバル・クロック・ネットワーク (GCLK)、リージョナル・クロック・ネットワーク (RCLK)、およびペリフェラル・クロック・ネットワーク (PCLK) を提供します。これらのクロックは、HardCopy III デバイス内で最大 192 の固有クロック・ドメイン (16 GCLK + 88 RCLK + 88 PLCK) を提供し、デバイスの 1/4 あたり最大 60 の固有 GCLK/RCLK/PCLK クロック・ソース (16 GCLK + 22 RCLK + 22 PCLK) を確保できる階層クロック構造に編成されます。

HardCopy III デバイスは豊富な PLL リソースを提供し、デバイスあたり最大 12 の PLL および PLL あたり最大 10 の出力を備えています。各出力は個別に設定して、他の入力または出力クロックと一定の関係を持たない固有のカスタマイズ可能なクロック周波数を作成できます。固有のジッタ・フィルタリング、および通倍、分周比、ダイナミック・フェーズ・シフトのリコンフィギュレーションに対する微細な調整を制御することによって、今日の高速度アプリケーションに必要な高性能精度を提供します。HardCopy III の PLL は豊富な機能を備え、クロック・スイッチオーバー、リコンフィギュレーション可能な位相シフト、PLL リコンフィギュレーション、およびリコンフィギュレーション可能な帯域幅など、先進的な機能をサポートしています。PLL は、通倍、位相シフト、およびプログラマブル・デューティ・サイクルをサポートする汎用クロック管理に使用できます。また、HardCopy III の PLL は、外部フィードバック・モード、スペクトラム拡散入力クロック追跡、およびポストスケール・カウンタ・カスケードもサポートしています。



クロック・ネットワークおよび PLL について詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「[HardCopy III デバイスのクロック・ネットワークおよび PLL](#)」の章を参照してください。

I/O バンクおよび I/O 構造

HardCopy III デバイスは、最大 20 個のモジュラー I/O バンクを備え、各 I/O バンクには 24、32、40、または 48 個の I/O (専用クロック入力は含まない) があります。このモジュラー I/O バンク構造は、ピン使用効率を向上し、デバイスの移行を容易にします。左側および右側にある I/O バンクには、外部メモリ・インタフェースをサポートする回路と、最大 1.25 Gbps 性能を満たす高速差動 I/O インタフェースがあります。トップおよびボトム I/O バンクにも、外部メモリ・インタフェースをサポートする回路があります。

HardCopy III デバイスは、シングル・エンド、電圧リファレンス形式のシングル・エンド、および差動 I/O 規格などの I/O 規格を幅広くサポートします。HardCopy III の I/O は、バス・ホールド、プルアップ抵抗、スルー・レート、出力遅延コントロール、およびオープン・ドレイン出力をサポートします。また、HardCopy III デバイスは、シングル・エンド I/O 規格に対しては自動キャリブレーションによるチップ内直列 (R_G) 終端とチップ内並列 (R_T) 終端をサポートし、左右の I/O バンクの LVDS I/O 規格に対してはチップ内差動終端 (R_D) をサポートします。ダイナミック OCT はすべての I/O バンクの双方向 I/O ピンでもサポートされています。



I/O 機能について詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスの I/O 機能」の章を参照してください。

外部メモリ・インタフェース

HardCopy III の I/O 構造は Stratix III の I/O 構造と同一であり、DDR、DDR2、DDR3、QDR II、QDR II+、および RLDRAM II などの既存および新しい外部メモリ規格の高性能サポートを提供します。

HardCopy III の I/O は、ダイナミック On-Chip Termination、配線パターン・ミスマッチ補正、リード/ライト・レベリング、ハーフ・レート・レジスタ、4～36 ビット DQ グループ幅などの機能をパックし、外部メモリ・インタフェースを迅速かつ堅牢に実装するために必要な機能を内蔵しています。DDR (Double Data Rate) は、HardCopy III デバイスのすべてのサイドでサポートされます。HardCopy III デバイスは効率的なアーキテクチャを備え、必要な場所で幅広い外部メモリ・インタフェースに迅速かつ容易に適合します。

セルフ・キャリブレート・ソフト IP コア (ALTMEMPHY) は、Quartus II タイミング解析ツール (TimeQuest) を使用して、HardCopy III デバイス I/O を活用するよう最適化されており、プロセスの電圧と温度の全域にわたって最も信頼性の高い動作周波数に対するトータル・ソリューションを提供します。



外部メモリ・インタフェースについて詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスの外部メモリ・インタフェース」の章を参照してください。

DPA 搭載の高速差動 I/O インタフェース

HardCopy III デバイスは、最大 1.25 Gbps の速度で差動規格をサポートする専用回路を内蔵しています。高速差動 I/O 回路は、Utopia IV、SPI-4.2、SFI-4、10 Gigabit Ethernet XSLI、Rapid I/O、および NPSI の高速 I/O インタコネクタ規格およびアプリケーションをサポートします。HardCopy III デバイスは、高速差動 I/O インタフェースに対しては 2x、4x、6x、7x、8x、および 10x SERDES モードをサポートし、専用 DPA 回路を使用する場合は 4x、6x、7x、8x、および 10x SERDES モードをサポートします。DPA により、ビット・エラーが最小になり、高速データ転送のための PCB レイアウトとタイミング管理が簡略化され、高速データ転送システムにおけるチャネル間およびチャネル・クロック間スキューが排除されます。HardCopy III デバイスの HCell を使用して、Stratix III ソフト・クロック・データ・リカバリ (CDR) ファンクションも実装でき、低コストの 1.25 Gbps クロック・エンベデッド・シリアル・リンクが可能になります。

HardCopy III デバイスは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- 受信デシリアライザ
- データ・リアラインメント
- ダイナミック・フェーズ・アライナ (DPA)
- ソフト CDR 機能
- シンクロナイザ (FIFO バッファ)
- PLL



高速差動サポートのための専用回路について詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

ホット・ソケットおよびパワー・オン・リセット

HardCopy III デバイスは、外部デバイスを使用せずに、ホット・プラグインまたはホット・スワップとしても知られるホット・ソケット（活線挿抜）およびパワー・シーケンスをサポートします。安定したオンチップ・ホット・ソケットおよびパワー・シーケンスのサポートにより、パワーアップ・シーケンスに関係なく適切なデバイスの動作が保証されます。ユーザーは、動作中のシステム・バスやシステムに実装されたボードに影響を与えることなく、システムの動作中に HardCopy III ボードをシステムに取り付けたり、取り外すことができます。

ホット・ソケット機能によって、3.3 V、3.0 V、2.5 V、1.8 V、1.5 V、および 1.2 V デバイスが混在して実装されたプリント基板（PCB）上の HardCopy III デバイスの使用がより容易になります。HardCopy III のホット・ソケット機能により、ユーザーはボード上のデバイスごとに適切なパワーアップ・シーケンスを確保する必要がなくなります。



HardCopy III デバイスは、最大 V_{CCIO} 電圧は 3.0 V ですが、3.3 V の入力レベルに耐えることができます。



「HardCopy III デバイス・ハンドブック Volume 1」の「[HardCopy III デバイスのホット・ソケットおよびパワー・オン・リセット](#)」の章を参照してください。

IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト

HardCopy III デバイスは JTAG IEEE Std をサポートします。1149.1 仕様バウンダリ・スキャン・テスト (BST) アーキテクチャでは、物理的なテスト・プローブを使用せずにピンの接続をテストすることができ、またデバイスの通常動作中に機能データをキャプチャします。HardCopy III デバイスのバウンダリ・スキャン・セルは信号をピンに強制的に出力するか、ピンまたはコア信号からデータをキャプチャします。強制テスト・データはバウンダリ・スキャン・セルにシリアルにシフト・インされます。キャプチャされたデータはシリアルにシフト・アウトされ、外部で期待値と比較されます。



JTAG の詳細は、「HardCopy III デバイス・ハンドブック Volume 1」の「[HardCopy III デバイスの IEEE 1149.1 \(JTAG\) バウンダリ・スキャン・テスト](#)」の章を参照してください。

シグナル・インテグリティ

HardCopy III デバイスは、複数のチップ、パッケージ、およびボード・レベルの機能強化を通じてシグナル・インテグリティの課題を簡略化し、デバイスの効率的な高速データ転送を可能にします。これらの機能強化には、次のものがあります。

- ユーザー I/O/Gnd/ V_{CC} 比を 8:1:1 として、パッケージ内のループ・インダクタンスを低減します。
- 各 I/O バンク (1 バンクあたり I/O 数を 24 ~ 48 に制限) に専用電源があり、同時スイッチング・ノイズを制限します。
- 最大 4 つの設定のスルー・レートのサポートにより、希望の I/O 規格、コントロール・ノイズ、およびオーバーシュートに適合します。

- 最大4つの設定の出力電流ドライブ強度のサポートにより、希望のI/O規格性能に適合します。
- 出力遅延のサポートにより、立ち上がり / 立ち下がり時間の制御とデューティ・サイクルの調整を行い、スキューを補正し、同時スイッチング出力 (SSO) ノイズを低減します。
- 直列および並列 OCT に対するオート・キャリブレーション・サポートを備えたダイナミック OCT と、左右のバンクの LVDS I/O 規格に対する差動 OCT サポート。



スルー・レート・コントロール、出力電流ドライブ強度、および出力遅延コントロールにおけるサポートされた設定は、HardCopy III デバイスにマスク・プログラムされ、シリコン製造後は変更できません。



Quartus II ソフトウェアの SI サポートについて詳しくは、「[Quartus II ハンドブック](#)」を参照してください。

ソフトウェア・サポート および 製品コード情報

この項では、HardCopy III デバイスのソフトウェア・サポートおよび製品コードについて説明します。

ソフトウェア・サポート

HardCopy III デバイスは、system-on-a-programmable-chip (SOPC) デザインに包括的な環境を提供するアルテラの Quartus II デザイン・ソフトウェアでサポートされています。Quartus II ソフトウェアには、HDL および回路図によるデザイン入力、コンパイルおよび論理合成、完全なシミュレーションおよび最新のタイミング解析、SignalTap® II ロジック解析、およびデバイス・コンフィギュレーションなどの機能が含まれています。



Quartus II ソフトウェアの機能について詳しくは、「[Quartus II ハンドブック](#)」を参照してください。

Quartus II ソフトウェアは、Windows Vista (32 ビットと 64 ビット)、Windows XP Professional x64、Windows XP/2000、Sun Solaris 8/9 (32 ビットと 64 ビット)、Red Hat Enterprise Linux 3.0/4.0 (32 ビットと 64 ビット)、および SUSE Enterprise Linux 9 (32 ビットと 64 ビット) の各オペレーティング・システムをサポートしています。最新情報はウェブサイトを参照してください。また、NativeLink インタフェースによる業界をリードする EDA ツールとのシームレスなインテグレーションもサポートしています。

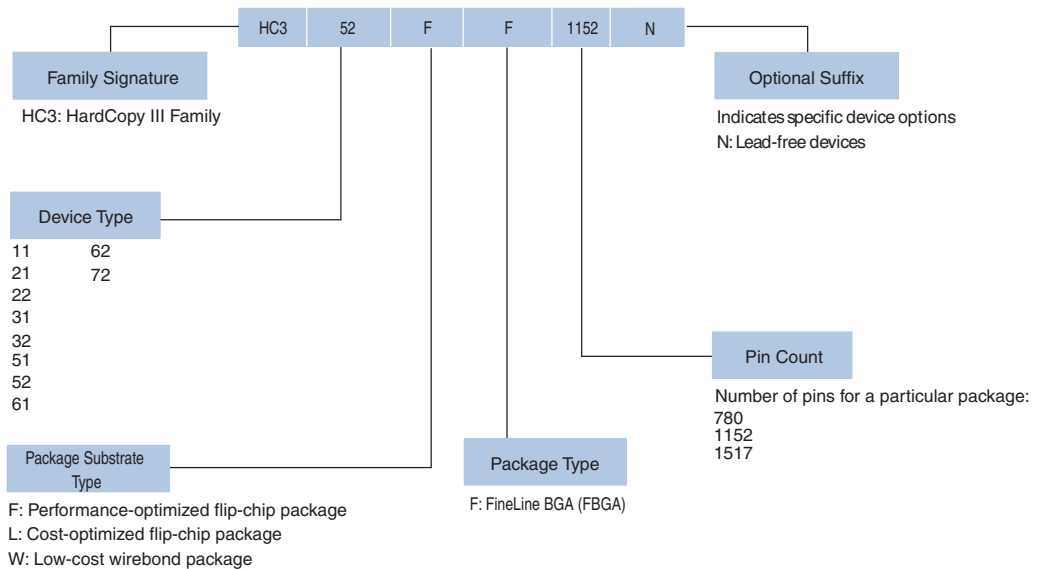
製品コード

図 1-1 は、HardCopy III デバイスの製品コードを説明しています。



特定のパッケージについて詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスのパッケージ情報」の章を参照してください。

図 1-1. HardCopy III デバイスの製品コード情報



参考資料

この章では以下のドキュメントを参照しています。

- 「HardCopy III デバイスのクロック・ネットワークおよび PLL」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスの DSP ブロック実装」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスの外部メモリ・インタフェース」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスの I/O 機能」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスのパッケージ情報」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスの高速差動 I/O インタフェースおよび DPA」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスのホット・ソケットおよびパワー・オン・リセット」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール実装」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「HardCopy III デバイスの電源および温度検知ダイオード」の章
(HardCopy III デバイス・ハンドブック Volume 1)
- 「Quartus II ハンドブック」
- 「HardCopy III デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章
(HardCopy III デバイス・ハンドブック Volume 1)

改訂履歴

表 1-4 に、本資料の改訂履歴を示します。

表 1-4. 改訂履歴		
日付およびドキュメント・バージョン	変更内容	概要
2008 年 5 月 v1.0	初版	—

