



セクションII. タイミング解析



101 Innovation Drive
San Jose, CA 95134
www.altera.com

EMI_DEBUG_TIMING-1.2

ドキュメント・バージョン: 1.2
ドキュメント・デート: 2010年1月

Copyright © 2010 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



このセクションについて	
改訂履歴	vii
第 1 章 . タイミング解析の方法論	
メモリ・インタフェース・タイミングのコンポーネント	1-2
ソース・シンクロナス・パス	1-2
キャリブレーションされるパス	1-2
内部 FPGA タイミング・パス	1-3
他の FPGA のタイミング・パラメータ	1-3
タイミング・パス —ALTMEMPHY	1-5
タイミング・パス —UniPHY	1-11
FPGA タイミング・パス	1-12
Arria II GX デバイスの PHY タイミング・パス	1-12
Stratix IV PHY タイミング・パス	1-13
Cyclone III PHY タイミング・パス	1-15
タイミング・マージンのコンポーネント	1-16
リード・データ・タイミング	1-19
ライト・データ・タイミング	1-22
ダイナミック・デスキューおよび DQ-DQS オフセット・タイミング	1-25
DQ-DQS オフセット	1-26
ダイナミック・デスキュー	1-27
タイミング解析の方法論への DDR3 デスキューの影響	1-27
タイミング制約およびリポート・ファイル	1-29
ALTMEMPHY メガファンクション	1-29
<variation_name>_ddr_timing.sdc	1-30
<variation_name>_timing.sdc	1-31
<variation_name>_report_timing.tcl	1-31
<variation_name>_report_timing_core.tcl	1-31
<variation_name>_ddr_pins.tcl	1-31
UniPHY IP	1-31
<variation_name>.sdc	1-32
<variation_name>_timing.sdc	1-32
<variation_name>_report_timing.tcl	1-32
<variation_name>_pin_map.tcl	1-32
<variation_name>_parameters.tcl	1-32

タイミング解析の記述	1-33
アドレスおよびコマンド	1-33
Arria II GX および Stratix IV デバイス	1-33
Stratix III デバイス	1-34
リード・キャプチャ	1-35
Arria IV GX および Stratix IV デバイス	1-35
Cyclone III	1-37
Stratix III デバイス	1-37
ライト・キャプチャ	1-39
Arria IV GX および Stratix IV デバイス	1-39
Cyclone III	1-41
Stratix III デバイス	1-41
リード再同期化	1-43
Arria II GX および Stratix IV デバイス	1-43
Stratix III デバイス	1-45
模擬パス	1-46
DQS 対 CK—Cyclone III デバイス	1-46
DDR3 SDRAM ライト・レベリング t_{DQSS}	1-47
Arria II GX または Stratix IV GX D デバイス	1-47
Stratix III デバイス	1-49
DDR3 SDRAM ライト・レベリング t_{DSH}/t_{DSS}	1-49
Arria II GX または Stratix IV GX デバイス	1-50
Stratix III デバイス	1-51
タイミング・マージンのリポート	1-51
タイミング・モデル前提およびデザイン・ルール	1-55
メモリ・クロック出力の前提	1-56
Arria II GX および Stratix IV デバイス	1-56
Cyclone III デバイス	1-57
Stratix III デバイス	1-58
ライト・データ前提	1-59
Arria II GX および Stratix IV デバイス	1-60
Cyclone III デバイス	1-62
Stratix III デバイス	1-62
リード・データ前提	1-64
Arria II GX および Stratix IV デバイス	1-64
Cyclone III デバイス	1-65
Stratix III デバイス	1-65
模擬パス前提	1-66
Arria II GX、Stratix III、および Stratix IV デバイス	1-66
DLL 前提	1-66
PLL およびクロック・ネットワーク前提	1-67
Cyclone III デバイス	1-67
第 2 章 . タイミング・クロージャ	
一般的な問題	2-1
タイミング・マージン不在のリポート	2-1
不完全なタイミング・マージンのリポート	2-1
リード・キャプチャ・タイミング	2-1
ライト・タイミング	2-2
アドレスおよびコマンド・タイミング	2-2
PHY リセット・リカバリとリムーバル	2-3
クロック - ストローブ (DDR および DDR2 SDRAM 用のみ)	2-3
リード再同期化、ポストアンブル、およびライト・レベリング・タイミング (SDRAM 用のみ)	2-4
タイミングの最適化	2-4

第3章 複数のチップ・セレクト DDR2 および DDR3SDRAM デザイン用のタイミング・ディレーティング手法

バックグラウンド	3-1
ISI 効果	3-2
キャリブレーション効果	3-3
ボード効果	3-3
ALTMEMPHY ベース・デザインに複数のチップ・セレクトの実装	3-3
Board Settings タブを使用するタイミング・ディレーティング (Arria II GX および Stratix IV デザインのみ)	3-4
スルー・レート	3-5
シンボル間干渉	3-6
ボード・スキュー	3-6
Excel ベースのカリキュレータを使用するタイミングのディレーティング	3-7
タイミングのディレーティングに Excel ベースのカリキュレータの使用前	3-8
Excel ベース・カリキュレータの使用	3-8
タイミングのディレーティングに Excel ベースのカリキュレータの使用 (ボード・トレース・モデルなし)	3-11

追加情報

アルテラへのお問い合わせ	Info-1
表記規則	Info-1


改訂履歴

以下の表に本章の改訂履歴を示します。

日付	バージョン	変更内容
2010年1月	1.2	マイナーな誤字脱字修正。
2009年12月	1.1	タイミングのディレーティングの章を追加。
2009年11月	1.0	初版。

外部メモリ・デバイス・インタフェースは、今日の高速なメモリ・デバイスの様々なタイミング要件を満たすことを保証することは挑戦である場合もあります。アルテラは、システムのタイミング・マージンを最大化するために、ソース・シンクロナスおよびセルフ・キャリブレーション回路の組み合わせを使用する外部メモリ PHY (物理層) インタフェース IP (ALTMEMPHY メガファンクション) を提供して、この挑戦にアドレスします。この PHY インタフェースは、Quartus® II TimeQuest Timing Analyzer のタイミングが抑制と分析するプラグ&プレイ・ソリューションです。外部メモリ・インタフェースの実装は、ALTMEMPHY メガファンクション、および Arria® II GX、Cyclone® III、Stratix® III、Stratix IV および FPGA により提供された多数のデバイス機能に大幅に簡略化されます。本書で提示されたすべての Stratix III と Stratix IV デバイス向けの情報は、それぞれ HardCopy® III と HardCopy IV デバイスに適用します。

本章は、全体の外部メモリ・インタフェース性能を決定する様々なタイミング・パスを詳説し、PHY IP がこれらのパラメータ・パスを分析するのに使用するタイミング制約および仮定について説明します。

 この章は、ALTMEMPHY および UniPHY IP に基づく外部メモリ・インタフェースのタイミング制約を中心に説明します。外部メモリ・インタフェースのタイミング制約と解析、および ALTDQ_DQS メガファンクションに基づく他のソース・シンクロナス・インタフェースについては、「AN 433: Constraining and Analyzing Source Synchronous Interfaces」および「Quartus II ハンドブック volume 3」の「Quartus II TimeQuest Timing Analyzer」の章を参照してください。


外部メモリ・インタフェース・タイミング解析は、以下の理由により、TimeQuest タイミング・アナライザでのみサポートされています：

- ウィザードで生成されたタイミング制約スクリプトは、TimeQuest タイミング・アナライザしかサポートしません。
- クラシック・タイミング・アナライザはソース・シンクロナスの出力の分析を提供しません。例えば、読み出しデータ、アドレス、およびコマンドの出力です。
- クラシック・タイミング・アナライザは詳細な立ち上がりおよび立ち下がり遅延解析をサポートしていません。

外部メモリ・デバイスへの FPGA インタフェース性能は、以下の項目に依存します：

- リード・データパス・タイミング
- ライト・データパス・タイミング
- アドレス・パスおよびコマンド・パスのタイミング
- クロック・ストロブ・タイミング (DDR、DDR2、および DDR3 SDRAM の t_{DQSS} 、および QDR II と QDR II+SRAM の $t_{KHK\#H}$)
- リード再同期化パス・タイミング (Arria II GX、Stratix III、かつ Stratix IV デバイスの DDR、DDR2、および DDR3 SDRAM に適用される)

- リード・ポストアンブル・パス・タイミング (Arria II GX、Stratix III、かつ Stratix IV デバイスの DDR、DDR2、および DDR3 SDRAM に適用される)
- ライト・レベリング・パス・タイミング (Stratix III および Stratix IV デバイスの DDR3 SDRAM DIMM に適用される)
- I/O エレメント (IOE) およびコア・レジスタ間の PHY タイミング・パス
- PHY およびコントローラの内部タイミング・パス (コア f_{MAX} およびリセットのりカバリ / リムーバブル)
- I/O トグル・レート
- 出力クロック仕様

 外部メモリ・インタフェース性能は、様々なタイミング・コンポーネントに依存します。そして、全体のシステム・レベル性能は最も遅いリンクの性能により制限されます (すなわち、最も少ないタイミング・マージンのある経路)。

メモリ・インタフェース・タイミングのコンポーネント


メモリ・インタフェース・タイミングのコンポーネントは、ソース・シンクロナス・タイミング・パス、キャリブレーションされるタイミング・パス、内部の FPGA タイミング・パス、および他の FPGA タイミング・パラメータに分類できます。

タイミング・パスの性質を理解することで、適切なタイミング分析方法と制約を使うことを可能にします。以下のセクションは、メモリ・インタフェース・タイミング・パスのこれらの面について分析します。

ソース・シンクロナス・パス

これらは、クロックおよびデータ信号が送信デバイスから受信デバイスに転送されるタイミング・パスです。

そのようなパスの例は FPGA- メモリのライト・データパスです。FPGA デバイスは、中央揃えの DQS 出力ストロブ・シグナルとともに DQ 出力データ信号をメモリに送信します。メモリ・デバイスは DQS 信号を使用して、DQ ピンのデータをその内部のレジスタにクロックします。

 本章の残りを簡潔にするために、データ信号、およびストロブとクロック信号は、それぞれ DQ 信号および DQS 信号として記述されます。用語は DDR タイプのインタフェースの場合にのみ形式的に正しく、QDR II および RLD RAM II ピン名にはマッチしていませんが、動作はほとんどのタイミング・プロパティおよび概念両方に当てはまるほど似ています。アドレスおよびコマンド信号をキャプチャするクロックはいつも CK/CK# と呼ばれます。

キャリブレーションされるパス


キャリブレーションされるパスとは、データ・キャプチャ用のクロックが DVW 内に動的に配置され、タイミング・マージンを最大化するためのタイミング・パスです。

DDR2 SDRAM コンポーネントと接続されている Stratix IV、Stratix III、および Arria II GX FPGA の場合、DQS ベースのキャプチャ・レジスタから FPGA システム・クロック・ドメインへのリード・データの再同期が、セルフ・キャリブレーション回路を使って実装されます。初期設定において、最適なタイミング・マージン再同期クロック・フェーズを設定するために、ALTMEMPHY シーケンサ・ブロックはリード・キャプチャと再同期レジスタ間のすべてのパス遅延を分析します。リード・ポストアンブル・キャリブレーションのプロセスは、リード・再同期化・キャリブレーションと同様の方法で実装されます。更に、ALTMEMPHY シーケンサ・ブロックは、リード・コマンドを発行するコントローラ、およびコントローラに戻るリード・データ間の遅延に、リード・データ有効信号をキャリブレートします。DDR3 SDRAM DIMM と接続されている Stratix IV と Stratix III FPGA の場合、ライト・レベリング・チェーンおよびプログラマブル出力遅延チェーンは、DIMM の個々のメモリ・デバイスで DQS エッジを CK エッジに揃えるためにキャリブレートされます。ALTMEMPHY メガファンクションは、300 MHz ~ 533 MHz の周波数ターゲットを使用する $\times 4$ および $\times 8$ デバイスを以って、DDR3 SDRAM シングル・ランクのバッファなし DIMM に対して、完全にキャリブレートされた DDR3 SDRAM PHY をサポートします。デスクュー回路は、400 MHz より高いインタフェースに対して自動的にイネーブルされます。

Cyclone III FPGA では、メモリ・デバイスからの初期データ・キャプチャは、キャリブレーション回路を使って ALTMEMPHY メガファンクションにより実行されます。メモリからの DQS ストロブはキャプチャに使用されません。その代わりに、コア LE レジスタに DQ データ信号をキャプチャするために、ダイナミック PLL クロック信号が使用されます。

内部 FPGA タイミング・パス


メモリ・インタフェース・タイミングに影響を与える他のタイミング・パスは、PHY とコントローラ・ロジックの FPGA 内部 f_{MAX} パスを含まれます。このタイミング分析は、すべての FPGA デザインに共通です。デザインで適切なタイミング制約（クロック設定などの）がある場合、TimeQuest タイミング・アナライザは、対応するタイミング・マージンを報告します。


 TimeQuest タイミング・アナライザの詳細については、「Quartus II ハンドブック v.3」の「[Quartus II TimeQuest タイミング・アナライザ](#)」章を参照してください。

他の FPGA のタイミング・パラメータ

一部の FPGA データシート・パラメータ（I/O トグル・レートや出力クロック仕様など）はメモリ・インタフェース性能を制限することがあります。

I/O トグル・レートは、スピード・グレード、ロード、および I/O バンク位置・トップ/ボトム対レフト/ライトに基づいて変わります。このトグル・レートは、使用された終端の機能（OCT または外部終端）、およびドライブ能力やスルー・レートなどの他の設定でもあります。

 システム・パフォーマンス計算全体において I/O 性能をチェックすることが必要です。アルテラは、指定されたドライブ能力と出力ピン・ロードの組み合わせに対してシグナル・インテグリティ解析を実行することを推奨しています。

 シグナル・インテグリティについて詳しくは、外部メモリ・インタフェースのハンドブックの「[Board Layout Guidelines](#)」の章、および「[AN 476: Impact of I/O Settings on Signal Integrity in Stratix III Devices](#)」を参照してください。

出力クロック仕様は、FPGA クロック出力間のクロック周期ジッタ、半期ジッタ、サイクル間ジッタ、およびスキューが含まれています。これらの仕様は FPGA データシートから取得可能で、メモリ・デバイス要件を満たす必要があります。これらの仕様は、メモリおよび FPGA 間に転送された信号の全体的データ有効のウィンドウを決定するのに使用できます。

タイミング・パス —ALTMEMPHY

表 1-1 には、TimeQuest タイミング・アナライザの Report DDR によって分析される ALTMEMPHY メガファンクションのタイミング・パスを記載します。

表 1-1. タイミング・パス —ALTMEMPHY (その1) (注1)

タイミング・パス	適用可能な ALTMEMPHY バリエーション	適用可能なクロック (2)	説明
アドレスおよびコマンド	すべての ALTMEMPHY バリエーション	<pre>mem_clk (<variation_name>_ck_n_mem_clk_n[i]_ac_rise <variation_name>_ck_p_mem_clk[i]_ac_rise <variation_name>_ck_n_mem_clk_n[i]_ac_fall <variation_name>_ck_p_mem_clk[i]_ac_fall)</pre>	すべてのアドレス・ピンとコマンド・ピン、または mem_cke、mem_cs_n、および mem_odt ピンのためのセットアップとホールド・マージン。
PHY	すべての ALTMEMPHY バリエーション	ALTMEMPHY のレジスタをドライブする PHY のすべてのクロック	ALTMEMPHY メガファンクションの内部タイミング。
PHY リセット	すべての ALTMEMPHY バリエーション	ALTMEMPHY のレジスタをドライブする PHY のすべてのクロック	ALTMEMPHY メガファンクションへの非同期リセット信号の内部タイミング。
DQS 対 CK	DDR2/DDR SDRAM	<pre><<variation_name>_ck_n_mem_clk_n[i]_tDQSS <variation_name>_ck_p_mem_clk[i]_tDQSS <variation_name>_ck_n_mem_clk_n[i]_tDSS <variation_name>_ck_p_mem_clk[i]_tDSS</pre>	メモリの CK/CK# の到達時間に対するメモリの DQS ストロブの到着時間のスキュー要件。

表 1-1. タイミング・パス —ALTMEMPHY (その2) (注1)

タイミング・パス	適用可能な ALTMEMPHY バ リエーション	適用可能なクロック (2)	説明
ハーフ・レート・ アドレスおよびコ マンド	ハーフ・レ ート・モードの DDR3/DDR2/ DDR SDRAM	mem_clk (<variation_name>_ck_n_mem_ clk_n[i]_ac_rise <variation_name>_ck_p_mem_ clk[i]_ac_rise <variation_name>_ck_n_mem_ clk_n[i]_ac_fall <variation_name>_ck_p_mem_ clk[i]_ac_fall)	PHY がハーフ・レート・モードのときのメモリで mem_clk ク ロックに対するアドレスおよびコマンド・ピン (mem_cs_n、 mem_cke、および mem_odt ピンを除く) のセットアップとホール ド・マージン。
模擬	Arria GX、 Arria II GX、 Cyclone III、 HardCopy II、 Stratix II、およ び Stratix II GX デバイス内の DDR2/DDR SDRAM の変動	<variation_name>_ck_n_mem_ clk[0]	電圧および温度トラッキング・メカニズムのセットアップ・マー ジン。

表 1-1. タイミング・パス —ALTMEMPHY (その3) (注1)

タイミング・パス	適用可能な ALTMEMPHY バ リエーション	適用可能なクロック (2)	説明
リード・キャプ チャ	すべての ALTMEMPHY 変動	dqs (<code><variation_name>_ddr_dqs_in_mem_</code> <code>dqs</code>)	<p>FPGA キャプチャ・レジスタで DQS ストロブに対する DQ ピンの セットアップとホールド・マージン。</p> <p>Arria II GX および Stratix IV デバイスでは、マージンは、ランタ イムで実行するキャリブレーションを考慮するために、 TimeQuest タイミング・アナライザおよび更なるステップの組み 合わせに基づいて報告されます。まず、TimeQuest タイミング・ アナライザは、ベース・セットアップとホールド・スラックスを 返します。そして、更なる処理は TimeQuest でモデル化できない 影響を考慮に入れるように、スラックスを調整します。キャリブ レートされたメモリ・インタフェースのタイミング解析について 詳しくは、<code><variation_name>_</code> <code>report_timing_core.tcl</code> ファイルを参照してください。</p> <p>Stratix III デバイスでは、マージンは、コンフィギュレーションの 適用可能なサンプリング・ウィンドウ (SW) 値に基づいて方程式 を使って報告されます。方程式については、<code><variation_name></code> <code>_report_timing.tcl</code> ファイルを参照して、または関連したデバイ ス・ハンドブックの「DC およびスイッチング特性」章を参照して ください。</p> <p>Cyclone III デバイスでのキャリブレーションされたパスです。2 で分割された総マージンとして計算されるため、これらの3つの デバイス・ファミリにおける結果セットアップとホールド・マー ジンは常にバランスが取れています。ボード上の実際のセットアッ プおよびホールド・マージンが異なる場合もあります。</p>
リード・ポストア ンブル	Arria GX、 Stratix II、およ び Stratix II GX デバイスの DDR2/DDR SDRAM の変動	ポストアンブル・クロック (<code><variation_name>_ddr_postamble</code>)	<p>再同期化クロック位相によってキャリブレーションされるポスト アンブル・パスのセットアップおよびホールド・タイム・マー ジン。</p> <p>2 で分割された総マージンとして計算されるため、セットアップと ホールド・マージンはいつもバランスが取れています。ボードで のセットアップ及びホールドのマージンと異なる場合もあります。</p>

表 1-1. タイミング・パス —ALTMEMPHY (その4) (注1)

タイミング・パス	適用可能な ALTMEMPHY バ リエーション	適用可能なクロック (2)	説明
リード・ポストア ンブル・イネーブ ル	Arria GX、 Stratix II、およ び Stratix II GX デバイスの DDR2/DDR SDRAM の変動	DQS クロック (<code><variation_name>_ddr_dqs*_*</code>)	DQS 信号を DQ レジスタに転送されるイネーブ ルするポストアンプルのセットアップとホールド・マー ジン。
リード再同期化	DDR3/DDR2/ DDR SDRAM	再同期化クロック (<code><variation_name>_ddr_resync)</code>)	再同期化とポストアンプルレジスタでの再同期化とポストア ンブルクロックに対する DQ データのセットアップとホールド・マー ジン。 Arria II GX および Stratix IV デバイスでは、マージンは、コン フィギュレーションに適用可能な SW 値に基づく方程式を使用し て報告されます。方程式については、 <code><variation_name> _report_timing.tcl</code> ファイルを参照してください。 Stratix III デバイスでは、マージンは、コンフィギュレーションに 適用可能な SW 値に基づく方程式を使用して報告されます。方 程式については、 <code><variation_name> _report_timing.tcl</code> ファイルを参照してください。 2 で分割された総マージンとして計算されるため、セットアップと ホールド・マージンは常にバランスが取れています。ボードの実 際のセットアップとホールド・マージンは異なる場合もあります。

表 1-1. タイミング・パス —ALTMEMPHY (その5) (注1)

タイミング・パス	適用可能な ALTMEMPHY バ リエーション	適用可能なクロック (2)	説明
ライト・データパス	すべての ALTMEMPHY 変動	DQS (<code><variation_name>_ddr_dqsout_ mem_dqs</code>)	<p>メモリにおける DQS ストロープに対する DQ ピンのセットアップおよびホールド・マージン。</p> <p>Arria II GX および Stratix IV デバイスでは、マージンは、ランタイムで実行するキャリブレーションを考慮するために、TimeQuest タイミング・アナライザおよび更なるステップの組み合わせに基づいて報告されます。まず、TimeQuest タイミング・アナライザは、ベース・セットアップとホールド・スラックスを返します。そして、更なる処理は TimeQuest でモデル化できない影響を考慮に入れるように、スラックスを調整します。キャリブレーションされたメモリ・インタフェースのタイミング解析について詳しくは、<code><variation_name>_report_timing_core.tcl</code> ファイルを参照してください。</p> <p>Cyclone III および Stratix IV デバイスでは、マージンは、コンフィギュレーションに適用可能なチャンネル間スキュー (TCCS) 値に基づく方程式を使用して報告されます。</p> <p>セットアップおよびホールド・マージンはほぼバランスが取られています。ボードの実際のセットアップおよびホールド・マージンは異なる場合もあります。</p>
ライト・レベリング t_{DQSS}	DDR3 SDRAM (Arria II GX デ バイスを除き)	CK/CK# クロック (<code><variation_name>_ck_n_ <CK# pin name>_tDQSS</code>) または (<code><variation_name>_ck_p_ <CK pin name>_tDQSS</code>)	<p>メモリの CK/CK# の到達時間に対するメモリの DQS ストロブの到着時間のスキュー・マージン。</p> <p>このパスはキャリブレーションされたパスであり、マージンは、方程式を使用して報告されます。セットアップおよびホールド・マージンはほぼバランスが取られています。ボードの実際のセットアップおよびホールド・マージンは異なる場合もあります。</p>

表 1-1. タイミング・パス —ALTMEMPHY (その6) (注1)

タイミング・パス	適用可能な ALTMEMPHY バ リエーション	適用可能なクロック (2)	説明
ライト・レベリ ング t_{DSS}/t_{DSH}	DDR3 SDRAM (Arria II GX デ バイスを除き)	CK/CK# clocks (<code><variation_name>_ck_n_</code> <code><CK# pin name>_tDQSS</code>) or (<code><variation_name>_ck_p_</code> <code><CK pin name>_tDQSS</code>)	メモリにおける CK クロックに対する DQS 立ち下がりエッジの セットアップおよびホールド・マージン。 このパスはキャリブレーションされたパスであり、マージンは、 方程式を使用して報告されます。セットアップおよびホールド・ マージンはほぼバランスが取られています。ボードの実際のセット アップとホールド・マージンは異なる場合もあります。

表 1-1 の注:

- (1) Stratix III および Stratix IV デバイスでのキャリブレーションされたパス（リード・ポストアンブルやリード・再同期パスなど）のタイミング・ノードの詳細を見ることができません。リードとライト・パスが、デバイス・ファミリー・ハンドブックの「DC とスイッチング特性」の章で出版されたサンプリング・ウィンドウおよびチャネル間スキューを使って計算されるため、Cyclone III および Stratix III デバイスのリードとライト・パスのためのタイミング・ノードの詳細も見ることができません。
- (2) [i] は、クロック数の 1、2、または 3 を示します。

タイミング・パス —UniPHY

表 1-2 に、TimeQuest タイミング・アナライザの Report DDR によって解析される UniPHY が備えたコントローラ用のタイミング・パスを示します。

表 1-2. タイミング・パス —UniPHY

タイミング・パス	適用可能なクロック	説明
アドレスおよびコマンド	QDR II および QDR II+ SRAM の κ/κ_n RLDRAM II の CK/CK_n	フル・レート・デザインでのすべてのアドレスおよびコマンド・ピン用、またはハーフ・レート・デザインでの <code>mem_cke</code> 、 <code>mem_cs_n</code> 、および <code>mem_odt</code> ピン用のセットアップとホールド・マージン。
コア	UniPHY レジスタをドライブするコア (コントローラ + PHY) の全てのクロック	UniPHY IP の内部タイミング。
PHY リセット	UniPHY レジスタをドライブする PHY の全てのクロック	UniPHY IP への非同期リセット信号の内部タイミング。
リード・キャプチャ	QDR II および QDR II+ SRAM 用の CK/CK_n RLDRAM II 用の QK/QK_n	FPGA キャプチャ・レジスタにおける DQS ストロープに対する DQ ピンのセットアップおよびホールド・マージン。 Arria II GX および Stratix IV デバイスでは、TimeQuest タイミングアナライザは直接にマージンを報告します。Stratix III デバイスでは、マージンは、コンフィギュレーションの適用可能なサンプリング・ウィンドウ (SW) 値に基づいて方程式を使って報告されます。方程式については、<variation_name>_report_timing.tcl ファイル、または該当するデバイス・ハンドブックの「DC およびスイッチング特性」の章を参照してください。
ライト・データパス	QDR II および QDR II+ SRAM 用の κ/κ_n RLDRAM II 用の DK/DK_n	メモリにおける DQS ストロープに対する DQ ピンのセットアップおよびホールド・マージン。 Arria II GX および Stratix IV デバイスでは、TimeQuest タイミングアナライザは直接にマージンを報告します。Stratix III デバイスでは、マージンは、コンフィギュレーションの適用可能なサンプリング・ウィンドウ (SW) 値に基づいて方程式を使って報告します。 程式については、<variation_name>_report_timing.tcl ファイル、または該当するデバイス・ハンドブックの「DC およびスイッチング特性」の章を参照してください。

FPGA タイミング・パス

この項では、制約スクリプトで使用される FPGA タイミング・パス、タイミング制約の例、およびタイミング前提について説明します。

Arria II GX および Stratix IV デバイスでは、DDR2 および DDR3 SDRAM インタフェースのマーzinは、ランタイムで実行するキャリブレーションを考慮するために、TimeQuest タイミング・アナライザおよび更なるステップの組み合わせに基づいて報告されます。まず、TimeQuest タイミング・アナライザは、ベース・セットアップとホールド・スラックスを返します。そして、更なる処理は TimeQuest でモデル化できない影響を考慮に入れるように、スラックスを調整します。DDR SDRAM、QDR II、QDR II+ SRAM、および RLD RAM II インタフェースには、マーzinは完全に TimeQuest タイミング・アナライザから取られます。

Arria II GX デバイスの PHY タイミング・パス

表 1-3 には、すべての Arria II GX デバイスの外部メモリ・インタフェース・タイミング・パスを分類します。

表 1-3. Arria II GX デバイスの外部メモリ・インタフェース・タイミング・パス (注 1)

タイミング・パス	回路のカテゴリ	ソース	デスティネーション
リード・データ (2)	ソース・シンクロナス	メモリ DQ、DQS ピン	IOE での DQ キャプチャ・レジスタ
ライト・データ (2)	ソース・シンクロナス	FPGA DQ、DQS ピン	メモリ DQ、DM、および DQS ピン
アドレスおよびコマンド (2)	ソース・シンクロナス	FPGA CK/CK# および Addr/Cmd ピン	メモリ入力ピン
クロック・ストロブ (2)	ソース・シンクロナス	FPGA CK/CK# および DQS 出力ピン	メモリ入力ピン
リード再同期化 (2)、(3)	キャリブレーション済み	IOE キャプチャ・レジスタ	IOE 再同期化レジスタ
リード・ポストアンブル (3)	キャリブレーション済み	アラインメント・レジスタの IOE ポストアンブル・コントロール	IOE ポストアンブル・レジスタ
PHY IOE- コア・パス (2)	ソース・シンクロナス	IOE 再同期化 レジスタ	FPGA コアの FIFO
PHY およびコントローラの内部パス (2)	内部クロックの f_{MAX}	コア・レジスタ	コア・レジスタ
I/O トグル・レート (4)	I/O	FPGA 出力ピン	メモリ入力ピン
出力クロック仕様 (ジッタ、DCD) (5)	I/O	FPGA 出力ピン	メモリ入力ピン

表 1-3 の注：

- (1) Arria II GX デバイスおよび SDRAM コンポーネント間のインタフェース適用可能なタイミング・パス。
- (2) このパスのタイミング・マーzinは、TimeQuest タイミング・アナライザの Report DDR 機能で報告されます。
- (3) ALTMEMPHY メガファンクションにしか使用できません。
- (4) アルテラは、I/O トグル・レートを確認するために、シグナル・インテグリティのシミュレーションを実行することを推奨します。
- (5) 出力クロック仕様については、Arria II GX ハンドブックの「Arria II GX デバイス・データシート」の章を参照してください。

図 1-1 には、Arria II GX デバイスの入力データパス・レジスタおよび回路のタイプを示します。


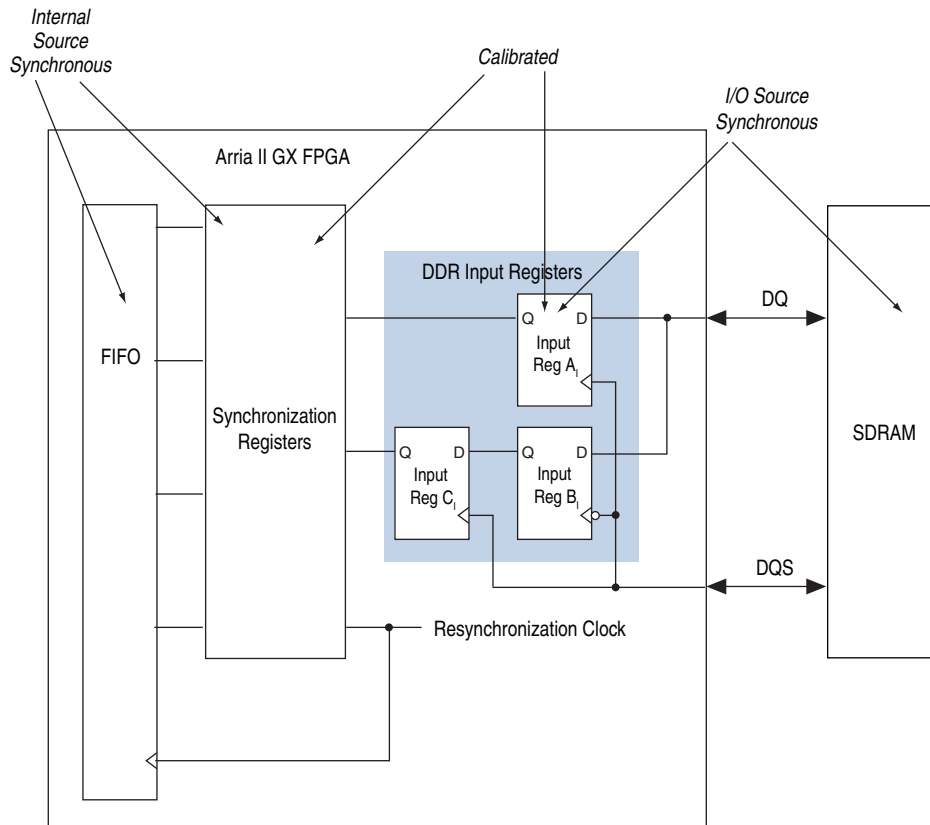
 UniPHY IP インタフェースは同期レジスタをバイパスします。

図 1-1. SDRAM インタフェースでの Arria II GX デバイスの入力データパス・レジスタおよび回路のタイプ



Stratix IV PHY タイミング・パス

Stratix IV 入力データパスに実行するすべてのレジスタ転送を詳細に調べると、多くのソース・シンクロナスおよびキャリブレーションされた回路が明らかになります。図 1-2 には、特定されたこれらのパスとの入力パスのブロック図を示します。出力データパスは、回路の同様なセットが含まれています。

 UniPHY IP インタフェースはアラインメントおよび同期レジスタをバイパスします。

図 1-2. SDRAM インタフェースでの Stratix IV デバイスの入力パス・レジスタおよび回路のタイプ

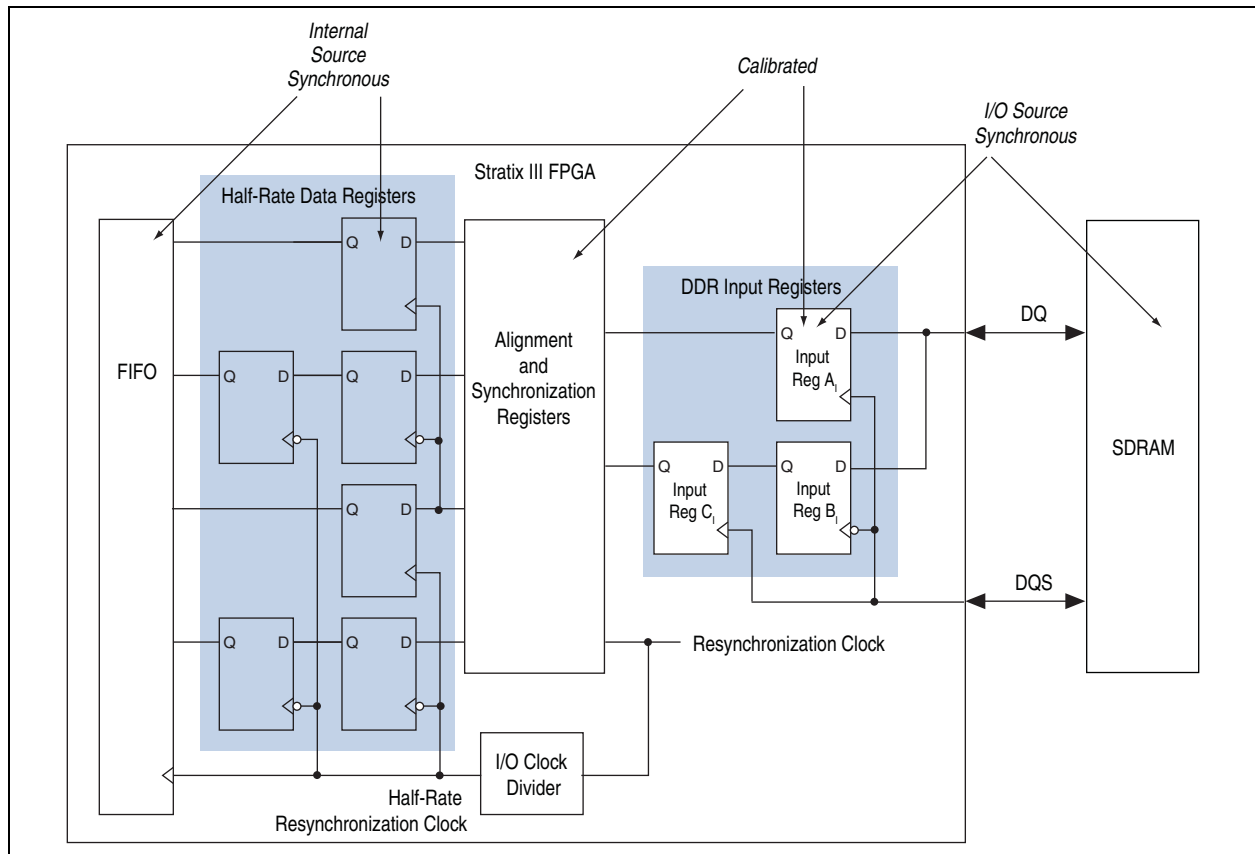


表 1-4 には、すべての Stratix IV デバイスの外部メモリ・インタフェース・タイミング・パスを分類します。

表 1-4. Stratix IV デバイスの外部メモリ・インタフェース・タイミング・パス (注1) (その1)

タイミング・パス	回路のカテゴリ	ソース	デスティネーション
リード・データ (2)	ソース・シンクロナス	メモリ DQ、DQS ピン	IOE での DQ キャプチャ・レジスタ
ライト・データ (2)	ソース・シンクロナス	FPGA DQ、DQS ピン	メモリ DQ、DM、および DQS ピン
アドレスおよびコマンド (2)	ソース・シンクロナス	FPGA CK/CK# および Addr/Cmd ピン	メモリ入力ピン
クロック - ストローブ (2)	ソース・シンクロナス	FPGA CK/CK# および DQS 出力ピン s	メモリ入力ピン
リード再同期化 (2), (3)	キャリブレーション済み	OE キャプチャ・レジスタ	IOE アラインメントおよび再同期レジスタ
リード・ポストアンブル (3)	キャリブレーション済み	ポストアンブル・アラインメント・レジスタ	IOE ポストアンブル・レジスタ
PHY IOE- コア・パス (2), (3)	ソース・シンクロナス	IOE ハーフ・データ・レート・レジスタおよびハーフ・レート再同期化ブロック	FPGA コアの FIFO

表 1-4. Stratix IV デバイスの外部メモリ・インタフェース・タイミング・パス (注1) (その2)

タイミング・パス	回路のカテゴリ	ソース	デスティネーション
PHY & コントローラの内部パス (2)	内部クロックの f_{MAX}	コア・レジスタ	コア・レジスタ
I/O トグル・レート (4)	I/O - データシート	FPGA 出力ピン	メモリ入力ピン
出力クロック仕様 (ジッタ、DCD) (5)	I/O - データシート	FPGA 出力ピン	メモリ入力ピン

表 1-4 の注：

- (1) 表 1-4 には、Stratix IV デバイスおよび SDRAM コンポーネント間のインタフェースに適用可能なタイミング・パスを示します。
- (2) このパスのタイミング・マージンは、TimeQuest タイミング・アナライザの Report DDR 機能で報告されます。
- (3) ALTMEMPHY メガファンクションにしか使用できません。
- (4) アルテラは、I/O トグル・レートを確認するために、シグナル・インテグリティのシミュレーションを実行することを推奨します。
- (5) 出力クロック仕様については、Stratix IV デバイス・ハンドブックの「DC およびスイッチング特性」の章を参照してください。

Cyclone III PHY タイミング・パス

表 1-5 には、Cyclone III メモリ・インタフェース内の各種タイミング・パスを分類します。Cyclone III デバイスでは、キャリブレーションされた PLL 出力・クロックがデータ・キャプチャのために使用され、メモリからの DQS ストロープが無視されます。したがって、リード再同期およびポストアンブル・タイミング・パスは、Cyclone III デザインに適用されません。リード・キャプチャは、固定配線によってデータ・ピンの隣に特別に配置された LE レジスタで実装されます。そして、データは、FIFO ブロックを使用して、キャプチャ・クロック・ドメインからシステム・クロック・ドメインに転送されます。図 1-3 には、Cyclone III 入力データパス・レジスタおよび回路タイプを示します。

表 1-5. Cyclone III SDRAM の外部メモリ・インタフェース・タイミング・パス (注1) (その1)

タイミング・パス	回路のカテゴリ	ソース	デスティネーション
リード・データ (2)	キャリブレーション済み	メモリ DQ、DQS ピン	LE での FPGA DQ キャプチャ・レジスタ
ライト・データ (2)	ソース・シンクロナス	FPGA DQ、DQS ピン	Memory DQ、DM、および DQS ピン
アドレスおよびコマンド (2)	ソース・シンクロナス	FPGA CK/CK# および Addr/Cmd ピン	メモリ入力ピン
クロック - ストロープ (2)	ソース・シンクロナス	FPGA CK/CK# および DQS 出力ピン	メモリ入力ピン
PHY 内部タイミング (2)	内部クロックの f_{MAX}	LE ハーフ・データ・レート・レジスタ	FPGA コアでの FIFO
I/O トグル・レート (3)	I/O - データシート I/O Timing セクション	FPGA 出力ピン	メモリ入力ピン

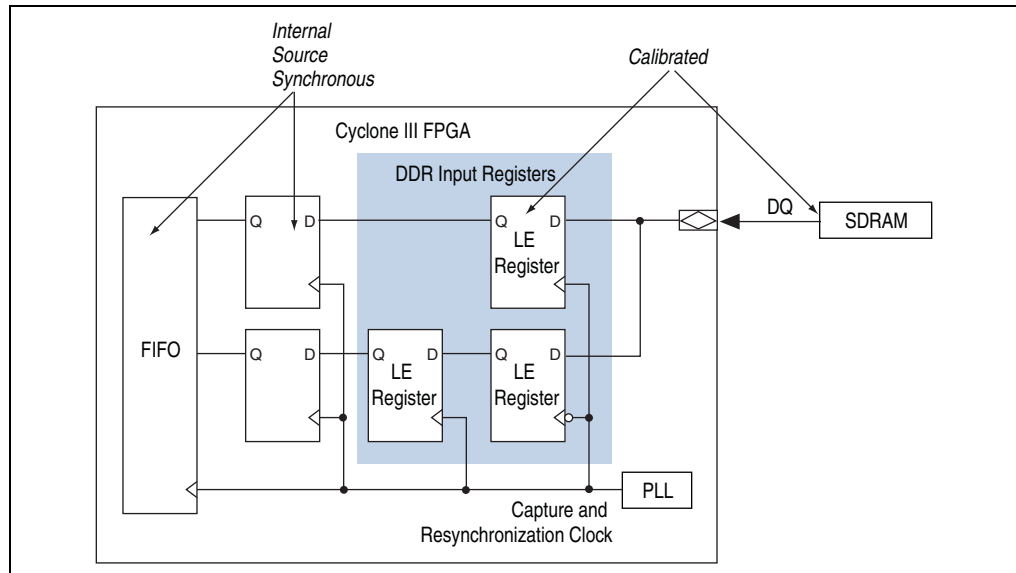
表 1-5. Cyclone III SDRAM の外部メモリ・インタフェース・タイミング・パス (注 1) (その 2)

タイミング・パス	回路のカテゴリ	ソース	デスティネーション
出力クロック仕様 (ジッタ、DCD) (4)	I/O - データシート Switching Characteristics セク ション	FPGA 出力ピン	メモリ入力ピン

表 1-5 の注：

- (1) 表 1-5 には、Cyclone III デバイスおよび SDRAM 間のインタフェースに適用可能なタイミング・パスを示します。
- (2) このパスのタイミング・マージンは、TimeQuest タイミング・アナライザの Report DDR 機能で報告されます。
- (3) アルテラは、I/O トグル・レートを確認するために、シグナル・インテグリティのシミュレーションを実行することを推奨します。
- (4) 出力クロック仕様については、「Cyclone III デバイス・ハンドブック」の「DC およびスイッチング特性」章を参照してください。

図 1-3. SDRAM インタフェースでの Cyclone III デバイスの入力データパス・レジスタおよび回路のタイプ



タイミング・マージンのコンポーネント

このセクションでは、リード・データやライト・データのタイミング・パスなどのタイミング・マージンを説明します。FPGA の内部タイミング・パスは、デザインに保証されて、シリコンでテストされるか、または対応するタイミング制約を使って TimeQuest タイミング・アナライザで分析されます。

- Stratix IV、Stratix III、または Cyclone III デバイスの PHY を使用して外部メモリ・インタフェースを実装と分析するデザイン・ガイドラインについては、「外部メモリ・インタフェース・ハンドブック」の「Volume 6: Design Flow Tutorials」を参照してください。

チップ間のデータ転送のイミング・マージンは、以下のように定義されます。

$$\text{マージン} = \text{ビット期間} - \text{トランスミッタの不確実性} - \text{レシーバ要求}$$

説明：

- すべてのトランスミッタの不確実性の合計 = トランスミッタのチャンネル間のスキュー (TCCS)。

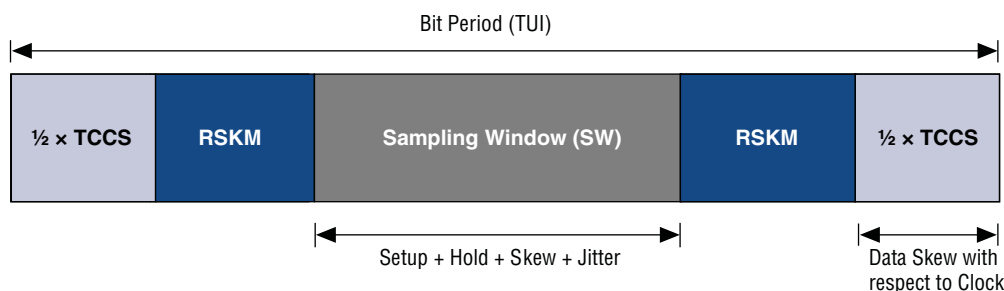
データ信号に関する出力エッジの最速と最低速のタイミングの差、 t_{CO} バリエーション、クロックスキュー及びジッターを含みます。クロックは TCCS の測定に含まれて、タイミングの標準として役立ちます。
- すべてのレシーバの要件の合計 = レシーバのサンプリング・ウィンドウ要件

データを正しくキャプチャするために、データが有効でなければならない期間。サンプリング・ウィンドウ内の理想的なストロブ位置は、セットアップ時間およびホールド時間によって決まります。
- レシーバ・スキュー・マージン (RSKM) = レシーバ・キャプチャ・レジスタでのマージンまたはスラック

TCCS および SW 仕様については、「Arria II GX デバイス・ハンドブック」、「Stratix IV デバイス・ハンドブック」、「Stratix III デバイス・ハンドブック」、または「Cyclone III デバイス・ハンドブック」の「DC およびスイッチング特性」の章を参照してください。

図 1-4 には、これらの用語をタイミング制約図で説明します。

図 1-4. タイミング制約図のサンプル



「 $\frac{1}{2} \times \text{TCCS}$ 」としてマークされるタイミング制約領域は、データ・トランスミッタの最後のデータ有効時間および最初のデータ無効時間を表します。サンプリング・ウィンドウとしてマークされる領域は、データが安定状態に維持しなければならぬとき、レシーバによって必要とされる時間です。このサンプリング・ウィンドウは以下から成ります。

- 内部レジスタ・セットアップおよびホールド要件
- レシーバ・デバイス内のデータおよびクロック・ネットでのスキュー
- 内部キャプチャ・クロックのジッターおよび不確実性

サンプリング・ウィンドウは、キャプチャ・マージンまたはスラックではなく、レシーバからの要件 でありませす。使用可能なマージンは RSKM として示されます。

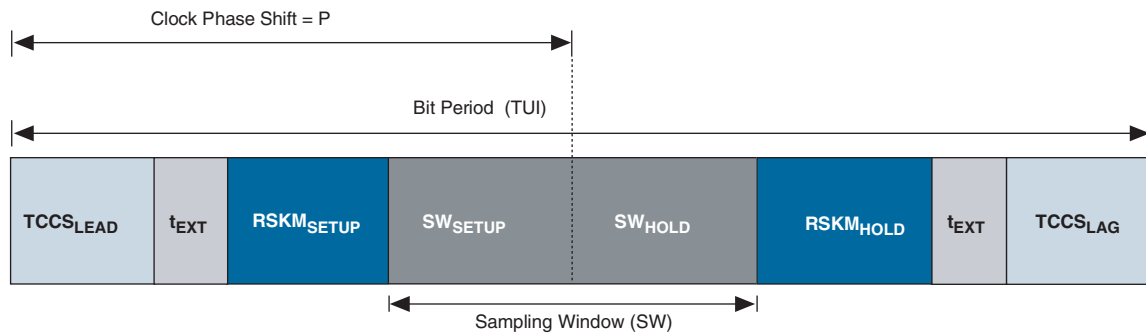
図 1-4 で示された簡単な例では、ボード・レベル不確実性を考慮せず、レシーバ・サンプリング・ウィンドウ領域の中間で、中央揃えのキャプチャ・クロックを仮定し、トランスミッタ・クロック・ピンに対する均等に分散された TCCS を仮定します。この例では、ビット期間のレフト・エンドは $t=0$ の時点に相当し、ビット期間のライト・エンドは、 $t=TUI$ の時点に相当します (TUI はタイム・ユニット・インターバルを表す)。したがって、レシーバの中央揃えのキャプチャ・クロックは、 $t=TUI/2$ の時点に配置されます。

したがって、

$$\text{総マージン} = 2 \times \text{RSKM} = \text{TUI} - \text{TCCS} - \text{SW}.$$

ビット期間 (クロック位相シフト = P) 以内にクロックが中央に揃えられていない、そしてトランスミッタ不確実性はバランスではない ($\text{TCCS}_{\text{LEAD}}$ と TCCS_{LAG}) ケースを検討してみます。 $\text{TCCS}_{\text{LEAD}}$ は、クロック信号と最新データ有効信号間のスキューとして定義されます。 TCCS_{LAG} は、クロック信号と最早データ無効信号間のスキューとして定義されます。また、データとクロック・トレースでのボード・レベル・スキューは t_{EXT} として指定されます。この条件には、独立セットアップおよびホールド・マージンをレシーバ ($\text{RSKM}_{\text{SETUP}}$ および $\text{RSKM}_{\text{HOLD}}$) に計算する必要があります。この例では、サンプリング・ウィンドウ要件は、セットアップ側 (SW_{SETUP}) 要件およびホールド側 (SW_{HOLD}) 要件に分割されます。図 1-5 には、この条件のタイミング制約を示します。図 1-5 に示されたものと同様なタイミング制約は、Stratix IV および Stratix III FPGA のリードとライトのデータ・タイミング・パスに使用されます。

図 1-5. 非平衡な (TCCS および SW) タイミング・パラメータのタイミング制約のサンプル



したがって、

$$\text{セットアップ・マージン} = \text{RSKM}_{\text{SETUP}} = P - \text{TCCS}_{\text{LEAD}} - \text{SW}_{\text{SETUP}} - t_{\text{EXT}}$$

$$\text{ホールド・マージン} = \text{RSKM}_{\text{HOLD}} = (\text{TUI} - P) - \text{TCCS}_{\text{LAG}} - \text{SW}_{\text{HOLD}} - t_{\text{EXT}}$$

図 1-4 に示された平衡なタイミング・パラメータを持つタイミング制約は、データ有効のウィンドウ内のクロックが動的に中央に揃えられるキャリブレーションされたパスに適用可能です。図 1-5 に示された非平衡なタイミング・パラメータのタイミング制約は、データ有効のウィンドウ内のクロックを設置するために DLL または PLL でスタティック位相シフトを採用する回路に適用可能です。

リード・データ・タイミング

メモリ・デバイスは、リード操作の間に、FPGA にエッジ・アラインメント DQ と DQS 出力を提供します。Stratix III FPGA は、スタティック DLL ベースの遅延を使って DQS ストロープを中央に揃えます。Cyclone III FPGA は、DQS を使わずに、LE レジスタのリード・データをキャプチャするキャリブレーションされた PLL クロック出力を使用します。データ・キャプチャのとき、Stratix III デバイスがソース・シンクロナス回路、そして Cyclone III デバイスが、キャリブレーションされた回路を使用しますが、タイミング解析の方法論はほとんど同じです。以下にこれについて説明します。

この方法をリード・データ・タイミングに適用すると、メモリ・デバイスはトランスミッタになり、FPGA デバイスはレシーバになります。

メモリ・デバイスからの出力におけるトランスミッタ・チャンネル間のスキューは、対応するデバイス・データシートから得られます。DDR2 SDRAM コンポーネントの TCCS パラメータを検討してみてください。

DQS ベース・キャプチャには：

- DQS ストロープおよび最新データ有効間の時間は、 t_{DQSQ} と定義される
- 最早データ無効および次のストロープ間の時間は、 t_{QHS} と定義される
- 前の定義に基づき、 $TCCS_{LEAD}=t_{DQSQ}$ 、そして $TCCS_{LAG}=t_{QHS}$

レシーバ (FPGA) のサンプリング・ウィンドウは以下のタイミング・パラメータを含みます。

- キャプチャ・レジスタのマイクロ・セットアップおよびマイクロ・ホールド・タイム要件
- DLL 位相シフト・エラーおよび位相ジッタによる DQS ロック不確実性
- DQ キャプチャ・レジスタを供給する DQS バスでのクロック・スキュー
- ピンから入力レジスタへの DQ パス上のデータ・スキュー (パッケージ・スキューを含む)


 TCCS および SW 仕様については、「Stratix IV デバイス・ハンドブック」、「Stratix III デバイス・ハンドブック」、または「Cyclone III デバイス・ハンドブック」の「DC およびスイッチング特性」の章を参照してください。

図 1-6 には、リード・データのタイミング・パスのタイミング制約を示します。

図 1-6. リード・データのタイミング・パスのタイミング制約

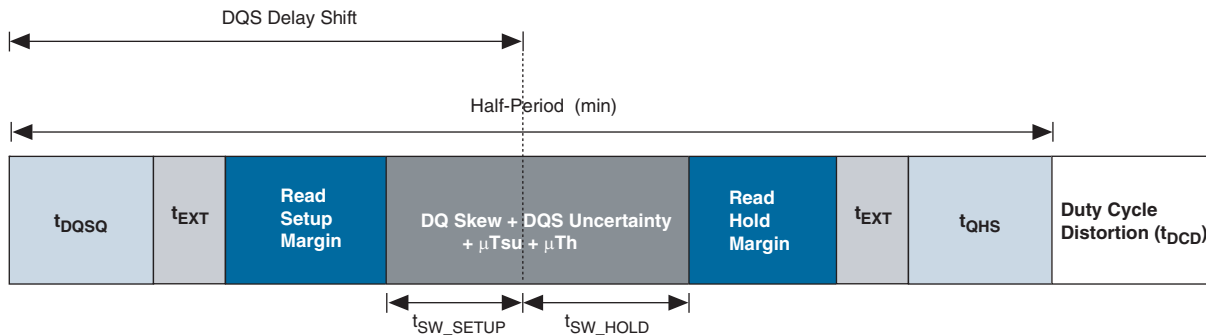


表 1-6 には、400-MHz DDR2 SDRAM コンポーネントに接続される Stratix III -2 スピード・グレード・デバイスのリード・データのタイミング解析を示します。

表 1-6. 400-MHz DDR2 SDRAM コンポーネントに接続される Stratix III デバイスのリード・データのタイミング解析 (注 1)

パラメータ	仕様	値 (ps)	説明
メモリ仕様 (1)	t_{HP}	1250	メモリ・データシートで指定される平均半周期、 $t_{HP} = 1/2 * t_{CK}$
	t_{DCD}	50	デューティ・サイクル歪み = $2\% \times t_{CK} + t_{JITdy} = 0.02 \times 2500 + 100$ ps
	t_{DQSQ}	200	メモリからの DQS および DQ 間のスキュー
	t_{QHS}	300	メモリで指定されるデータ・ホールド・スキュー係数
FPGA 仕様	t_{SW_SETUP}	181	DLL モード、幅、位置などのコンフィギュレーションのための FPGA サンプリング・ウィンドウ仕様
	t_{SW_HOLD}	306	
ボード仕様	t_{EXT}	20	任意の 2 つの信号配線パターン間での許容される最大のボード・トレースのバリエーション (ユーザー指定パラメータ)
タイミング計算	t_{DVW}	710	$t_{HP} - t_{DCD} - t_{DQSQ} - t_{QHS} - 2 \times t_{EXT}$
	$t_{DQS_PHASE_DELAY}$	500	DQS キャプチャ・ストロブでの理想的な位相シフト遅延 = $(DLL \text{ 位相分解能} \times \text{遅延の段数} \times t_{CK}) / 360^\circ = (36^\circ \times 2 \text{ 段} \times 2500 \text{ 個}) / 360^\circ = 500 \text{ 個}$
結果	セットアップ・マージン	99	$RSKM_{SETUP} = t_{DQS_PHASE_DELAY} - t_{DQSQ} - t_{SW_SETUP} - t_{EXT}$
	ホールド・マージン	74	$RSKM_{HOLD} = t_{HP} - t_{DCD} - t_{DQS_PHASE_DELAY} - t_{QHS} - t_{SW_HOLD} - t_{EXT}$

表 1-6 の注：

- (1) このサンプル計算は、72 ビット幅の 256MB ミクロン MT9HTF3272AY-80E 400-MHz DDR2 SDRAM DIMM からのメモリ・タイミング・パラメータを使用します。

表 1-7 には、SSTL-18 Class I I/O 標準と終端を使用して、200-MHz の DDR2 SDRAM コンポーネントに接続されている Cyclone III-6 スピード・グレードデバイスのリード・データ・タイミング解析を詳説します。267-MHz DDR2 SDRAM コンポーネントは、正のタイミング・マージンを 200-MHz 動作の 200-MHz メモリ・インタフェース・クロック周波数に保証するために必要です。

表 1-7. Cyclone III デバイスの 200-MHz DDR2 SDRAM のリード・データのタイミング解析 (注 1)

パラメータ	仕様	値 (個)	説明
メモリ仕様 (1)	t_{HP}	2500	メモリ・データシートで指定される平均半周期
	t_{DCD_TOTAL}	250	デューティ・サイクル歪み = $2\% \times t_{CK} + t_{JITdy} = 0.02 \times 5000 + 125$ ps
	t_{AC}	± 500	267-MHz DDR2 SDRAM コンポーネント用のデータ (DQ) 出力アクセス時間
FPGA 仕様	t_{SW_SETUP}	580	インタフェース幅や位置などのコンフィギュレーションの FPGA サンプルング・ウィンドウ仕様
	t_{SW_HOLD}	550	
ボード仕様 (1)	t_{EXT}	20	2つのいずれかの信号配線パターン間での許容される最大のボード・トレースのバリエーション (ユーザー指定パラメータ)
タイミング計算	t_{DVW}	1230	$t_{HP} - t_{DCD} - 2 \times t_{AC} - 2 \times t_{EXT}$
結果	トータル・マージン	100	$t_{DVW} - t_{SW_SETUP} - t_{SW_HOLD}$

表 1-7 の注：

- (1) このサンプル計算に、総デューティ・サイクル歪みとボード・スキューは、セットアップおよびホールド・マージンに分かれています。Cyclone III-6 スピード・グレード・デバイスのリード・キャプチャおよびタイミング解析について詳しくは、1-15 ページの「Cyclone III PHY タイミング・パス」を参照してください。

表 1-8 には、SSTL-18 Class I I/O 標準と終端を使用して、300-MHz の DDR2 SDRAM コンポーネントに接続されている Arria II GX -4 スピード・グレードデバイスのリード・データ・タイミング解析を詳説します。400-MHz DDR2 SDRAM コンポーネントは、正のタイミング・マージンを 300-MHz 動作の 300-MHz メモリ・インタフェース・クロック周波数に保証するために必要です。

表 1-8. 400-MHz DDR2 SDRAM デバイスと Arria II GX デバイスの 300-MHz DDR2 SDRAM のインタフェースのタイミング解析 (注 1) (その 1)

パラメータ	仕様	値 (個)	説明
メモリ仕様 (1)	t_{HP}	1667	メモリ・データシートで指定される平均半周期
	t_{DCD}	67	デューティ・サイクル歪み = $2\% \times t_{CK}$
	t_{DQSQ}	200	メモリからの DQS および DQ 間のスキュー
	t_{QHS}	300	メモリで指定されるデータ・ホールド・スキュー係数
FPGA 仕様	t_{SW_SETUP}	181	インタフェース幅や位置などのコンフィギュレーションの FPGA サンプルング・ウィンドウ仕様
	t_{SW_HOLD}	306	
ボード仕様	t_{EXT}	20	2つのいずれかの信号配線パターン間での許容される最大のボード・トレースのバリエーション (ユーザー指定パラメータ)

表 1-8. 400-MHz DDR2 SDRAM デバイスと Arria II GX デバイスの 300-MHz DDR2 SDRAM のインタフェースのタイミング解析 (注 1) (その 2)

パラメータ	仕様	値 (個)	説明
タイミング計算	t_{DVW}	1127	$t_{HP} - t_{DQSQ} - t_{QHS} - 2 \times t_{EXT}$
	$t_{DQS_PHASE_DELAY}$ AY	667	DQS キャプチャ・ストロブでの理想的な位相シフト遅延 = (DLL 位相解能 × 遅延の段数 × t_{CK}) / 360° = (36° × 2 段 × 3333 個) / 360° = 667 個
結果	セットアップ・マージン	266	$RSKM_{SETUP} = t_{DQS_PHASE_DELAY} - t_{DQSQ} - t_{SW_SETUP} - t_{EXT}$
	ホールド・マージン	307	$RSKM_{HOLD} = t_{HP} - t_{DCD} - t_{DQS_PHASE_DELAY} - t_{QHS} - t_{SW_HOLD} - t_{EXT}$

表 1-8 の注：

- (1) このサンプル計算は、72 ビット幅の 1,152-MB ミクロン MT9HTF12872AY-800 400-MHz DDR2 SDRAM DIMM からのメモリ・タイミング・パラメータを使用します。

ライト・データ・タイミング

ライト動作中に、FPGA は複数の PLL 駆動のクロック出力を使用して、DQS ストロブおよび中央揃え DQ データ・バスを生成します。メモリ・デバイスはこれらの信号を受信し、内部でそれらをキャプチャします。Stratix III および Cyclone III デバイス・ファミリは、IOE 内に専用 DDIO (ダブル・データ・レート I/O) ブロックが含まれています。ライト・データバスのこれらのデバイス・ファミリのタイミング解析は同一です。

ライト動作中では、FPGA デバイスはトランスミッタであり、メモリ・デバイスはレシーバです。メモリ・デバイスのデータシートは、DQ/DQS ピンでの入力スルー・レートに基づいて、データ・セットアップおよびデータ・ホールド時間要件を指定します。これらの要件は、メモリ内部のすべてのタイミング不確実性を含めて、メモリ・サンプリング・ウィンドウを構成します。

FPGA 上の DQ と DQS 出力ピンの出力スキューは、TCCS 仕様を構成します。TCCS には、以下を含めて、多くの内部 FPGA 回路から寄与が含まれています：

- DQ と DQS 出力ピンの位置
- DQ グループの幅
- PLL クロック不確実性(DQ に対する DQS を中央揃えるための使用された出力タップ間の位相ジッタを含む)
- DQ 出力ピンのクロック・スキュー、および DQ と DQS 出力ピン間のクロック・スキュー
- DQ と DQS 出力ピンのパッケージ・スキュー

 TCCS および SW 仕様については、「Stratix IV デバイス・ハンドブック」、「Stratix III デバイス・ハンドブック」、または「Cyclone III デバイス・ハンドブック」の「DC およびスイッチング特性」の章を参照してください。

図 1-7 には、ライト・データ・タイミング・パスのタイミング制約を示します。

図 1-7. ライト・データ・タイミング・パスのタイミング制約

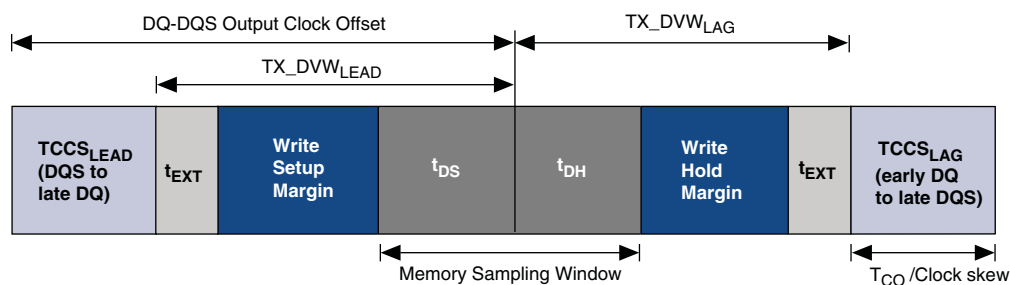


表 1-9 には、400-MHz DDR2 SDRAM コンポーネントに接続される Stratix III -2 スピード・グレード・デバイスのライト・データのタイミング解析を示します。このタイミング解析は、DQS での 2.0-V/ns エッジ・レートの差動 DQS ストロープおよび DQ 出力ピンの 1.0-V/ns エッジ・レートの差動 DQS ストロープの使用を前提としています。FPGA からの DQ/DQS 出力エッジ・レートに基づき、ディレイトされたセットアップおよびホールド要件のメモリ・デバイスのデータシートを調べてください。

表 1-9. Stratix III デバイスと 400-MHz DDR2 SDRAM のライト・データのタイミング解析 (注 1) (その 1)

パラメータ	仕様	値 (個)	説明
メモリ仕様 (1)	t_{HP}	1250	メモリ・データシートで指定される平均半周期
	t_{DSA}	250	メモリ・セットアップ要件 (DQ/DQS エッジ・レートおよび V_{REF} リファレンス電圧でディレイトされる)
	t_{DHA}	250	メモリ・ホールド要件 (DQ/DQS エッジ・レートおよび V_{REF} リファレンス電圧のためにディレイトされる)
FPGA 仕様	$TCCS_{LEAD}$	229	PLL 設定、位置、幅などの指定のコンフィギュレーションの FPGA トランスミッタ・チャンネル間のスキュー
	$TCCS_{LAG}$	246	
ボード仕様	t_{EXT}	20	2つのいずれかの信号配線パターン間での許容される最大のボード・トレースのバリエーション (ユーザー指定パラメータ)
タイミング計算	$t_{OUTPUT_CLOCK_OFFSET}$	625	DQ & DQS 出力クロック間の出力クロック位相オフセット = 90° $t_{OUTPUT_CLOCK_OFFSET} = (出力クロック位相 DQ と DQS オフセット \times t_{CK}) / 360^\circ = (90^\circ \times 2500) / 360^\circ = 625$
	TX_DVW_{LEAD}	396	トランスミッタ・データ有効のウィンドウ = $t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LEAD}$
	TX_DVW_{LAG}	379	トランスミッタ・データ有効のウィンドウ = $t_{HP} - t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LAG}$

表 1-9. Stratix III デバイスと 400-MHz DDR2 SDRAM のライト・データのタイミング解析 (注 1) (その 2)

パラメータ	仕様	値 (個)	説明
結果	セットアップ・マージン	126	$TX_DVW_{LEAD} - t_{EXT} - t_{DSA}$
	ホールド・マージン	109	$TX_DVW_{LAG} - t_{EXT} - t_{DHA}$

表 1-9 の注：

- (1) このサンプル計算は、72 ビット幅の 256MB ミクロン MT9HTF3272AY-80E 400-MHz DDR2 SDRAM DIMM からのメモリ・タイミング・パラメータを使用します。

表 1-10 には、200-MHz DDR2 SDRAM コンポーネントに接続される Cyclone III-6 スピード・グレード・デバイスのライト・データのタイミング解析を示します。

表 1-10. Cyclone III デバイスの 200-MHz DDR2 SDRAM のライト・データのタイミング解析 (注 1)

パラメータ	仕様	値 (個)	説明
メモリ仕様	t_{HP}	2500	メモリ・データシートで指定される平均半周期
	t_{DCD_TOTAL}	250	総デューティ・サイクルの歪み = $5\% \times t_{CK} = 0.05 \times 5000$
	$t_{DS} \text{ (derated)}$	395	267-MHz DDR2 SDRAM コンポーネントからのメモリ・セットアップ要件 (シングル・エンド DQS および 1 V/ns スルー・レートのためにディレイトされる)
	$t_{DH} \text{ (derated)}$	335	267-MHz DDR2 コンポーネントからのメモリ・セットアップ要件 (シングル・エンド DQS および 1 V/ns スルー・レートのためにディレイトされる)
FPGA 仕様	$TCCS_{LEAD}$	790	PLL 設定、位置、幅などの指定のコンフィギュレーションの FPGA TCCS
	$TCCS_{LAG}$	380	
ボード仕様	t_{EXT}	20	2 つのいずれかの信号配線パターン間での許容される最大のボード・トレースのバリエーション (ユーザー指定パラメータ)
タイミング計算	TX_DVW_{LEAD}	460	トランスミッタ・データ有効のウィンドウ = $t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LEAD}$
	TX_DVW_{LAG}	870	トランスミッタ・データ有効のウィンドウ = $t_{HP} - t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LAG}$
	$t_{OUTPUT_CLOCK_OFFSET}$	1250	DQ/DQS 出力クロック間の出力クロック位相オフセット = 90° $t_{OUTPUT_CLOCK_OFFSET} = (\text{output clock phase DQ \& DQS offset} \times t_{CK}) / 360^\circ = (90^\circ \times 5000) / 360^\circ = 1250$
結果	セットアップ・マージン	45	$TX_DVW_{LEAD} - t_{EXT} - t_{DS}$
	ホールド・マージン	265	$TX_DVW_{LAG} - t_{EXT} - t_{DH} - t_{DCD_TOTAL}$

表 1-10 の注：

- (1) Cyclone III-6 スピード・グレード・デバイスのリード・キャプチャおよびタイミング解析について詳しくは、1-19 ページの「リード・データ・タイミング」を参照してください。

表 1-11 には、300-MHz DDR2 SDRAM コンポーネントに接続される Arria II GX -4 スピード・グレード・デバイスのライト・データのタイミング解析を示します。

表 1-11. 400-MHz DDR SDRAM DIMM と Arria II GX デバイスの 300-MHz DDR2 SDRAM インタフェースのタイミング解析 (注 1)

パラメータ	仕様	値 (個)	説明
メモリ仕様	t_{HP}	1667	メモリ・データシートで指定される平均半周期
	t_{DS}	250	メモリ・セットアップ要件
	t_{DH}	250	メモリ・ホールドホールド要件
FPGA 仕様	$TCCS_{LEAD}$	229	PLL 設定、位置、幅などの指定のコンフィギュレーションの FPGA TCCS
	$TCCS_{LAG}$	246	
ボード仕様	t_{EXT}	20	2つのいずれかの信号配線パターン間での許容される最大のボード・トレースのバリエーション (ユーザー指定パラメータ)
タイミング計算	$T_{OUTPUT_CLOCK_OFFSET}$	833	DQ/DQS 出力クロック間の出力クロック位相オフセット = 90° $t_{OUTPUT_CLOCK_OFFSET} = (出力クロック位相 DQ \& DQS \text{ オフセット } t \times t_{CK}) / 360^\circ = (90^\circ \times 3333) / 360^\circ = 833$
	TX_DVW_{LEAD}	604	オフセット = $t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LEAD}$
	TX_DVW_{LAG}	588	オフセット = $t_{HP} - t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LAG}$
結果	セットアップ・マージン	334	$TX_DVW_{LEAD} - t_{EXT} - t_{DS}$
	ホールド・マージン	318	$TX_DVW_{LAG} - t_{EXT} - t_{DH}$

表 1-11 の注:

- (1) このサンプル計算は、72 ビット幅の 1,152-MB ミクロン MT9HTF12872AY-800 400-MHz DDR2 SDRAM DIMM からのメモリ・タイミング・パラメータを使用します。

ダイナミック・デスキューおよび DQ-DQS オフセット・タイミング

この項では、Stratix III デバイスに適用されるダイナミック・デスキューおよび DQ-DQS オフセット・タイミング計算を説明します。DQ-DQS オフセット手法は、400MHz 以下の周波数のための DDR、DDR2、および DDR3 SDRAM コンポーネントに接続される Stratix III デバイスに適用可能です。400MHz 以上の周波数では、ダイナミック・デスキュー手法は、DDR3 SDRAM コンポーネントに接続される Stratix III デバイスのタイミング・マージンを改善します。

 この項は Cyclone III デバイスには適用されません。

DQ-DQS オフセット

400MHz 以下の周波数のとき、ALTMEMPHY シーケンサは、データ・セットアップおよびホールド要件がメモリ・デバイスに満たされるために、IOE の遅延チェーンを使用して DQ と DQS 間のオフセットをシフトします。採用される実際のオフセットは、FPGA ファミリ、スピード・グレード、および周波数依存です。DQ-DQS オフセットはリード・データ・タイミング・パスにのみ適用されます。


 ライト・レベリング遅延チェーンで生成する DQ クロックのコンフィギュレーションに応じて `mem_clk` と `mem_clk_n` ピンは、レベリング・インタフェースの 2 inches DDR3 SDRAM に設定された D6 Delay アサインメントがある場合もあります。

表 1-12 には、400 MHz DDR3 SDRAM コンポーネントに接続される Stratix III 2 スピード・グレードデバイスのライト・タイミング解析を詳説します。

表 1-12. 400-MHz DDR3 SDRAM Stratix III デバイスのライト・データのタイミング解析 (注 1)

パラメータ	仕様	値 (個)	説明
メモリ仕様	t_{HP}	1250	メモリ・データシートで指定される平均半周期
	t_{DS}	250	メモリ・セットアップ要件
	t_{DH}	250	メモリ・ホールド要件
FPGA 仕様	$TCCS_{LEAD}$	293	375 MHz またはそれ以上の C2 スピード・グレード、8 タップ DLL の FPGA TCCS
	$TCCS_{LAG}$	284	
ボード仕様	t_{EXT}	20	最大のボード・トレースのバリエーション
タイミング計算	$t_{OUTPUT_CLOCK_OFFSET}$	625	DQ および DQS 出力クロック間の出力クロック位相オフセット (90°) $t_{OUTPUT_CLOCK_OFFSET} = (出力クロック位相 DQ \& DQS \text{ オフセット} \times t_{CK}) / 360^\circ = (90^\circ \times 2500) / 360^\circ = 625$
	TX_DVW_{LEAD}	332	トランスミッタ・データ有効のウィンドウ = $t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LEAD}$
	TX_DVW_{LAG}	341	トランスミッタ・データ有効のウィンドウ = $t_{HP} - t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LAG}$
結果	セットアップ・マージン	62	マージン = $TX_DVW_{LEAD} - t_{EXT} - t_{DS}$
	ホールド・マージン	71	マージン = $TX_DVW_{LAG} - t_{EXT} - t_{DH}$

表 1-12 の注:

- (1) 周波数の 400 MHz のとき、DLL が 8 タップ・モードにコンフィギュレーションされるため、DQ および DQS ピン間で 90° の出力クロック位相シフト・オフセットの結果が生じます。

表 1-13 には、333-MHz DDR3 SDRAM コンポーネントに接続される Stratix III -3 スピード・グレード・デバイスのライト・タイミング解析を詳説します。

表 1-13. 333-MHz DDR3 SDRAM Stratix III デバイスのライト・データのタイミング解析 (注1)

パラメータ	仕様	値 (個)	説明
メモリ仕様	t_{HP}	1500	メモリ・データシートで指定される平均半周期
	t_{DS}	250	メモリ・セットアップ要件
	t_{DH}	250	メモリ・ホールド要件
FPGA 仕様	$TCCS_{LEAD}$	217	375 MHz またはそれ以上の C3 スピード・グレード、10 タップ DLL の FPGA TCCS
	$TCCS_{LAG}$	496	
ボード仕様	t_{EXT}	20	最大のボード・トレースのバリエーション
仕様	$t_{OUTPUT_CLOCK_OFFSET}$	600	DQ および DQS 出力クロック間の出力クロック位相オフセット (72°) $t_{OUTPUT_CLOCK_OFFSET} = (出力クロック位相 DQ \& DQS \text{ オフセット} \times t_{CK}) / 360^\circ = (72^\circ \times 3000) / 360^\circ = 600$
	TX_DVW_{LEAD}	383	トランスミッタ・データ有効のウィンドウ = $t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LEAD}$
	TX_DVW_{LAG}	404	トランスミッタ・データ有効のウィンドウ = $t_{HP} - t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LAG}$
結果	セットアップ・マージン	113	マージン = $TX_DVW_{LEAD} - t_{EXT} - t_{DS}$
	ホールド・マージン	134	マージン = $TX_DVW_{LAG} - t_{EXT} - t_{DH}$

表 1-13 の注:

(1) 周波数の 333 MHz のとき、DLL が 10 タップ・モードにコンフィギュレーションされるため、DQ および DQS ピン間で 72° の出力クロック位相シフト・オフセットの結果が生じます。


ダイナミック・デスキュー

400 MHz 以上の周波数の DDR3 SDRAM コンポーネントに接続される Stratix III デバイスには、タイミング・マージンは小さすぎるため、スタティック DQ-DQS オフセット手法で定着できません。タイミング手法は、メモリ・デバイスで、8 タップ・モードに設定される DLL によってセットアップおよびホールド・マージンを改善します。DDR3 SDRAM シーケンサは、DDR3 SDRAM コンポーネントに見られるように、ライト・ウィンドウを観察するために、IOE のコンフィギュレーション可能な遅延エレメントおよび遅延チェーンを使用します。そして、この情報で、個々 DQ および DM ピンの遅延を設定し、メモリ・デバイス・セットアップおよびホールド要件を満たし、DQS グループの DQ と DM ピン間のスキューを減らします。

 デスキュー機能について詳しくは、「[Calibration Techniques for High-Bandwidth Source-Synchronous Interfaces](#)」を参照してください。

タイミング解析の方法論への DDR3 デスキューの影響

この項では、外部メモリ・インタフェースのタイミング解析の方法論への DDR3 SDRAM デスキューの影響を説明します。TCCS および SW 仕様は、周波数範囲の 401-MHz ~ 533-MHz の DDR3 SDRAM コンポーネントに接続される Stratix III 2 スピード・グレード・デバイスのために更新されます。

 TCCS と SW 仕様について詳しくは、「Stratix III デバイス・ハンドブック」の「DC およびスイッチング特性」章を参照してください。

デスキュー回路および 8 タップ位相オフセットによって、ボード・スキュー仕様は別々に処理されます。ボード・スキューがリードまたはラグ・スレッシュホールドを越えない場合、それはタイミング性能に影響しません。対照的に、それがリードおよびラグ・スレッシュホールドを越える場合、ボード・スキューはタイミング・マージンをする可能性もあります。影響は、[表 1-14](#) および [表 1-15](#) で説明されているとおり、533-MHz DDR3 SDRAM コンポーネントに接続される Stratix III 2 スピード・グレード・デバイスの異なるボード・スキュー設定のタイミング解析を発生することにより見られます。

表 1-14. 533-MHz DDR3 SDRAM Stratix III デバイスのライト・データのタイミング解析

パラメータ	仕様	説明	25 ps ボード・トレース・スキュー (個) での値
メモリ仕様 (1)	t_{HP}	マージン	1875
	t_{DS}	メモリ・セットアップ要件	200
	t_{DH}	メモリ・ホールド要件	200
FPGA 仕様	TCCS _{LEAD} (2)	ダイナミック・デスキュー用の FPGA トランスミッタ・チャネル間のスキュー	253
	TCCS _{LAG} (2)		262
仕様	$t_{OUTPUT_CLOCK_OFFSET}$	DQ および DQS 出力クロック間の出力クロック位相オフセット (90°)	469
	t_{EXT_DELTA}	ボード・トレース・スキューが 20 ps を越えるときの量 (ある場合)	5
	TX_DVW _{LEAD}	トランスミッタ・データ有効のウィンドウ = $t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LEAD}$	216
	TX_DVW _{LAG}	トランスミッタ・データ有効のウィンドウ = $t_{HP} - t_{OUTPUT_CLOCK_OFFSET} - TCCS_{LAG}$	207
結果	セットアップ・マージン	マージン = TX_DVW _{LEAD} - t_{EXT_DELTA} - t_{DS}	11
	ホールド・マージン	マージン = TX_DVW _{LAG} - t_{EXT_DELTA} - t_{DH}	2

表 1-14 の注:

- (1) このサンプル計算は、72 ビット幅の 1,152-MB ミクロン MT9JSF12872AY-1G1BZES 533-MHz DDR3 SDRAM DIMM からのメモリ・タイミング・パラメータを使用します。
- (2) このサンプル計算で使われた TCCS 仕様は、2 スピード・グレード・デバイスおよび SSTL-18 I/O 規格の Stratix III データシートから得られます。

表 1-15. 533-MHz DDR3 SDRAM Stratix III デバイスのライト・データのタイミング解析

パラメータ	仕様	説明	25 ps ボード・トレース・スキュー(個)での値
メモリ仕様 (1)	t_{DQSQ}	メモリからの DQS および DQ 間のスキュー	150
	t_{QH}	DQ 出力ホールド時間 = $0.38 \cdot t_{CK}$	712
FPGA 仕様	t_{SW_SETUP} (2)	ダイナミック・リード・デスクュー用の FPGA サンプルリング・ウィンドウ仕様	295
	t_{SW_HOLD} (2)		171
タイミング計算	t_{DQS_PS}	位相シフト設定 (標準)	469
	t_{EXT_DELTA}	ボード・トレース・スキューが 20 ps FPGA スキュー・スレッショルドを越えるときの量 (ある場合)	5
結果	セットアップ・マージン	マージン = $t_{DQS_PS} - t_{DQSQ} - t_{SW_SETUP} - t_{EXT_DELTA}$	19
	ホールド・マージン	マージン = $t_{QH} - t_{DQS_PS} - t_{SW_HOLD} - t_{EXT_DELTA}$	67

表 1-15 の注:

- (1) このサンプル計算は、72 ビット幅の 1,152-MB ミクロン MT9JSF12872AY- 1G1BZES 533-MHz DDR3 SDRAM DIMM からメモリ・タイミング・パラメータを使用します。
- (2) このサンプル計算で使われた TCCS 仕様は、2 スピード・グレード・デバイスおよび SSTL-18 I/O 規格の Stratix III データシートから得られます。

タイミング制約およびリポート・ファイル

ALTMEMPHY メガファンクションおよび UniPHY IP には、異なるタイミング制約があります。

ALTMEMPHY メガファンクション

成功した外部メモリ・インタフェース動作を保証するには、ALTMEMPHY MegaWizard Plug-In がタイミング制約およびリポート・スクリプトのための以下のファイルを生成します:

- <variation_name>_ddr_timing.sdc
- <variation_name>_timing.tcl
- <variation_name>_report_timing.tcl
- <variation_name>_report_timing_core.tcl
- <variation_name>_ddr_pins.tcl

<variation_name>_ddr_timing.sdc


アルテラのメモリ・コントローラ内に ALTMEMPHY メガファンクションがインスタンス化される時、Synopsys Design Constraint (.sdc) ファイルが <controller_variation_name>_phy_ddr_timing.sdc と名付けられ、そして ALTMEMPHY メガファンクションがスタンドアロン・デザインとしてインスタンス化されるとき、<phy_variation_name>_ddr_timing.sdc と名付けられます。タイミング・マージンを最適化するには、Quartus II Fitter がタイミング・ドライブ・コンパイルを使用することを可能にして、この .sdc を Quartus II プロジェクトに追加する必要があります。 .sdc を追加するには、以下のステップを実行します：

1. Assignments メニューの Settings をクリックします。
2. Settings ダイアログ・ボックスの Timing Analysis Settings の下の TimeQuest Timing Analyzer を選択します。
3. SDC ファイルを追加します。

すべての ALTMEMPHY メガファンクション・タイミング・パス用のタイミング・マージンは、TimeQuest タイミング・アナライザのレポート DDR 機能を実行することによって分析されます（[1-33 ページの「タイミング解析の記述」](#)を参照）。すべての DQ と DQS ピンが定義されるため、Cyclone III、Stratix IV、Stratix III、および Arria II GX デバイスのリード・キャプチャおよびライト・データ・パスはタイミング制約が必要ありません（または、.sdc において指定される）。キャプチャおよび出力レジスタは、IOE に組み込まれて、信号は専用の配線接続を使用しています。タイミング制約は、リードおよびライトのタイミング・マージンに全然影響しません。しかし、これらのパスのためのタイミング・マージンは、FPGA データシート仕様およびユーザー指定されたメモリ・データシート・パラメータを使って解析されます。

ALTMEMPHY メガファンクションは、内部 FPGA タイミング・パス、アドレスとコマンド・パス、およびクロック・ストロープ・タイミング・パスのための以下の .sdc 制約を使用します：

- PLL 入力でクロックの作成
- すべてのフル・レートおよびハーフ・レート PLL 出力、PLL リコンフィギュレーション・クロック、および I/O スキャン・クロックを含む
derive_pll_clocks を使用する生成されたクロックの作成
- derive_clock_uncertainty の呼び出し
- DDR I/O、キャリブレーションされたパス、およびほとんどのリセット・パス用のタイミング・パスの削減
- アドレスとコマンド出力での出力遅延の設定（CK/CK# 出力と）
- nCS と On-Die Termination (ODT) を除き、すべてのハーフ・レート・アドレスおよびコマンド出力の 2T または 2 つのクロック周期マルチサイクル・セットアップの設定（CK/CK# 出力と）
- DQS ストロープ出力での出力遅延の設定（DDR2 と DDR SDRAM の CK/CK# 出力と）

 高性能コントローラ MegaWizard Plug-In は、ドライバ・デザイン例のための特別な <variation_name>_example_top.sdc ファイルを生成します。このファイルには、プロジェクトの非 DDR 特定部分のタイミング制約が含まれています。

<variation_name>_timing.sdc

このスクリプトは、バリエーションのメモリ・インタフェースおよび FPGA デバイスのタイミング・パラメータを含みます。それは

<variation_name>_report_timing.tcl および <variation_name>_ddr_timing.sdc< 内に含まれて、コンパイル中に自動的に実行されます。このスクリプトは、同じバリエーションの各インスタンスに実行されます。

<variation_name>_report_timing.tcl


このスクリプトは、バリエーションのタイミング・スラックスを報告します。それはコンパイル中に自動的に実行されます。このスクリプトは、TimeQuest タイミング・アナライザのウィンドウの Report DDR タスクで実行できます。このスクリプトは、同じバリエーションの各インスタンスに実行されます。

<variation_name>_report_timing_core.tcl

このスクリプトは、バリエーションのタイミング・スラックスを計算するために <variation_name>_report_timing.tcl が使用する高水準の手順を含んでいます。それはコンパイル中に自動的に実行されます。

<variation_name>_ddr_pins.tcl

このスクリプトには、<variation_name>_report_timing.tcl および <variation_name>_ddr_timing.sdc スクリプトに必要なすべての機能と手順が含まれています。それは、.sdc ファイルのトップに含む有用な機能のライブラリです。それは、各インスタンスのデザインと関連クロック、レジスタ、およびピン名でのバリエーション・インスタンスを検索します。結果は .sdc として保存され、そして <variation_name>_report_timing.tcl は <variation_name>_autodetectedpins.tcl として同じディレクトリに保存されます。

 この .tcl ファイルがプロジェクト・ピン名のデザインをトラバースするため、同じポート名をデザインのトップレベルに維持する必要がありません。

UniPHY IP

外部メモリ・インタフェース動作が成功するには、UniPHY のあるコントローラ用のウィザードは、タイミング制約と報告スクリプトのために以下のファイルを生成します。

- <variation_name>.sdc
- <variation_name>_timing.tcl
- <variation_name>_report_timing.tcl
- <variation_name>_pin_map.tcl
- <variation_name>_parameters.tcl

<variation_name>.sdc

.sdc ファイル <variation_name>.sdc は、ウィザード構成された Quartus II IP (.qip) ファイルにリストされます。このファイルをプロジェクトに取り込むことにより、Quartus II Synthesis および Fitter はタイミング・ドライブ・コンパイルが使用可能になり、タイミング・マージンを最適化することができます。

すべての UniPHY タイミング・パスのタイミング・マージンは、TimeQuest タイミング・アナライザの Report DDR 機能を実行することによって分析されます。

UniPHY IP が .sdc ファイルを使用して、内部 FPGA タイミング・パス、アドレスとコマンド・パス、およびクロック・ストロブ・タイミング・パスを制限します。それだけでなく、

- PLL 入力でのクロックを作成します。
- 生成されたクロックを作成します。
- `derive_clock_uncertainty` を呼び出します。
- パラメータ固有のリセット・パスのタイミング・パスを削減します。
- DQ 入力と出力での入力と出力遅延を設定します。
- アドレスとコマンド出力での出力遅延を設定します (CK/CK# 出力と)。

<variation_name>_timing.sdc

このスクリプトには、バリエーションのメモリ・インタフェースと FPGA デバイスのタイミング・パラメータが含まれています。それは、<variation_name>_report_timing.tcl および <variation_name>.sdc< 内に含まれます。このファイルを変更しないようにしてください。

<variation_name>_report_timing.tcl

このスクリプトはバリエーションのタイミング・スラックスを報告します。それはコンパイル中に自動的に実行されます (スタティック・タイミング解析中に)。このスクリプトは、TimeQuest タイミング・アナライザ・ウィンドウの Report DDR タスクで実行できます。このスクリプトは、同じバリエーションの各インスタンスに実行されます。

<variation_name>_pin_map.tcl

このスクリプトは、<variation_name>_report_timing.tcl および <variation_name>.sdc スクリプトが使用しているファンクションとプロシージャのライブラリです。このライブラリは、タイミング制約に関連していない <variation_name>_pin_assignments.tcl スクリプトにも使用されます。

<variation_name>_parameters.tcl

このスクリプトは、コアおよび PLL コンフィギュレーションのジオメトリを説明するパラメータを定義します。このファイルは、PLL が MegaWizard Plug-In を通して変更される場合にのみ変更できます。このケースにおいて、PLL パラメータへの変更はこのファイルに自動的に伝達されず、それらの変更をこのファイルに手動で適用しなければなりません。

タイミング解析の記述

次の項は、個々の FPGA データシート仕様およびユーザー指定されたメモリ・データシートのパラメータを使ってタイミング解析を説明します。

タイミング・スラックスは、ダイ間およびダイ内のバリエーション、エージング、システムテック・スキュー、動作条件バリエーションなどの Quartus II タイミング・モデルに含まれているすべての効果を TimeQuest タイミング・アナライザから得られます。TimeQuest タイミング・アナライザ・リポートには、メモリ・インタフェース PHY で実行するランタイム・キャリブレーションの影響が含まれていません。

キャリブレーションの影響を考慮するには、ALTMEMPHY は、キャリブレーションの後にタイミング・マージンを決定する `<phy_variation_name>_report_timing` および `<phy_variation_name>_report_timing_core.tcl` ファイルの一部である追加のスクリプトを含みます。これらのスクリプトは、キャリブレーションされた PHY を代表したタイミング・マージンを得るために、キャリブレーション間に起こるものをエミュレートするには、セットアップおよびホールド・スラックスの個々のピンを使用します。キャリブレーションとキャリブレーションの量子化のエラー及びキャリブレーション後の電圧と温度変化の不確実性はマージン改良に含まれているキャリブレーションしたタイミング解析の効果の一分として考慮しています。

アドレスおよびコマンド

アドレスおよびコマンド信号は、FPGA 出力クロックを使用してメモリ・デバイスでラッチされるシングル・データ・レート（SDR）の信号です。いくつかのアドレスおよびコマンド信号は 0.5 レート・データ信号であり、そして、他チップ・セレクトなどはフル・レート信号です。アドレスおよびコマンド・タイミング・パスは、`set_output_delay (max and min)` 制約を使用して TimeQuest タイミング・アナライザで分析されます。

Arria II GX および Stratix IV デバイス

例 1-1 および **例 1-2** には、533-MHz DDR3 SDRAM コンポーネントが備えた Arria II GX および Stratix IV メモリ・インタフェースでの最適なアドレスおよびコマンド・タイミング・マージンを保証します。

例 1-1. 最適なアドレスおよびコマンド・タイミング

```
set_output_delay -add_delay -clock $ckclock -max [round_3dp [expr  
{ $off*$t(period) + $t(IS) + $t(board_skew) + $fpga_tCK_ADDR_CTRL_SETUP_ERROR +  
$t(additional_addresscmd_tpd) }]] [concat $pins(addrcmd) $pins(addrcmd_2t)]
```

例 1-2. 最適なアドレスおよびコマンド・タイミング

```
set_output_delay -add_delay -clock $ckclock -min [round_3dp [expr  
{ $off*$t(period) - $t(IH) - $t(board_skew) - $fpga_tCK_ADDR_CTRL_HOLD_ERROR +  
$t(additional_addresscmd_tpd) }]] [concat $pins(addrcmd) $pins(addrcmd_2t)]
```

表 1-16 は、Arria II GX と Stratix IV アドレスおよびコマンド・タイミング制約での <phy_variation_name>_ddr_timing.sdc 用の記用語を述します。

表 1-16. Arria II GX および Stratix IV アドレス&コマンド・タイミング制約の説明

用語	説明
\$off*\$t(period)	533-MHz DDR3 SDRAM コンポーネントに接続される Stratix III または Stratix IV デバイスには、アドレスおよびコマンド・インタフェースが専用クロック位相からドライブされることとしてこのオフセットは 0 に設定されます。
\$t(IS)	メモリにおけるアドレスおよびコマンド・ピンに対するセットアップ時間。
\$t(IH)	メモリにおけるアドレスおよびコマンド・ピンに対するホールド時間。
\$t(board_skew)	メモリにおけるクロック・ピン、アドレスおよびコマンド・ピン間の伝播遅延差に対するワースト・ケース。
\$ISI(addresscmd_setup)	左側ウィンドウにおけるアドレスおよびコマンドのアイ開口部を低減するシンボル間干渉 (ISI)。
\$ISI(addresscmd_hold)	右側ウィンドウにおけるアドレスおよびコマンドのアイ開口部を低減するシンボル間干渉 (ISI)。
\$fpga_tCK_ADDR_CTRL_SETUP_ERROR	HardCopy II デザインの不確実性係数。この係数は、0 に設定され、Stratix III または Stratix IV ファミリー・デバイスに必要ではありません。
\$t(additional_addresscmd_tpd)	.sdc ファイルのトップでアサインメントを変更することによって設定できる特別なオフセットパラメータです。これにより、より長いアドレスおよびコマンド・バスのために補償することができます。クロック・トレースはすべてのアドレスおよびコマンド・トレースより 0.500ns 長い場合、この値を 0.500 に設定します。クロック・トレースはアドレスおよびコマンド・トレースより長い場合、このパラメータはネガティブになります。

Stratix III デバイス

例 1-3 と例 1-4 には、533-MHz DDR3 SDRAM コンポーネントが備えた Stratix III メモリ・インタフェースでの最適なアドレスおよびコマンド・タイミング・マージンを保証します。

例 1-3. 最適なアドレスおよびコマンド・タイミング

```
set_output_delay -add_delay -clock $ckclock -max [round_3dp [expr
{$off*$t(period) + $t(IS) + $t(board_skew) + $fpga_tCK_ADDR_CTRL_SETUP_ERROR +
$t(additional_addresscmd_tpd)}]] [concat $pins(addrcmd) $pins(addrcmd_2t)]
```

例 1-4. 最適なアドレスおよびコマンド・タイミング

```
set_output_delay -add_delay -clock $ckclock -min [round_3dp [expr
{$off*$t(period) - $t(IH) - $t(board_skew) - $fpga_tCK_ADDR_CTRL_HOLD_ERROR +
$t(additional_addresscmd_tpd)}]] [concat $pins(addrcmd) $pins(addrcmd_2t)]
```

表 1-17 は、Stratix III アドレスおよびコマンド・タイミング制約での
<phy_variation_name>_ddr_timing.sdc 用の記用語を述します。

表 1-17. Stratix III アドレス & コマンド・タイミング制約の説明

用語	説明
\$off*\$t(period)	533-MHz DDR3 SDRAM コンポーネントに接続される Stratix III デバイスには、アドレスおよびコマンド・インタフェースが専用クロック位相からドライブされることとしてこのオフセットは 0 に設定されます。
\$t(IS)	メモリにおけるアドレスおよびコマンド・ピンに対するセットアップ時間。
\$t(IH)	メモリにおけるアドレスおよびコマンド・ピンに対するホールド時間。
\$t(board_skew)	メモリにおけるクロック・ピン、アドレスおよびコマンド・ピン間の伝播遅延差に対するワースト・ケース。
\$fpga_tCK_ADDR_CTRL_SETUP_EROR	HardCopy II デザインの不確実性係数。この係数は、0 に設定され、Stratix III ファミリー・デバイスに必要ではありません。
\$t(additional_addresscmd_tpd)	.sdc ファイルのトップでアサインメントを変更することによって設定できる特別なオフセット・パラメータです。これにより、より長いアドレスおよびコマンド・バスのために補償することができます。クロック・トレースはすべてのアドレスおよびコマンド・トレースより 0.500ns 長い場合、この値を 0.500 に設定します。クロック・トレースはアドレスおよびコマンド・トレースより長い場合、このパラメータはネガティブになります。

リード・キャプチャ

リード・キャプチャ・タイミングの解析により、メモリ・デバイスの DQS ストローブ出力を使用して FPGA でラッチされる DDR DQ 信号でのスラックス量は示されます。リード・キャプチャ・タイミング・パスは、`set_input_delay (max and min)`、`set_max_delay`、および `set_min_delay` 制約で TimeQuest タイミング・アナライザの組み合わせ、およびランタイムで実行するキャリブレーションを考慮する更なるステップの組み合わせにより分析されます。ALTMEMPHY メガファンクションには、<phy_variation_name>_ddr_timing.sdc ファイル内のタイミングの制約、および `phy_variation_name>_report_timing.tcl` と `phy_variation_name>_report_timing_core.tcl` ファイル内の更なるスラックスの解析が含まれています。

Arria IV GX および Stratix IV デバイス

例 1-5 と例 1-6 には、533-MHz DDR3 SDRAM コンポーネントが備えた Stratix IV メモリ・インタフェースでの最適なリード・キャプチャ・タイミング・マージンを保証します。

例 1-5. リード・キャプチャ・タイミング

```

set input_max_delay [round_3dp [expr -$:t(DQS_PSERR) -
    $DQSpatternjitter*$DQSpatternjitter_setup_prop +
    $:t(min_additional_dqs_variation) - $fpga_tREAD_CAPTURE_SETUP_ERROR]]
set input_max_delay2 [round_3dp [expr $:t(DQSQ) + $:t(board_skew) +
    $:SSN(rel_pushout_i)]]

set_max_delay -from [lindex $dqsgroup 2] -to * $input_max_delay
set_input_delay -add_delay -clock $dqs_in_clockname -max $input_max_delay2
    [lindex $dqsgroup 2]

```

例 1-6. リード・キャプチャ・タイミング

```

set input_min_delay [round_3dp [expr $:t(DQS_PSERR) + $DQSpatternjitter*(1.0-
    $DQSpatternjitter_setup_prop) + $:t(max_additional_dqs_variation) +
    $fpga_tREAD_CAPTURE_HOLD_ERROR - $:t(QH) + $tJITper]]
set input_min_delay2 [round_3dp [expr - $:t(board_skew) -
    $:SSN(rel_pullin_i)]]

set_min_delay -from [lindex $dqsgroup 2] -to * $input_min_delay
set_input_delay -add_delay -clock $dqs_in_clockname -min $input_min_delay2
    [lindex $dqsgroup 2]

```

表 1-18 は、<phy_variation_name>_report_timing.tcl での Arria GX および Stratix IV のリード・キャプチャ・タイミング方式の記用語を述します。

表 1-18. Arria II GX および Stratix IV リード・キャプチャ・タイミング方式の説明

用語	説明
\$t(DQS_PSERR)	指定されるものからの DQS 遅延チェーンの位相シフト誤差。
\$t(DQSQ)	メモリの不確実性: グループごとの DQS-DQ スキュー。
\$t(QH) (DDR3 SDRAM 用のみ)	メモリ出力タイミング。
\$period * 0.5 - tQHS (DDR/DDR2 SDRAM 用)	
\$t(board_skew)	メモリにおけるクロック・ピン、アドレスおよびコマンド・ピン間の伝播遅延差に対するワースト・ケース。
\$DQSpatternjitter	使用可能なタイミング・マージンを低下するリード・キャプチャパスのピーク・ツー・ピーク・ジッタ。
\$DQSpatternjitter_setup_prop	セットアップ・マージンに影響するリード・キャプチャ・パスのジッタ容量。
\$fpga_tREAD_CAPTURE_SETUP_ERROR	
\$fpga_tREAD_CAPTURE_HOLD_ERROR	HardCopy デザインの不確実性係数。この係数は、0 に設定され、Stratix IV ファミリ・デバイスに必要ではありません。
\$\$SSN(rel_pullin_i)	入力ピンで同時スイッチング・ノイズ (SSN) は複数の DQ/DQS ピンを同時スイッチングする場合、タイミングがドライブインされます。
\$\$SSN(rel_pushout_i)	入力ピンで同時スイッチング・ノイズ (SSN) は複数の DQ/DQS ピンを同時スイッチングする場合、タイミングがプッシュアウトされます。

Cyclone III

Cyclone III デバイスのリード・データは、シーケンサでキャリブレーションと追跡される PLL 位相を使用してキャプチャされます。ALTMEMPHY メガファンクションは、すべての DQ キャプチャ・レジスタに提出されたリード・データ有効のウィンドウに集中するために、専用 PLL リード・クロック位相を自動的にキャリブレーションします。DQS リード・ストロブが無視されるため、リード・ポストアンブル・パスは Cyclone III デバイスで利用可能ではありません。リード・クロック位相は、模擬パスで見られた電圧と温度のばらつきを考慮するように調整されます。また、ALTMEMPHY クロック・ドメインが、Dual-Clock FIFO バッファで確立化されるので、リード再同期パスは適用不可能です。

例 1-5 および例 1-7 には、DDR2 SDRAM コンポーネントが備えた Cyclone III メモリ・インタフェースでの最適なリード・キャプチャ・タイミング・マージンを保証します。

例 1-7. 最適なリード・キャプチャ・タイミング・マージン

```
set su [round_3dp [expr {0.25*$period - 0.5*$tDCD_total - $tAC - [lindex $tsw 0]/1000.0 - 0.5 * $board_skew}]]
set hold [round_3dp [expr {0.25*$period - 0.5*$tDCD_total - $tAC - [lindex $tsw 1]/1000.0 - 0.5 * $board_skew}]]
```

表 1-19 は、<phy_variation_name>_report_timing.tcl での Cyclone III デバイスのリード・キャプチャ・タイミング方式の記用語を述します。

表 1-19. Cyclone III デバイスのリード・キャプチャ・タイミング方式の説明

用語	説明
0.25*\$period	最小のセットアップ/ホールド・マージン。
\$tDCD_total	総デューティ・サイクル歪みは、セットアップおよびホールド・マージンに分かれています。
\$tAC	DDR2 SDRAM コンポーネント用のデータ (DQ) 出力アクセス時間。
\$board_skew	全ての DQ ピン間の伝播遅延差に対するワースト・ケース。セットアップおよびホールド・マージンに分かれています。
[lindex \$tsw 0]	リード・サンプリング・ウィンドウ (t_{SW_SETUP})。
[lindex \$tsw 1]	リード・サンプリング・ウィンドウ (t_{SW_HOLD})。

Stratix III デバイス


例 1-8 および例 1-9 には、DDR3 SDRAM コンポーネントが備えた Stratix III メモリ・インタフェースでの最適なリード・キャプチャ・タイミング・マージンを保証します。

例 1-8. 最適なリード・キャプチャ・タイミング・マージン

```
set su [round_3dp [expr {$period*$dqphase/360.0 - [lindex $tsw 0]/1000.0 - $tDQSQ + $tmin_additional_dqs_variation - $read_board_skew}]]
```

例 1-9. 最適なリード・キャプチャ・タイミング・マージン

```
set hold [round_3dp [expr {$tQH - $tmax_additional_dqs_variation -
$period*$dqs_phase/360.0 - [lindex $tsw 1]/1000.0 - $read_board_skew}]]
```

 DDR とおよび DDR2 SDRAM のホールド・タイミング制約は DDR3SDRAM と異なります。

例 1-10 および **例 1-11** には、DDR または DDR2 SDRAM コンポーネントが備えた Stratix III メモリ・インタフェースでの最適なリード・キャプチャ・タイミング・マージンを保証します。

例 1-10. 最適なリード・キャプチャ・タイミング・マージン

```
set su [round_3dp [expr {$period*$dqs_phase/360.0 - [lindex $tsw 0]/1000.0 -
$tDQSQ + $tmin_additional_dqs_variation - $read_board_skew}]]
```

例 1-11. 最適なリード・キャプチャ・タイミング・マージン

```
set hold [round_3dp [expr {$period*(0.5 - $tDCD) - $tQHS -
$tmax_additional_dqs_variation - $period*$dqs_phase/360.0 - [lindex $tsw
1]/1000.0 - $read_board_skew}]]
```

表 1-20 は、<phy_variation_name>_report_timing.tcl での Cyclone III デバイスのリード・キャプチャ・タイミング方式の記用語を述します。

表 1-20. Stratix III リード・キャプチャ・タイミング方式

用語	説明
$\$period * \$dqs_phase / 360.0$	FPGA での DQS 遅延ロジック。
$\$tDQSQ$	メモリの不確実性。
$\$board_skew$	同じグループ内の DQS ストロブおよび DQ ピン間の伝播遅延差に対するワースト・ケース。
t_{QH} (DDR3 SDRAM 用のみ)	メモリ出力タイミング。
$\$period * 0.5 - t_{QHS}$ (DDR/DDR2 SDRAM 用)	
$[lindex \$tsw 0]$	リード・サンプリング・ウィンドウ (t_{SW_SETUP})。
$[lindex \$tsw 1]$	リード・サンプリング・ウィンドウ (t_{SW_HOLD})。

例 1-12 および **例 1-13** には、QDR II または QDR II+ SRAM が備えた Stratix III メモリ・インタフェースでの最適なリード・キャプチャ・タイミング・マージンを保証します。

例 1-12. QDR II および QDR II+ リード・キャプチャ・マージン — セットアップ

```
set su [round_3dp [expr {$tCYC*$dqs_phase/360.0 - [lindex $tsw 0]/1000.0 - $tCQD
- $board_skew}]]
```

例 1-13. QDR II および QDR II+ リード・キャプチャ・マージン — ホールド

```
set hold [round_3dp [expr {$tCYC*(0.5 - $tDCD) - $tINTERNAL_JITTER + $tCQDOH - $tCYC*$dqqs_phase/360.0 - [lindex $tsw 1]/1000.0 - $board_skew}]]
```

表 1-21 は、<phy_variation_name>_report_timing.tcl での Cyclone III デバイスのリード・キャプチャ・タイミング方式の記用語を述します。

表 1-21. QDR II および QDR II+ SRAM の Stratix II リード・キャプチャ・タイミング方式

用語	説明
\$dqqs_phase/360.0	クロック周期のパーセンテージとしてのリード位相シフト。
\$tCQD	メモリ・クロック立ち上がりからデータ有効。
\$tCQDOH	クロック後のメモリ・ホールド。
\$board_skew	同じグループ内の DQS ストロープおよび DQ ピン間の伝播遅延差に対するワースト・ケース。
\$tDCD	デューティ・サイクル歪み。
\$tINTERNAL_JITTER	メモリ内部ジッタ (指定される場合)。
[lindex \$tsw 0]	リード・サンプリング・ウィンドウ — セットアップ (t _{SW_SETUP})。
[lindex \$tsw 1]	リード・サンプリング・ウィンドウ — ホールド (t _{SW_HOLD})。

ライト・キャプチャ

ライト・タイミングの解析により、メモリ・デバイスの DQS ストロープ出力を使用して FPGA でラッチされる DDR DQ 信号でのスラックス量は示されます。ライト・タイミング・パスは、set_output_delay (max and min) で TimeQuest タイミング・アナライザの組み合わせ、およびランタイムで実行するキャリブレーションを考慮する更なるステップの組み合わせにより分析されます。ALTMEMPHY メガファンクションには、<phy_variation_name>_ddr_timing.sdc ファイル内のタイミングの制約、および <phy_variation_name>_report_timing.tcl と <phy_variation_name>_report_timing_core.tcl ファイル内の更なるスラックスの解析が含まれています。

Arria IV GX および Stratix IV デバイス

例 1-14 および例 1-15 には、533-MHz DDR3 SDRAM コンポーネントが備えた Stratix IV メモリ・インタフェースでの最適なライト・キャプチャ・タイミング・マージンを保証します。

例 1-14. 最適なライト・タイミング・マージン

```
set su [round_3dp [expr {$period*$dq2dqqs_output_phase_offset/360.0 - $write_board_skew - [lindex $tccs 0]/1000.0 - $tDS}]]
```

例 1-15. 最適なライト・タイミング・マージン

```
set hold[round_3dp [expr {$period*(0.5 - $dq2dqqs_output_phase_offset/360.0) - $write_board_skew - [lindex $tccs 1]/1000.0 - $tDH}]]
```

例 1-16 および例 1-17 には、400-MHz DDR3 SDRAM コンポーネントが備えた Stratix IV メモリ・インタフェースでの最適なライト・キャプチャ・タイミング・マージンを保証します。

例 1-16. 最適なライト・タイミング・マージン

```
set su [round_3dp [expr {$period*$dq2dqs_output_phase_offset/360.0 -
$write_board_skew - [lindex $tccs 0]/1000.0 - $tDS}]]
```

例 1-17. 最適なライト・タイミング・マージン

```
set hold[round_3dp [expr {$period*(0.5 - $dq2dqs_output_phase_offset/360.0) -
$write_board_skew - [lindex $tccs 1]/1000.0 - $tDH}]]
```

表 1-22 は、<phy_variation_name>_report_timing.tcl での Arria II GX または Stratix IV デバイスのライト・キャプチャ・タイミング方式の記用語を述します。

表 1-22. Arria II GX または Stratix IV のライト・キャプチャ・タイミング方式

用語	説明
\$t(DQS_PSERR)	指定されるものからの DQS 遅延チェーンの位相シフト誤差。
\$tDS/\$tDH	セットアップおよびホールド要件のメモリの不確実性。
\$t(board_skew)	メモリにおけるクロック・ピン、アドレスおよびコマンド・ピン間の伝播遅延差に対するワースト・ケース。
\$t(WL_DCD)	ライト・レベリング遅延チェーンを通すことによって DQS のデューティ・サイクル歪み。
\$t(WL_JITTER)	ライト・レベリング遅延チェーンを通すことによって DQ および DQS のジッタ。
\$t(WL_PSE)	指定されるものからの DQS 遅延チェーンの位相シフト誤差。
\$output_DQSpajitter	使用可能なタイミング・マージンを低下するライト・パスのピーク・ツー・ピーク・ジッタ。
\$output_DQSpajitter_setup_prop	セットアップ・マージンに影響するライト・パスのジッタの割合。
\$WR_DQS_DQ_SETUP_ERROR	この係数は、0 に設定され、Stratix IV または Arria II ファミリー・デバイスには必要ありません。
\$WR_DQS_DQ_HOLD_ERROR	
\$SSN(rel_pullin_o)	出力ピンの SSN は複数の DQ/DQS ピンを同時スイッチングする場合、タイミングがドライブインされます。
\$SSN(rel_pushout_o)	出力ピンの SSN は複数の DQ/DQS ピンを同時スイッチングする場合、タイミングがプッシュアウトされます。
\$ISI(DQ)	アイ・ダイアグラムの窓の総開口を低減するシンボル間干渉 (ISI)。
\$ISI(DQS)	DQS 到着時間にバリエーションを増大させるシンボル間干渉。

Cyclone III

例 1-18 および例 1-19 には、DDR2 SDRAM コンポーネントが備えた Cyclone III メモリ・インタフェースでの最適なライト・キャプチャ・タイミング・マージンを保証します。

例 1-18. 最適なライト・タイミング・マージン

```
set su [round_3dp [expr {$period*$dq2dqs_output_phase_offset/360.0 -
$write_board_skew - [lindex $tccs 0]/1000.0 - $tDS}]]
```

例 1-19. 最適なライト・タイミング・マージン

```
set hold [round_3dp [expr {$period*(0.5 -
$dq2dqs_output_phase_offset/360.0) - $tDCD_total -
$write_board_skew - [lindex $tccs 1]/1000.0 - $tDH}]]
```

表 1-23 は、<phy_variation_name>_report_timing.tcl での Cyclone III デバイスのライト・キャプチャ・タイミング方式の記用語を述します。

表 1-23. Cyclone III デバイスのライト・キャプチャ・タイミング方式

用語	説明
\$period * \$dq2dqs_output_phase_offset / 360	このオフセットは最適なタイミングマージンを提供することを前提として、DQ 及び DQS のライトクロックは 90° にオフセットされます。
\$tDCD_total	総デューティ・サイクル歪み。
\$board_skew	同じ DQ/DQS グループ内の DQS ストロープおよび DQ ピン間の伝播遅延差に対するワースト・ケース。
\$tDS/\$tDH	セットアップおよびホールド要件のメモリの不確実性。
[lindex \$tccs 0]	ライト・チャネル間のスキュー (TCCS _{LEAD})。
[lindex \$tccs 1]	ライト・チャネル間のスキュー (TCCS _{LAG})。

Stratix III デバイス

例 1-20 および例 1-21 には、DDR3 SDRAM コンポーネントが備えた Stratix III メモリ・インタフェースでの最適なライト・タイミング・マージンを保証します。

例 1-20. 最適なライト・タイミング・マージン

```
set su [round_3dp [expr {$period*$dq2dqs_output_phase_offset/360.0 -
$write_board_skew - [lindex $tccs 0]/1000.0 - $tDS}]]
```

例 1-21. 最適なライト・タイミング・マージン

```
set hold [round_3dp [expr {$period*(0.5 - $dq2dqs_output_phase_offset/360.0) -
$write_board_skew - [lindex $tccs 1]/1000.0 - $tDH}]]
```

表 1-24 は、<phy_variation_name>_report_timing.tcl での Stratix III デバイスのタイミング方式の記用語を述します。

表 1-24. Stratix III デバイスのライト・タイミング方式

用語	説明
$\$period * \$dq2dqs_output_phase_offset / 360$	このオフセットは最適のタイミングマージンを提供することを前提として、DQ 及び DQS のライトクロックは 90° にオフセットされます。
$\$write_board_skew$	ライト動作中に同じ DQ/DQS グループ内の DQS ストローブおよび DQ ピン間の伝播遅延差に対するワースト・ケース。
$\$tDS/\tDH	セットアップおよびホールド要件のメモリの不確実性。
$[\text{index } \$tccs\ 0]$	ライト・チャンネル間のスキュー ($TCCS_{LEAD}$)。
$[\text{index } \$tccs\ 1]$	ライト・チャンネル間のスキュー ($TCCS_{LAG}$)。

例 1-22 および例 1-23 には、QDR II および QDR II+ SRAM が備えた Stratix III メモリ・インタフェースでの最適なライト・タイミング・マージンを保証します。

例 1-22. QDR II および QDR II+ ライト・マージン — セットアップ

```
set su [round_3dp [expr { $tCYC*$dq2dqs_output_phase_offset/360.0 - $board_skew - [index $tccs 0]/1000.0 - $tSD}]]
```

例 1-23. QDR II および QDR II+ ライト・マージン — ホールド

```
set hold [round_3dp [expr { $tCYC*(0.5 - $dq2dqs_output_phase_offset/360.0) - $board_skew - [index $tccs 1]/1000.0 - $tHD}]]
```

表 1-25 は、<phy_variation_name>_report_timing.tcl での QDR II および QDR II+ SRAM 用の Stratix III デバイスのライト・タイミング方式の記用語を述します。

表 1-25. QDR II および QDR II+ SRAM 用の Stratix III ライト・キャプチャ・タイミング方式

用語	説明
$\$tCYC$	クロック周期。
$\$dq2dqs_phase_shift/360.0$	クロック周期のパーセンテージとしてのライト位相シフト。
$\$tSD$	メモリ・データ・セットアップ要件。
$\$tHD$	メモリ・データ・ホールド要件。
$\$board_skew$	同じグループ内の DQS ストローブおよび DQ ピン間の伝播遅延差に対するワースト・ケース。
$[\text{index } \$tccs\ 0]$	ライト・チャンネル間のスキュー ($TCCS_{LEAD}$)。
$[\text{index } \$tccs\ 1]$	ライト・チャンネル間のスキュー ($TCCS_{LAG}$)。

リード再同期化

DDR3、DDR2、および DDR SDRAM に接続される Arria II GX および Stratix IV FPGA で、再同期タイミング解析は、DQS ストローブで ALTMEMPHY のコントロールでクロック・ドメインにキャプチャされる移動するリード・データに関係します。シーケンサによるキャリブレーションの後に、専用 PLL 位相は、キャプチャされたデータのデータ有効のウィンドウの動きを追従します。DQS および CK トレースの正確な長さはタイミング解析に影響しません。キャリブレーション・プロセスは、再同期セットアップおよびホールド・マージンを最大化し、またスタティックなオフセットを他のタイミング・パスから取り除くために、キャプチャされたデータ有効のウィンドウの中央の再同期クロック位相を集中します。スタティックなオフセットが取り除かれることで、残留の不確実性は、電圧と温度のばらつき、ジッタ、およびスキューに制限されます。

Arria II GX および Stratix IV デバイス

例 1-24 には、DDR3 SDRAMDDR3 SDRAM が備えた Arria II GX または Stratix IV メモリ・インタフェースでの最適なライト・タイミング・マージンを保証します。

例 1-24. 最適なリード・キャプチャ・タイミング・マージン

```
set resync_su [expr $period/2 - $tDQSCK - $tJITper/2 - $resync_clock_jitter/2 -
$DQS_clock_period_jitter/2 - $DQS_clock_skew/2 - $read_delay_VT_variation -
$phy_uncertainty - $resync_clock_skew/2 - $quantization_error/2 -
$::SSN(pushout_o) - $::SSN(pushout_i) - $resync_micro_tsu ]
set resync_hold [expr $period/2 - $tDQSCK - $tJITper/2 - $resync_clock_jitter/2 -
$DQS_clock_period_jitter/2 - $DQS_clock_skew/2 - $read_delay_VT_variation -
$phy_uncertainty - $resync_clock_skew/2 - $quantization_error/2 -
$::SSN(pullin_o) - $::SSN(pullin_i) - $resync_micro_th ]
```

タイミング解析は、次の不確実性を 1 つのフル・レート・クロック・サイクルの公称データ有効のウィンドウから減算することで構成されています。

表 1-26 は、<phy_variation_name>_report_timing.tcl での QDR II および QDR II+ SRAM 用の Arria II GX または Stratix IV デバイスの再同期化タイミング方式の記用語を述します。

表 1-26. Arria II GX および Stratix IV 再同期化タイミング方式

不確実性	用語	説明
メモリでの DQS 対 CK	t_{DQSCK}	DQS ストローブは、CK クロックの出力タイミングの変化のため、メモリにドライブされた CK クロックと異なり、DQS IOE の入力タイミングは、模擬パスで補償されると仮定されます。
CK/CK# 周期ジッタ	t_{JITper}	DLL がロック・モードの時のピーク・ツー・ピーク期間ジッタ。
再同期化クロック・ジッタ	resync_clock_jitter	再同期化クロックで使用される PLL およびグローバルまたはリージョナル・クロックのネットワークで生成されるピーク・ツー・ピーク・ジッタ。

表 1-26. Arria II GX および Stratix IV 再同期化タイミング方式

不確実性	用語	説明
DQS ジッタ	DQS_clock_period_jitter	DQ パスに対する全体の DQS パスで生成されるピーク・ツー・ピーク・ジッタ。
データ有効のウィンドウに再同期化クロックの配置	phy_uncertainty	シーケンサのキャリブレーション・アルゴリズムがデータ有効のウィンドウのセンタを予測し、追跡できる正確さ。
DQS クロック・スキュー	DQS_clock_skew	DQS クロック・ネットワークの最大到着スキュー。
再同期化クロック・スキュー	resync_clock_skew	再同期化クロックで使用されるグローバルまたはリージョナル・クロックのネットワークの最大到着スキュー。
量子化誤差	quantization_error	DDR2 または DDR3 キャリブレーション間に、ALTMEMPHY メガファンクションは、PLL および PVT- 補償されるリード・レベリング遅延チェーンから最高の再同期化クロック位相を自動的に選択します。リード・データを完全に集中させることからのどのエラーを考慮する必要があります。
DDR3 遅延チェーンの電圧および温度変動	read_delay_VT_variation	DDR2 または DDR3 キャリブレーション間に、ALTMEMPHY メガファンクション PLL/PVT- 補償されるリード・レベリング遅延チェーンから最高の再同期化クロック位相を自動的に選択し、そして、模擬パスでデータ有効のウィンドウのセンタを追跡します。模擬パスは、個々のビットが再同期パス内にあるでスキューに慣れている少しの非補償遅延チェーンも含まず、それから、電圧と温度のばらつきを明示的に考慮する必要があります。
SSN	SSN(pushout_o), \$SSN(pullin_o), SSN(pushout_i), \$SSN(pullin_o),	FPGA にメモリおよび入力に送信される両方クロックのプルアップまたはプッシュアウトの SSN。
再同期化レジスタ・マイクロ tsu	resync_micro_tsu	再同期化レジスタ・マイクロのセットアップ時間の要求。
再同期化レジスタ・マイクロ th	resync_micro_th	再同期化レジスタ・マイクロのホールド時間の要求。

Stratix III デバイス

例 1-25 には、DDR3 SDRAM コンポーネントが備えた Stratix III メモリ・インタフェースでの最適なリード・キャプチャ・タイミング・マージンを保証します。

例 1-25. 最適なリード・キャプチャ・タイミング・マージン

```
set resync_window [expr $period - 2 * $tDQSCK - 2 * $tJITper - 2 *
$DQS_clock_period_jitter - $DQS_clock_skew - 2 *
$read_leveling_delay_VT_variation - $phy_uncertainty -
$resync_clock_skew - 2 * $resync_clock_jitter - $resync_micro_tsu -
$resync_micro_th]

set su [round_3dp [expr $resync_window * 0.5]]

set hold [round_3dp [expr $resync_window * 0.5]]
```

タイミング解析は、次の不確実性を1つのフル・レート・クロック・サイクルの公称データ有効のウィンドウから減算することで構成されています。

表 1-27 は、<phy_variation_name>_report_timing.tcl での Stratix III デバイスの再同期化タイミング方式の記用語を述します。

表 1-27. Stratix III の再同期化タイミング方式

不確実性	用語	説明
メモリでの DQS 対 CK	t _{DQSCK}	DQS ストロープは、CK クロックの出力タイミングの変化のため、メモリにドライブされた CK クロックと異なり、DQS IOE の入力タイミングは、模擬パスで補償されると仮定されます。
CK/CK# 周期ジッタ	t _{JITper}	DLL がロック・モードの時のピーク・ツー・ピーク期間ジッタ。
DQS ジッタ	DQS_clock_period_jitter	DQS 遅延チェーンおよびクロック・ネットワークびで生成されるジッタ。
クロック・スキュー	phy_uncertainty	シーケンサのキャリブレーション・アルゴリズムがデータ有効のウィンドウのセンタを予測し、追跡できる正確さ。
DQS クロック・スキュー	DQS_clock_skew	QS クロック・ネットワークの最大到着スキュー。
再同期化クロック・スキュー	resync_clock_skew	再同期化クロックで使用されるグローバルまたはリージョナル・クロックのネットワークの最大到着スキュー。
再同期化クロック・ジッタ	resync_clock_jitter	再同期化クロックで使用される PLL およびグローバルまたはリージョナル・クロックのネットワークで生成されるジッタ。

表 1-27. Stratix III の再同期化タイミング方式

不確実性	用語	説明
DDR3 遅延チェーンの電圧および温度変動	read_leveling_delay_VT_variation	DDR3 キャリブレーション間に、ALTMEMPHY メガファンクションは、PVT- 補償されるリード・レベルリング遅延チェーンから最高の再同期化クロック位相を自動的に選択します。そして、ALTMEMPHY メガファンクションは、リード・データを再同期化レジスタに集中するために、非補償 DQS 遅延チェーンでフ位相選択を微調整します。非補償遅延チェーン内の変動を考慮する必要があります。
再同期化レジスタ・マイクロ tsu	resync_micro_tsu	再同期化レジスタ・マイクロのセットアップ時間の要求。
再同期化レジスタ・マイクロ th	resync_micro_th	再同期化レジスタ・マイクロのホールド時間の要求。

模擬パス

模擬パスは往復遅延の要素の FPGA 部分を模擬し、キャリブレーション・シーケンスは、ALTMEMPHY メガファンクションの動作を中断せずに、メモリのリードおよびライト・トランザクション時の電圧および温度変動に起因する遅延変動を追跡できます。

タイミング・パス・レジスタは IOE に統合されるため、Stratix IV および Arria II GX デバイス・ファミリのためのタイミング制約が必要ありません。

Cyclone III デバイスには、模擬レジスタはコアのレジスタであり、フィッタで IOE の近くに配置されます。

DQS 対 CK—Cyclone III デバイス

DQS 対 CK タイミング・パスは、メモリの CK/CK# の到達時間に対するメモリの DQS ストロブの到着時間のスキュー要件を示します。エッジ・アラインメントを到着するために、Cyclone III デバイスが DQS ストロブ部と CK クロックが必要です。

デューティ・サイクルの歪みを考慮するために、DQS 対 CK のタイミング・パスに 2 つのタイミング制約があります。DQS/DQS# ~ CK/CK# 立ち上がりエッジ (t_{DQSS}) は、クロック・サイクルの 25% 以内に CK の立ち上がりエッジに揃えるために立ち上がりエッジ DQS が必要であり、CK/CK# 立ち上がりエッジ (t_{DSS}/t_{DSH}) からの DQS/DQS# 立ち下がりエッジのセットアップ/ホールド時間は、CK の立ち上がりエッジからクロック・サイクルの 20% より多くするには立ち下がりエッジ DQS が必要とします。

DQS 対 CK タイミング・パスは、次に示されるように `set_output_delay (max and min)` 制約を使用し、TimeQuest タイミング解析で分析されます。**例 1-26** には、DDR2 SDRAM コンポーネントが備えた Cyclone III メモリ・インタフェースでの最適な DQS 対 CK のタイミング・マージンを保証します。

例1-26. 最適な DQS 対 CK タイミング・マージン

```
set_output_delay -add_delay -clock $ckclock -max [round_3dp [expr
{($off_tDQSS+1-$t(DQSS)) * $t(period) + $t(board_skew) +
fpga_tDQSS_SETUP_ERROR}]] $dqspin

set_output_delay -add_delay -clock $ckclock -min [round_3dp [expr
{($off_tDQSS+$t(DQSS)) * $t(period) - $t(board_skew) -
$fpga_tDQSS_HOLD_ERROR}]] $dqspin

set_output_delay -add_delay -clock $ckclock -max [round_3dp [expr
{($off_tDSS+$t(DSS)) * $t(period) + $t(board_skew) +
$fpga_tDSSH_SETUP_ERROR}]] $dqspin

set_output_delay -add_delay -clock $ckclock -min [round_3dp [expr
{($off_tDSS-$t(DSH)) * $t(period) - $t(board_skew) - $fpga_tDSSH_HOLD_ERROR}]]
$dqspin
```

表 1-28 は、Cyclone III デバイスの DQS 対 CK のタイミング制約
<phy_variation_name>_phy_ddr_timing.sdc の用語を述します。

表 1-28. Cyclone III デバイスの DQS 対 CK タイミング制約

用語	説明
\$off_tDQSS * \$t(period)	専用クロック・モード用のクロック・サイクル調整。200-MHz DDR2 SDRAM コンポーネントに接続される Cyclone III デバイスには、DDIO 構造が mem_clk ピンに使用されるため、オフセットは 0 に設定されます。
\$t(DQSS) * \$t(period)	CK への DQS、DQS# 立ち上がりエッジ、CK# 立ち上がり立ち上がり。
\$t(DSS) * \$t(period)	メモリの不確実性。
\$t(board_skew)	DQS ストローブおよびメモリ・デバイスをクロックする CK/CK# ピン間の伝播遅延差に対するワースト・ケース。
\$t(DCD_total)	総デューティ・サイクル歪み。
\$t(DSS)	CK/CK# 立ち上がりエッジからの DQS/DQS# 立ち下がりエッジのセットアップ時間。
\$t(DSH)	CK/CK# 立ち上がりエッジからの DQS/DQS# 立ち下がりエッジのホールド時間。
\$fpga_tDQSS_SETUP_ERROR	ボードの不確実性。
\$fpga_tDSSH_SETUP_ERROR	ボードの不確実性。

DDR3 SDRAM ライト・レベリング t_{DQSS}

DDR3 SDRAM インタフェースでは、ライト・レベリング t_{DQSS} タイミングは、メモリの CK/CK# の到達時間に対する DQS ストローブの到着時間のスキュー・マージンを示すキャリブレーションされたパスです。適切なライト・レベリング・コンフィギュレーションのために、DLL 遅延チェーンは 8 に設定することが必要です。

Arria II GX または Stratix IV GX D デバイス

例 29 には、DDR3 SDRAM コンポーネントが備えた Arria II GX または Stratix IV メモリ・インタフェースでの最適なライト・レベリング t_{DQSS} タイミング・マージンを保証します。

例 29. 最適なライト・レベリング・タイミング・マージン

```
set tdqss_setup [expr $tDQSS - $tWLH - $vt_variation -
  $tJITper - $WL_jitter/2 - $SSN(pushout_o) -
  $SSN(pullin_o)]
set tdqss_hold [expr $tDQSS - $tWLS - $vt_variation -
  $tJITper - $WL_jitter/2 - $SSN(pushout_o) -
  $SSN(pullin_o) - $quantization_error]
```

表 1-30 は、<phy_variation_name>_report_timing.tcl の Stratix IV デバイスのライト・レベリング t_{DQSS} タイミング方式の用語を述します。

表 1-30. Stratix IV デバイスのライト・レベリング t_{DQSS} タイミング方式

用語	説明
t_{WLS}	立ち上がり CK/CK# から立ち上がり DQS/DQS# のクロス・ポイントからのライト・レベリングのセットアップ時間。
t_{WLH}	立ち上がり CK/CK# から立ち上がり DQS/DQS# のクロス・ポイントからのライト・レベリングのホールド時間。
$\$vt_variation$	DDR3 SDRAM キャリブレーション中に、ALTMEMPHY メガファンクションは、PVT-補償されるリード・レベリング遅延チェーンから最高のライト・クロック位相を自動的に選択します。そして、ALTMEMPHY メガファンクションは、リード・データをレジスタに刈り込むために、非補償 DQS 遅延チェーンでフ位相選択を微調整します。非補償遅延チェーン内の変動を考慮する必要があります。
t_{DQSS}	DQS/DQS# 立ち上がりエッジ～CK/CK# 立ち下がりエッジ。
$\$quantization_error$	DDR3 SDRAM キャリブレーション中に、ALTMEMPHY メガファンクションは、デバイスがレベルされるまで、DQS または DQS# での遅延を増加させます。この手順は最適な遅延設定をオーバーシュートする可能性があり、このエラーは考慮する必要があります。
$\$SSN(pushout_o)$, $\$SSN(pullin_o)$,	両方クロックのプルアップまたはプッシュアウトの SSN および DQS 信号は、ライト・レベリング劣化が生じる可能性があります。
$\$tJITper$	DLL がロック・モードの時のピーク・ツー・ピーク期間ジッタは、クロックの両方および DQS に影響します。
$\$WL_jitter$	ライト・レベリング遅延チェーンを通すための DQS の追加ピーク・ツー・ピーク・ジッタ。

Stratix III デバイス

例 31 には、DDR3 SDRAM コンポーネントが備えた Stratix III メモリ・インタフェースでの最適なライト・レベリング t_{DQSS} タイミング・マージンを保証します。

例 31. 最適なライト・レベリング・タイミング・マージン

```
set min_write_leveling_inaccuracy [expr $tWLS +
$write_leveling_delay_VT_variation]

set max_write_leveling_inaccuracy [expr $tWLH +
$write_leveling_delay_VT_variation + $fpga_leveling_step]

set su [round_3dp [expr $tDQSS - $min_write_leveling_inaccuracy]]
set hold [round_3dp [expr $tDQSS - $max_write_leveling_inaccuracy]]
```

表 1-32 は、<phy_variation_name>_report_timing.tcl の Stratix III デバイスのライト・レベリング t_{DQSS} タイミング方式の用語を述します。

表 1-32. Stratix III デバイスのライト・レベリング t_{DQSS} タイミング方式

用語	説明
t_{WLS}	立ち上がり CK/CK# から立ち上がり DQS/DQS# のクロス・ポイントからのライト・レベリングのセットアップ時間。
t_{WLH}	立ち上がり CK/CK# から立ち上がり DQS/DQS# のクロス・ポイントからのライト・レベリングのホールド時間。
\$write_leveling_delay_VT_variation	DDR3 SDRAM キャリブレーション間に、ALTMEMPHY メガファンクションは、PVT- 補償されるリード・レベリング遅延チェーンから最高のライト・クロック位相を自動的に選択します。そして、ALTMEMPHY メガファンクションは、リード・データをレジスタに刈り込むために、非補償 DQS 遅延チェーンでフ位相選択を微調整します。非補償遅延チェーン内の変動を考慮する必要があります。
t_{DQSS}	DQS/DQS# 立ち上がりエッジ～ CK/CK# 立ち下がりエッジ。
\$min_write_leveling_inaccuracy/ \$max_write_leveling_inaccuracy	ライト・レベリング精度のマージン。

DDR3 SDRAM ライト・レベリング t_{DSH}/t_{DSS}

DDR3 SDRAM インタフェースでは、ライト・レベリング t_{DSH}/t_{DSS} タイミングは、メモリの CK クロックに対する DQS 立ち下がりエッジ用のセットアップおよびホールド・マージンを詳説します。

Arria II GX または Stratix IV GX デバイス

例 1-27 には、DDR3 SDRAM コンポーネントが備えた Stratix IV メモリ・インタフェースでの最適なライト・レベリング t_{DSH}/t_{DSS} タイミング・マージンを保証します。

例 1-27. 最適なライト・レベリング・タイミング・マージン

```
set tdss [expr 0.5*$period - $tWLS - $tDSS - $vt_variation -
  $tJITper - $WL_jitter/2 - $t(WL_DCJ) - $t(WL_DCD) -
  $SSN(pushout_o) - $SSN(pullin_o) - $quantization_error]
set tdsh [expr 0.5*$period - $tWLH - $tDSH - $vt_variation -
  $tJITper - $WL_jitter/2 - $t(WL_DCJ) - $t(WL_DCD) - $SSN(pushout_o) -
  $SSN(pullin_o)]
```

表 1-33 は、<phy_variation_name>_report_timing.tcl の Stratix IV デバイスのライト・レベリング t_{DSH}/t_{DSS} タイミング方式の用語を述します。

表 1-33. Stratix IV のライト・レベリング t_{DSH}/t_{DSS} タイミング方式

用語	説明
\$tWLS	立ち上がり CK/CK# から立ち上がり DQS/DQS# へのクロス・ポイントからのライト・レベリングのセットアップ時間。
\$tWLH	立ち上がり DQS/DQS# から立ち上がり CK/CK# へのクロス・ポイントからのライト・レベリングのホールド時間。
\$vt_variation	DDR3 SDRAM キャリブレーション間に、ALTMEMPHY メガファンクションは、PVT- 補償されるリード・レベリング遅延チェーンから最高のライト・クロック位相を自動的に選択します。そして、ALTMEMPHY メガファンクションは、リード・データをレジスタに刈り込むために、非補償 DQS 遅延チェーンでフ位相選択を微調整します。非補償遅延チェーン内の変動を考慮する必要があります。
\$tDSS	CK/CK# 立ち上がりエッジからの DQS/DQS# 立ち下がりエッジのセットアップ時間。
\$tDSH	CK/CK# 立ち上がりエッジからの DQS/DQS# 立ち下がりエッジのホールド時間。
\$quantization_error	DDR3 SDRAM キャリブレーション中に、ALTMEMPHY メガファンクションは、デバイスがレベルされるまで、DQS または DQS# での遅延を増加させます。この手順は最適な遅延設定をオーバーシュートする可能性があります。このエラーは考慮する必要があります。
\$SSN(pushout_o), \$SSN(pullin_o),	両方クロックのプルアップまたはプッシュアウトの SSN および DQS 信号には、ライト・レベリング劣化が生じる可能性があります。
\$tJITper	DLL がロック・モードの時のピーク・ツー・ピーク期間ジッタは、クロックの両方および DQS に影響します。
\$WL_jitter	ライト・レベリング遅延チェーンを通すための DQS の追加ピーク・ツー・ピーク・ジッタ。
\$t(WL_DCJ)	ライト・レベリング遅延チェーンを通すための DQS のデューティ・サイクル・ジッタ。
\$t(WL_DCD)	ライト・レベリング遅延チェーンを通すための DQS のデューティ・サイクル歪み。

Stratix III デバイス

例 1-28 には、DDR3 SDRAM コンポーネントが備えた Stratix III メモリ・インタフェースでの最適なライト・レベリング t_{DSH}/t_{DSS} タイミング・マージンを保証します。

例 1-28. 最適なライト・レベリング・タイミング・マージン

```
set su [round_3dp [expr $min_DQS_low -
$max_write_leveling_inaccuracy - $CK_period_jitter - $tDSS]]
set hold [round_3dp [expr $min_DQS_high -
$min_write_leveling_inaccuracy - $tDSH]]
```

表 1-34 は、<phy_variation_name>_report_timing.tcl の Stratix III または Stratix IV デバイスのライト・レベリング t_{DSH}/t_{DSS} タイミング方式の用語を述します。

表 1-34. Stratix III および Stratix IV のライト・レベリング t_{DSH}/t_{DSS} タイミング方式

用語	説明
\$min_DQS_high	DQS High の最小仕様。
\$min_DQS_low	メモリの DQS Low の最小仕様。
\$CK_period_jitter	メモリの連続的な 200 サイクル・ウィンドウ (tCK (avg)) のクロック期間信号の平均的なクロック期間からの最大変動。
\$tDSS	CK/CK# 立ち上がりエッジからの DQS/DQS# 立ち下がりエッジのセットアップ時間。
\$tDSH	CK/CK# 立ち上がりエッジからの DQS/DQS# 立ち下がりエッジのホールド時間。
\$min_write_leveling_inaccuracy/ \$max_write_leveling_inaccuracy	ライト・レベリング精度のマージン。

タイミング・マージンのレポート

TimeQuest タイミング・アナライザの Report DDR タスクは、デザインのすべての ALTMEMPHY と UniPHY インスタンスのカスタムのタイミング・マージンのレポートが生成されます。このカスタムのレポートは、ウィザード生成された <variation>_report_timing.tcl スクリプトを出力して TimeQuest タイミング・アナライザで生成されます。

この <variation>_report_timing.tcl スクリプトは、DDR SDRAM デザインの特定のパスでのタイミング・スラックスを報告します。例えば：

- リード・キャプチャ
- リード再同期化
- 模擬、アドレスおよびコマンド
- コア
- コアのリセットおよびリムーバブル
- ハーフ・レート・アドレスおよびコマンド

- DQS 対 CK
- ライト
- ライト・レベリング (t_{DQSS})
- ライト・レベリング (t_{DSS}/t_{DSH})

<variation_name>_report_timing.tcl スクリプトは、1-55 ページの「タイミング・モデル前提およびデザイン・ルール」にリストされるようにデザインのルールおよび前提をチェックします。これらの前提およびルールに準拠しない場合、コンパイル中に TimeQuest タイミング・アナライザが実行される時、または Report DDR タスクを実行する時には、重要な警告が表示されます。



ALTMEMPHY ベースのメモリ・インタフェース・デザインは、DDR I/O タイミング・パス（リードおよびライト・データパス）のマージンを分析するためのレポート・データシート・タイミング仕様の使用をサポートしません。その代わりに、1-16 ページの「タイミング・マージンのコンポーネント」で説明された TCCS と SW タイミング仕様で I/O タイミング解析を実行するには、Report DDR を使用する必要があります。レポート・データシート結果は、FPGA のマイクロ・タイミングのモデルに基づき、メモリ・インタフェース TCCS または SW 仕様を使用しません。

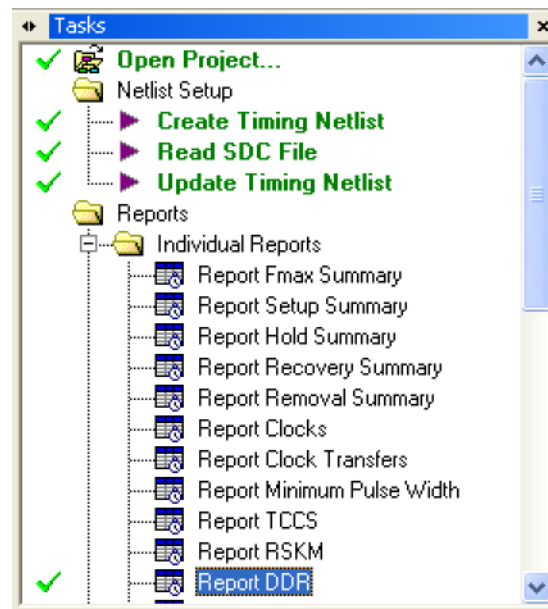
タイミング・マージン・レポートを生成するには、以下の手順に従います。

1. Quartus II ソフトウェアのデザインをコンパイルします。
2. TimeQuest タイミング・アナライザを起動させます。
3. Tasks ペインから Report DDR をダブル・クリックします (図 1-8)。この行動により、プロジェクトのための Create Timing Netlist、Read SDC File、および Update Timing Netlist タスクが自動的に実行されます。



バリエーション・トップレベル・ファイルがプロジェクトのトップレベル・ファイルのとき、.sdc ファイルは正しく適用されない場合もあります。バリエーション・トップレベル・ファイルをプロジェクトのトップレベル・ファイルのインスタンスを作成させることが必要です。

図 1-8. TimeQuest タスク・ペインに Report DDR タイミング・レポートの生成



Report DDR 機能は、TimeQuest タイミング・アナライザの Report ペインに DDR フォルダを作成します。DDR フォルダを展開することにより、図 1-9 と図 1-10 に示するように ALTMEMPHY インスタンスの全体的なタイミング・マージン要約および各 PHY タイミング・パスの詳細なタイミングの情報は明らかにされます。

図 1-9. TimeQuest ウィンドウの Report ペインでの DDR タイミング・レポート

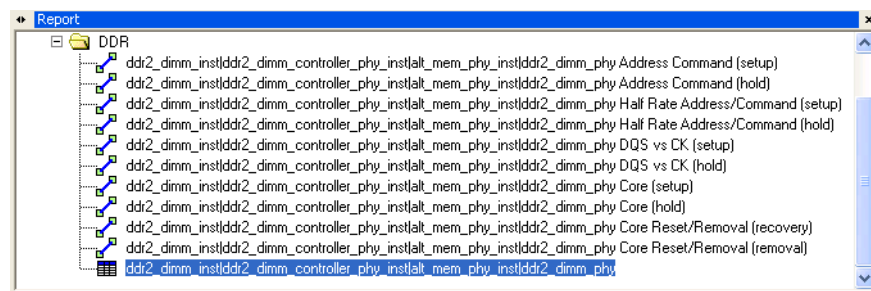


図 1-10. Report DDR Task で生成されたタイミング・マージン・サマリのウィンドウ

ddr2_dimm_inst ddr2_dimm_controller_phy_inst alt_mem_phy_inst ddr2_dimm_phy				
	Path	Operating Condition	Setup Slack	Hold Slack
1	Address Command (Slow 1100mV 85C Model)	Slow 1100mV 85C Model	0.425	0.196
2	Core (Slow 1100mV 85C Model)	Slow 1100mV 85C Model	0.192	0.156
3	Core Reset/Removal (Slow 1100mV 85C Model)	Slow 1100mV 85C Model	1.285	0.545
4	DQS vs CK (Slow 1100mV 85C Model)	Slow 1100mV 85C Model	0.192	0.285
5	Half Rate Address/Command (Slow 1100mV 85C Model)	Slow 1100mV 85C Model	2.872	0.204
6	Read Capture (All Conditions)	All Conditions	0.030	0.030
7	Read Resync (All Conditions)	All Conditions	0.396	0.396
8	Write (All Conditions)	All Conditions	0.095	0.095

図 1-11 には、TimeQuest Timing Analyzer Consoles ウィンドウからのタイミング・マージン・レポートを示します。これは図 1-10 に示されるレポートのコマンド・ライン・バージョンです。

図 1-11. TimeQuest Console ウィンドウのタイミング・マージン・サマリの情報

```

x 1257 tcl report_dds -panel_name "DDR"
1258 Info: Report Timing: Found 36 setup paths (0 violated). Worst case slack is 0.425
1264 Info: Report Timing: Found 36 hold paths (0 violated). Worst case slack is 0.196
1270 Info: Report Timing: Found 100 setup paths (0 violated). Worst case slack is 2.872
1276 Info: Report Timing: Found 100 hold paths (0 violated). Worst case slack is 0.204
1282 Info: Report Timing: Found 100 setup paths (0 violated). Worst case slack is 0.192
1288 Info: Report Timing: Found 100 hold paths (0 violated). Worst case slack is 0.285
1294 Info: Report Timing: Found 100 setup paths (0 violated). Worst case slack is 0.192
1299 Info: Report Timing: Found 100 hold paths (0 violated). Worst case slack is 0.156
1304 Info: Report Timing: Found 100 recovery paths (0 violated). Worst case slack is 1.285
1309 Info: Report Timing: Found 100 removal paths (0 violated). Worst case slack is 0.545
1314 Using Quartus DDR Timing Model for tCCS 260 260
1315 Using Quartus DDR Timing Model for tSW 250 250
1316 Info:
1317 Info: Address Command (Slow 1100mV 85C Model) | 0.425 0.196
1318 Info: Core (Slow 1100mV 85C Model) | 0.192 0.156
1319 Info: Core Reset/Removal (Slow 1100mV 85C Model) | 1.285 0.545
1320 Info: DQS vs CK (Slow 1100mV 85C Model) | 0.192 0.285
1321 Info: Half Rate Address/Command (Slow 1100mV 85C Model) | 2.872 0.204
1322 Info: Read Capture (All Conditions) | 0.030 0.130
1323 Info: Read Resync (All Conditions) | 0.396 0.396
1324 Info: Write (All Conditions) | 0.095 0.095
1325 tcl
  
```

図 1-12 および図 1-13 は、DDR3 コアの Report DDR Task で生成されたリード・キャプチャおよびライト・マージン要約ウィンドウを示します。まず、FPGA タイミング・モデルを使用して計算されたタイミング結果を示します。そして <variation_name>_report_timing_core.tcl は、タイミング・モデルまたは TimeQuest タイミング・アナライザで作成されない効果を考慮するために、これらの数を調整します。

図 1-12. リード・キャプチャ・マージン・サマリのウィンドウ

Operation	Setup Slack	Hold Slack
1 Before Calibration Read Capture	0.021	0.026
2 Memory Calibration	0.098	0.113
3 Deskew Read	0.145	0.069
4 Quantization error	-0.025	-0.025
5 Calibration uncertainty	-0.069	-0.069
6 After Calibration Read Capture	0.170	0.114

図 1-13. ライト・キャプチャ・マージン・サマリのウィンドウ

Operation	Setup Slack	Hold Slack
1 Before Calibration Write	-0.090	-0.126
2 Memory Calibration	0.120	0.100
3 Deskew Write and/or more clock pessimism removal	0.178	0.234
4 Quantization error	-0.025	-0.025
5 Calibration uncertainty	-0.016	-0.016
6 After Calibration Write	0.167	0.167

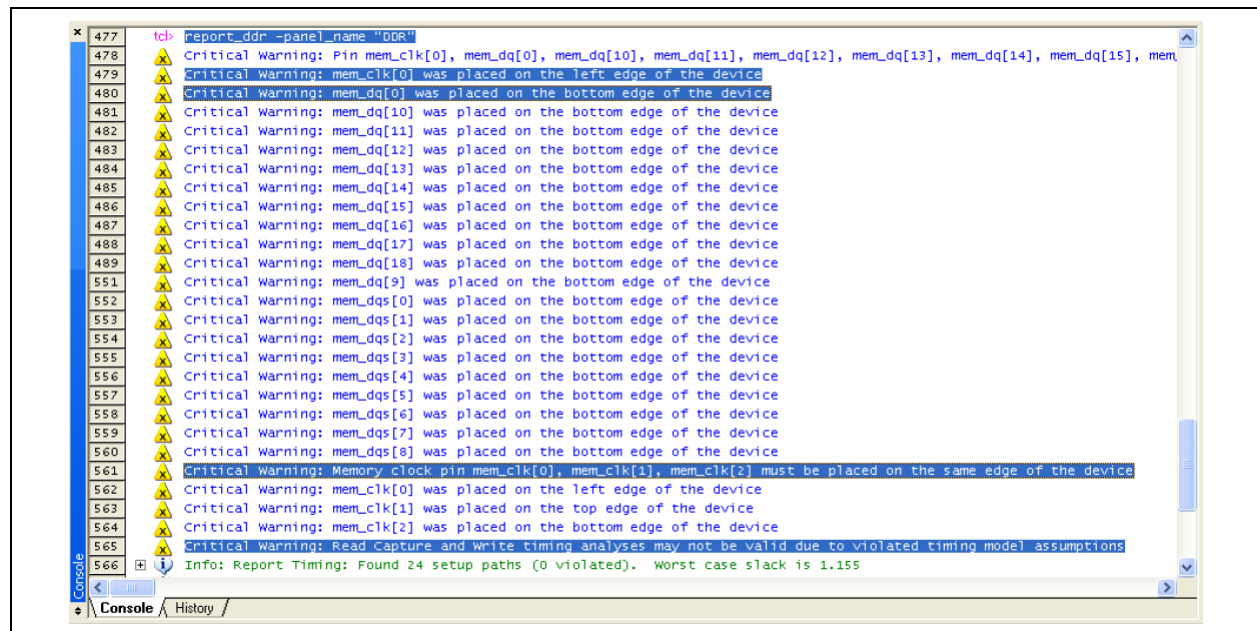
タイミング・モデル前提およびデザイン・ルール

アルテラ IP を使用する外部メモリ・インタフェースは、最高の性能のために最適化されます。そして、キャリブレーションとソース・シンクロナス、およびダブル・データ・レート I/O タイミング・パスを分析するために、高性能タイミング・モデルを使用します。このタイミング・モデルは、一組の定義済み前提に付くデザインに適用可能です。これらのタイミング・モデル仮定は、メモリ・インタフェース・ピン配置要件、PLL とクロック・ネットワーク用法、I/O アサインメント (I/O 規格、終端、およびスルー・レートを含む)、および多くの他を含みます。

例えば、リード・およびライトのデータパス・タイミング解析は、FPGA ピンレベル t_{TCCS} と t_{SW} 仕様にそれぞれ基づきます。リードとライトのタイミング・マージンを計算しているとき、Quartus II ソフトウェアはデザインを分析して、バリエーション・インスタンスに適用したすべてのリードとライトのタイミング・モデルの仮定は有効であることを確保します。

Report DDR タスクまたは report_timing.tcl スクリプトが実行される時には、タイミングの解析前提チェックは特定のバリエーション・コンフィギュレーション情報で呼び出されます。特定のデザイン・ルールがない場合は、Quartus II ソフトウェアは Critical Warning メッセージとして失敗前提を報告します。図 2 はに、メモリ・インタフェース DQ、DQS、および CK/CK# ピンがデバイスの同じエッジに配置されない時にメッセージのサンプル・セットが生成したことを示します。

図 2. リードおよびライト・タイミング解析の前提検証



メモリ・クロック出力の前提

メモリ・デバイス (CK/CK# または K/K#) に FPGA クロック出力の品質を確認するために、(メモリ・デバイスからリード・データに使用されているリード・クロック / ストロープの FPGA 性能と品質に影響する) 以下の仮定は必要です。

- スルー・レート設定は Fast に設定するか、または、On-Chip Termination (OCT) 設定は使用する必要があります。
- 出力遅延チェーンはすべて 0 に設定する必要があります (Quartus II ソフトウェアで適用されたデフォルト値)。これらの遅延チェーンは、ピン遅延チェーンおよび Stratix III D5 と D6 出力遅延チェーンへの Cyclone III 出力レジスタを含みません。
- メモリ・クロック・ピン n IO_OBUF Atom の出力オープン・ドレイン・パラメータは Off に設定することが必要です。Output Open Drain ロジック・オプションはイネーブルしてはなりません。
- CK および CK# パッドでのウィーク・プルアップは、Off に設定することが必要です。Weak Pull-Up Resistor ロジック・オプションはイネーブルしてはなりません。
- CK および CK# パッドでのバス・ホールドは、Off に設定することが必要です。Enable Bus-Hold Circuitry ロジック・オプションはイネーブルしてはなりません。
- すべての CK および CK# ピンは、出力イネーブルが V_{CC} に設定することで出力専用ピンまたは双方向ピンとして宣言します。

Arria II GX および Stratix IV デバイス

Arria II GX および Stratix IV デバイスには、次の追加メモリ・クロック前提は必要です。

- すべてのメモリ・クロック出力ピンは DIFFOUT ピン・ペアに配置しなければなりません。
 - 差動 DQS/DQS# ストロープを使用するすべての DDR3 および DDR2 デザインに、模擬パスで電圧と温度トラッキングのために、(mem_clk[0] と mem_clk_n[0]) は DIFFIO_RX p- および n- ピンに配置しなければなりません。残りのメモリ出力クロック・ピン (mem_clk[i] と mem_clk_n[i]、 $i = 1$ またはより大きい場合) が DIFFOUT p- および n- ピンに配置することができます。
 - すべての他のケースには (CK ピンは模擬ピンですが、デザインは真の差動 DQS を使用しない場合も含む)、メモリ・クロック出力ピンが DIFFOUT p- および n- ピンに配置しなければなりません。
- CK 出力ピンは DDIO 出力レジスタによって供給される必要があります。
- CK# 出力ピンは、関連した CK ピンからの信号スプリッタによって供給される必要があります。
- すべてのメモリ・クロック・ピンはデバイスの同じエッジに配置することが必要です (トップ、底、左、または右)。
- DDR3 インタフェースには、CK ピンが DQ、DQS、または DQSn の名称が表示される FPGA 出力ピンに配置しなければなりません。

- DDR3 インタフェースには、CK ピンが 0° 位相シフトの OUTPUT_PHASE_ALIGNMENT WYSIWYG を供給される必要があります。
- DDR3 インタフェースには、CK ピンをドライブする PLL クロックが DQS ピンをドライブするクロックと同じにする必要があります。
- T4 (DDIO_MUX) 遅延チェーンは 2 に設定することが必要です。
- メモリ出力クロック信号は、信号スプリッタが出力 DDIO ブロックに n- ピン・ペアおよびリージョナル・クロックのネットワーク・クロックを生成し、[図 1-14](#) に示される DDIO コンフィギュレーションで生成される必要があります。

図 1-14. 信号スプリッタでの DDIO コンフィギュレーション

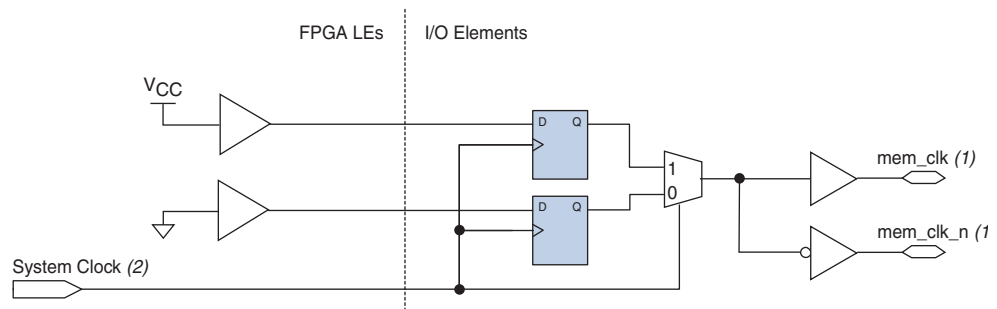


図 1-14 の注:

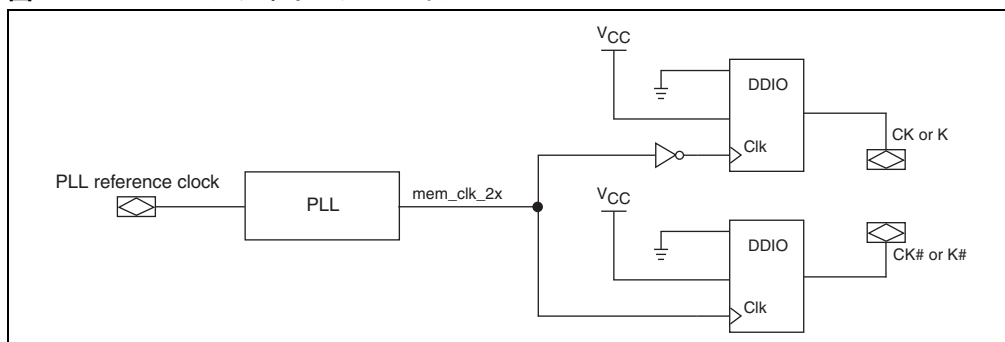
- (1) DDR3、DDR2、および DDR SDRAM インタフェース用の `mem_clk[0]` および `mem_clk_n[0]` ピンは、フィードバックの I/O 入力バッファを使用するため、双方向の I/O バッファはこれらのピンに使用されます。差動 DQS 入力を使用するメモリ・インタフェースには、入力フィードバック・バッファは差動入力として設定されます；シングル・エンドの DQS 入力を使用するメモリ・インタフェースには、入力バッファはシングル・エンドの入力として設定されます。シングル・エンド入力フィードバック・バッファを使用するために、I/O 規格の VREF 電圧がその I/O バンクの VREF ピンに提供されることが必要です。メモリ出力クロックは、ジッタを最小化するためにリージョナル QCLK (1/4) ネットワークが必要です。
- (2) メモリ出力クロックは、ジッタを最小化するためにリージョナル QCLK (1/4) ネットワークが必要です。

Cyclone III デバイス

Cyclone III デバイスには、次の追加メモリ・クロック前提が必要です。

- メモリ・クロック出力ピンは、DDIO 出力レジスタによって供給される必要があります、DIFFIO p- および n- ピンに配置しなければなりません。
- メモリ出力クロック信号は、[図 1-15](#) に示される DDIO コンフィギュレーションを使用して生成することが必要です。このコンフィギュレーションで、High レジスタは V_{CC} で、そして Low レジスタは GND で結び付けられます。

図 1-15. DDIO コンフィギュレーション



- CK および CK# ピンは、DDIO_OUT WYSIWYG により、 V_{CC} と接続された `datainlo` および GND と接続された `datainhi` によって供給される必要があります。
- CK または K ピンは、反転 PLL から DDIO_OUT によりそのクロック入力によって供給される必要があります。
- CK# または K# ピンは、非反転 PLL から DDIO_OUT によりそのクロック入力によって供給される必要があります。
- メモリ・クロック出力ピンの I/O 規格および電流値設定は次の通りです。
 - DDR SDRAM インタフェースのための SSTL-2 Class I と 12mA、および SSSTL-2 Class II と 16 mA
 - DDR2 SDRAM インタフェースのための SSTL-18 Class I と 12mA、または SSTL-18 Class II と 16 mA

Stratix III デバイス

Stratix III デバイスには、次の追加メモリ・クロック前提が必要です。

- すべてのメモリ・クロック出力ピンは、デバイスの同じエッジの DIFFOUT ピン・ペアに配置しなければなりません。
 - 差動 DQS/DQS# ストロープを使用するすべての DDR3 SDRAM および DDR2 SDRAM デザインには、模擬パスで電圧と温度トラッキングのために、(`mem_clk[0]` と `mem_clk_n[0]`) は DIFFIO_RX p- および n- ピンに配置しなければなりません。残りのメモリ出力クロック・ピン (`mem_clk[i]` と `mem_clk_n[i]`, $i=1$ またはより大きい場合) が DIFFIO_RX p- および n- ピンに配置することが必要です。
 - CK ピンが模擬ピンであり、そしてデザインが真の差動 DQS を使用しない DDR SDRAM デザインの場合には、メモリ・クロック出力ピンが DIFFOUT p- および n- ピンに配置しなければなりません。

- DDR3 SDRAM インタフェースには：
 - CK ピンは、CK ピンが DQ、DQS、または DQSn の名称が表示される FPGA 出力ピンに配置しなければなりません。
 - CK ピンは、0° 位相シフトの OUTPUT_PHASE_ALIGNMENT WYSIWYG で供給される必要があります。
 - CK ピンをドライブする PLL クロックは、DQS ピンをドライブするクロックと同じにする必要があります。
 - メモリ・クロック・ピンの T4 (DDIO_MUX) 遅延チェーン設定は、DQS ピン設定と同じにする必要があります。
- 非 DDR3 インタフェースには、メモリ・クロック・ピンの T4 (DDIO_MUX) 遅延チェーン設定は、0 以上なければなりません。
- プログラマブル立ち上がりおよび立ち下がり遅延チェーン設定は、0 以上なければなりません。
- メモリ出力クロック信号は、信号スプリッタが出力 DDIO ブロックに n- ピン・ペアおよびリージョナル・クロックのネットワーク・クロックを生成し、[図 1-16](#) に示される DDIO コンフィギュレーションで生成される必要があります。

図 1-16. 信号スプリッタで構造を構造

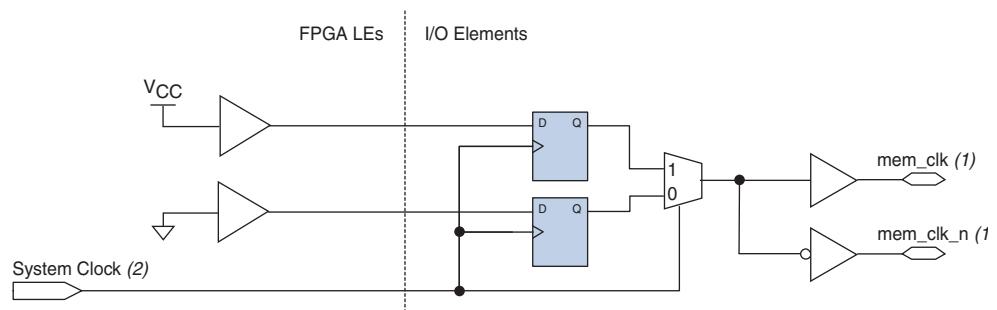


図 1-16 の注：

- (1) DDR3、DDR2、および DDR SDRAM インタフェース用の `mem_clk[0]` および `mem_clk_n[0]` ピンは、フィードバックの I/O 入力バッファを使用するため、双方向の I/O バッファはこれらのピンに使用されます。差動 DQS 入力を使用するメモリ・インタフェースには、入力フィードバック・バッファは差動入力として設定されます；シングル・エンドの DQS 入力を使用するメモリ・インタフェースには、入力バッファはシングル・エンドの入力として設定されます。シングル・エンド入力フィードバック・バッファを使用するために、I/O 規格の VREF 電圧がその I/O バンクの VREF ピンに提供されることが必要です。
- (2) メモリ出力クロックは、ジッタを最小化するためにリージョナル QCLK (1/4) ネットワークが必要です。

ライト・データ前提

ALTMEMPHY ベースのメモリ・インタフェースが FPGA TCCS 出力タイミングの仕様の使用可能を確認するために、以下の前提は必要です。

- QDRII、QDRII+、および RLDRAM II SIO メモリ・インタフェースには、ライト・クロック出力ピン (K/K# や DK/DK# などの) が、DQS/DQSn ピン・ペアに配置する必要があります。

- ライト・クロック信号を生成する PLL クロックおよび、ライト・データ信号を生成する PLL クロックは、ために使用された PLL クロックは、同じ PLL から供給される必要があります。
- すべてのライト・クロックおよびライト・データ・ピンのスルー・レートは Fast に設定されるか、または、OCT は使用されなければなりません。
- オート・デスクューが有効でない場合（または、ALTMEMPHY コンフィギュレーションでサポートされない場合）、Quartus II で適用されたデフォルト値ですべての出力遅延チェーンおよび出力イネーブル遅延に設定されなければなりません。これらの遅延チェーンには、Cyclone III 出力レジスタと出力イネーブルのレジスタ・ピン遅延チェーン、および Stratix III D5 と D6 遅延チェーンが含まれています。
- すべてのライト・クロックおよびライト・データ・ピンの IO_OBUF Atom のオープン・ドレイン出力は、Off に設定されなければなりません。Output Open Drain ロジック・オプションはイネーブルしてはなりません。
- すべてのライト・クロックおよびライト・データ・ピンのウィーク・プルアップは、Off に設定されなければなりません。Weak Pull-Up Resistor ロジック・オプションはイネーブルしてはなりません。
- すべてのライト・クロックおよびライト・データ・ピンのバス・ホールドは、Off に設定されなければなりません。Enable Bus-Hold Circuitry ロジック・オプションはイネーブルしてはなりません。

Arria II GX および Stratix IV デバイス

Arria II GX および Stratix IV デバイスには、次の追加メモリ・クロック前提が必要です。

- 差動ライト・クロック信号 (DQS/DQSn) は、信号スプリッタを使用して生成されなければなりません。
- ライト・データ・ピン (DQ/DM/BWS#) は、選択された DQS ピンと関連付けられた関連 DQ ピンに配置します。このルールの唯一の例外は、2つの ×18 DQ グループを使用してエミュレートされた QDRII および QDRII+ ×36 インタフェースです。そのようなインタフェースには、すべてのライト・データ・ピンは、デバイスの同じエッジに配置します（左右、トップ、または底）。また、ライト・クロック K/K# ピン・ペアは、同じエッジの DQS/DQSn ピン・ペアのうちの 1 つに配置します。
- すべてのクロック・ピンには、同様の回路構造が必要です。
 - DDR3 インタフェースには、すべての DQS/DQS# ライト・ストロブは、OUTPUT_PHASE_ALIGNMENT ブロックのライト・レベリング遅延チェーンでクロックされた DDIO 出力レジスタで供給される必要があります。
 - 非 DDR3 メモリ・インタフェースに、クロックピンが、グローバルまたはリジョナル・クロックのネットワークで DDIO 出力レジスタで供給される必要があります。

- すべてのライト・データ・ピンには、同様の回路構造が必要です。
 - DDR3 インタフェースには、すべてのライト・データ・ピンは、ブロック、 V_{CC} 、または GND で DDIO 出力レジスタで供給される必要があります。
 - DDR3 インタフェースには、すべてのライト・データ・ピンは、グローバルまたはリージョナル・クロックのネットワーク、 V_{CC} 、または GND で DDIO 出力レジスタで供給される必要があります。
- すべてのライト・クロック出力は、ライト・クロック出力の 72° 、 90° 、または 108° より多くの必要があります。
 - DDR3 インタフェースには、ライト・データでライト・クロックを中央に揃えるには、OUTPUT_PHASE_ALIGNMENT ブロックのライト・レベリング遅延チェーンは 72° 、 90° 、または 108° の位相シフトを実装しなければなりません。
 - 非 DDR3 メモリ・インタフェースには、ライト・クロックをクロックする PLL クロックの位相シフトは、生成された中央揃のクロックとデータにライト・データ・クロックをクロックする PLL クロックの位相シフトより $72^\circ \sim 108^\circ$ より多くする必要があります。
- すべての T4 (DDIO_MUX) 遅延チェーンは 3 に設定されます。スプリッタで差動 DQS が使用される時には、T4 は 2 に設定されます。

表 1-35 には、各メモリ・タイプおよびピン配置のライト・クロックとライト・データ信号のためのサポートされる I/O 規格をリストします。

表 1-35. I/O 規格

メモリ・タイプ	配置	DQS の適正な I/O 規格	DQ の適正な I/O 規格
DDR3 SDRAM	ロウ I/O	差動 1.5-V SSTL Class I	1.5-V SSTL Class I
DDR3 SDRAM	カラム I/O	差動 1.5-V SSTL Class I 差動 1.5-V SSTL Class II	1.5-V SSTL Class I 1.5-V SSTL Class II
DDR2 SDRAM	任意	SSTL-18 Class I SSTL-18 Class II 差動 1.8V SSTL Class I 差動 1.8V SSTL Class II	SSTL-18 Class I SSTL-18 Class II
DDR SDRAM	任意	SSTL-2 Class I SSTL-2 Class II	SSTL-2 Class I SSTL-2 Class II
QDR II および QDR II + SRAM	任意	HSTL-1.5 Class I HSTL-1.8 Class I	HSTL-1.5 Class I HSTL-1.8 Class I
RLDRAM II	任意	HSTL-1.5 Class I HSTL-1.8 Class I	HSTL-1.5 Class I HSTL-1.8 Class I

Cyclone III デバイス

Cyclone III デバイスには、次の追加メモリ・クロック前提が必要です。

- ライト・データ・ピン（DM ピンを含む）は、選択される DQS ピンと関連した DQ ピンに配置します。
- すべてのライト・クロック・ピン（DQS/DQS#）は、DDIO 出力レジスタによって供給されます。
- すべてのライト・データピンは、DDIO 出力レジスタ、V_{CC}、または GND によって供給されます。
- ライト・クロックをクロックする PLL クロックの位相シフトは、ライト・データ（名目上 90° オフセット）を生成する PLL クロックの位相シフトより 72° ~ 108° より多くする必要があります。
- ライト・データとクロック出力ピンでの I/O 規格および電流値設定は次の通りです。
 - DDR SDRAM インタフェースのための SSTL-2 Class I と 12 mA、および SSSTL-2 Class II と 16 mA
 - DDR2 SDRAM インタフェースのための SSTL-18 Class I と 12 mA、または SSTL-18 Class II と 16 mA。

Stratix III デバイス

Stratix III デバイスには、次の追加メモリ・クロック前提が必要です。

- 差動ライト・クロック信号（DQS/DQSn）は、信号スプリッタを使用して生成されなければなりません。

- ライト・データ・ピン (DM ピンを含む) は、選択される DQS ピンと関連した DQ ピンに配置します。このルールの唯一の例外は、2つの ×18 DQ グループを使用してエミュレートされた QDR II および QDR II+ ×36 インタフェースです。そのようなインタフェースには、すべてのライト・データ・ピンは、デバイスの同じエッジに配置します (左右、トップ、または底)。また、ライト・クロック K/K# ピン・ペアは、同じエッジの DQS/DQSn ピン・ペアのうちの 1 つに配置します。
- すべてのクロック・ピンは、同様の回路構造が必要です。
 - レベリング・インタフェースの DDR3 SDRAM には、すべての DQS/DQS# ライト・ストロブは、OUTPUT_PHASE_ALIGNMENT ブロックのライト・レベリング遅延チェーンでクロックされた DDIO 出力レジスタで供給される必要があります。
 - DDR および DDR2 SDRAM インタフェースには、すべてのライト・クロック・ピンがグローバルまたはリージョナル・クロックのネットワークで DDIO 出力レジスタで供給される必要があります。
- すべてのライト・データ・ピンには、同様の回路構造が必要です。
 - DDR3 SDRAM インタフェースには、すべてのライト・データ・ピンは、OUTPUT_PHASE_ALIGNMENT ブロック、V_{CC}、または GND でクロックされる DDIO 出力レジスタで供給される必要があります。
 - DDR および DDR2 SDRAM インタフェースには、すべてのライト・データ・ピンは、グローバルまたはリージョナル・クロックのネットワーク、V_{CC}、または GND で DDIO 出力レジスタで供給される必要があります。
- すべてのライト・クロック出力は、ライト・データ出力より 72°、90°、または 108° 多くなければなりません。
 - DDR3 SDRAM インタフェースには、ライト・データでライト・クロックを中央に揃えるには、OUTPUT_PHASE_ALIGNMENT ブロックのライト・レベリング遅延チェーンは 72°、90°、または 108° の位相シフトを実装しなければなりません。
 - DDR および DDR2 SDRAM メモリ・インタフェースには、ライト・クロックをクロックする PLL クロックの位相シフトは、生成された中央揃のクロックとデータにライト・データ・クロックをクロックする PLL クロックの位相シフトより 72° ~ 108° より多くなければなりません。
- すべての T4 (DDIO_MUX) 遅延チェーンは 3 に設定されます。スプリッタで差動 DQS が使用される時には、T4 は 2 に設定されます。プログラマブル立ち上がりおよび立ち下がり遅延チェーン設定は、0 に設定されます。
- プログラマブル立ち上がりおよび立ち下がり遅延チェーン設定は、0 に設定されます。

表 1-36 には、各メモリ・タイプおよびピン配置のライト・クロックとライト・データ信号のためのサポートされる I/O 規格をリストします。

表 1-36. I/O 規格 (その 1)

メモリ・タイプ	配置	DQS の適正な I/O 規格	DQ の適正な I/O 規格
DDR3 SDRAM	ロウ I/O	差動 1.5-V SSTL Class I	1.5-V SSTL Class I
DDR3 SDRAM	カラム I/O	差動 1.5-V SSTL Class I	1.5-V SSTL Class I
		差動 1.5-V SSTL Class II	1.5-V SSTL Class II

表 1-36. I/O 規格 (その2)

メモリ・タイプ	配置	DQS の適正な I/O 規格	DQ の適正な I/O 規格
DDR2 SDRAM	任意	SSTL-18 Class I SSTL-18 Class II 差動 1.8V SSTL Class I 差動 1.8V SSTL Class II	SSTL-18 Class I SSTL-18 Class II
DDR SDRAM	任意	SSTL-2 Class I SSTL-2 Class II	SSTL-2 Class I SSTL-2 Class II
QDR II および QDR II + SRAM	任意	HSTL-1.5 Class I HSTL-1.8 Class I	HSTL-1.5 Class I HSTL-1.8 Class I
RLDRAM II	任意	HSTL-1.5 Class I HSTL-1.8 Class I	HSTL-1.5 Class I HSTL-1.8 Class I

リード・データ前提

外部メモリ・インタフェースが FPGA サンプリング・ウィンドウ (SW) 入力タイミングの仕書を使用できることを確認するために、以下の前提は必要です。

- リード・クロック出力ピンは DQS ピンに配置します。DQS/DQS# 入力は FPGA の差動 DQS/DQSn ピンに配置します。
- リード・データ・ピン (DQ) は、選択される DQS ピンと関連する DQ ピンに配置します。
- QDR II と QDR II+SRAM インタフェースには、コンプリメンタリ・リード・クロックは、HSTL-18 Class I または HSTL-15 Class I のシングル・エンド I/O 規格設定が必要です。
- RLDRAM II インタフェースには、差動リード・クロックは、HSTL-18 Class I または HSTL-15 Class I のシングル・エンド I/O 規格設定が必要です。

Arria II GX および Stratix IV デバイス

Arria II GX および Stratix IV デバイスには、次の追加リード・データと模擬前提ピンが必要です。

- DDR3、DDR2、および DDR SDRAM インタフェースには、リード・クロック・ピンは、DQS バスのクロッキング a × 4 または × 9 DQ グループのみドライブ可能です。
- QDR II、QDR II+、および RLDRAM II SIO メモリ・インタフェースには、リード・クロック出・ピンは、DQS バスのクロッキング × 9、× 18、または × 36 DQ グループのみドライブ可能です。
- 非ラップアラウンド・インタフェースには、すべてのリード・クロックおよびリード・データ・ピンは、デバイスの同じエッジに配置します (左右、トップ、または底)。ラップアラウンド・インタフェースには、これらのピンは、隣接するロウ I/O とカラム I/O に配置し、縮小される周波数に動作します。ラップアラウンド・インタフェースは Stratix IV デバイスでサポートされません (すべてのインタフェースピンは同じエッジに配置する必要があります)。

- すべてのリード・データ・ピンおよび模擬ピンは、DDIO_IN レジスタに供給しなければなりません。
- DQS 位相シフト設定は、72° または 90° でなければなりません（各動作バンドおよびメモリ規格は1つの位相シフトのみサポートする）。
- すべてのリード・クロック・ピンは、False に設定する DQS_DELAY_CHAIN WYSIWYG の `dqs_ctrl_latches_enable` パラメータが必要です。

Cyclone III デバイス

Cyclone III デバイスには、次の追加リード・データと模擬ピン前提が必要です。

- リード・データおよびクロック入力ピンでの I/O 規格設定は次の通りです。
 - DDR SDRAM インタフェースのための SSTL-2 Class I と Class II
 - DDR2 SDRAM インタフェースのための SSTL-18 Class I と Class II
- リード・データおよび模擬入力レジスタ（リード・データ・ピンの入力バッファにより供給されるフリップ・フロップ）は、リード・データピンと隣接する LAB に配置します。リード・データ・ピンは 0 の入力レジスタが必要です。
- IOE からコア・リード・データ / 模擬レジスタピンへの特定の配線ライン。ユーザー定義を制約しなく、LogicLock™ アサインメントは最適でない配線を強制しないとき、Quartus II Fitter は適切な配線を保証します。イ入力レジスタを IOE と隣接する LAB に配置されないように、ユーザー・アサインメントを削除することが必要です。
- コア / レジスタ遅延チェーンのリード・データおよび模擬入力ピンの入力パッド 0 に設定されます。
- すべてのリード・データ・ピンがロウ I/O またはカラム I/O 上に配線する場合、模擬ピンは同じ I/O タイプのに配置します（ロウ I/O にはリード・データ・ロウ I/O、そしてカラム I/O にはリード・データ・カラム I/O）。

Stratix III デバイス

Stratix III デバイスには、次の追加リード・データと模擬ピン前提が必要です。

- DDR3、DDR2、および DDR SDRAM インタフェースには、リード・クロック・ピンは、DQS バスのクロッキング $a \times 4$ または $\times 9$ DQ グループのみドライブ可能です。
- QDRII、QDR II+ SRAM、およびインタフェースには、リード・クロック出・ピンは、DQS バスのクロッキング $\times 9$ 、 $\times 18$ 、または $\times 36$ DQ グループのみドライブ可能です。
- 非ラップアラウンド DDR、DDR2、および DDR3 インタフェースには、模擬ピン、すべてのリード・クロック、およびリード・データ・ピンは、デバイスの同じエッジに配置します（左右、トップ、または底）。ラップアラウンド・インタフェースには、これらのピンは、隣接するロウ I/O とカラム I/O に配置し、縮小される周波数に動作します。
- すべてのリード・データ・ピンおよび模擬ピンは、DDIO_IN レジスタおよび Quartus II デフォルトに設定される入力遅延チェーン D1、D2、および D3 を供給します。

- DQS 位相シフト設定は、72° または 90° でなければなりません（各動作バンドおよびメモリ規格は1つの位相シフトのみサポートする）。
- すべてのリード・クロック・ピンは、False に設定する DQS_DELAY_CHAIN WYSIWYG の `dqs_ctrl_latches_enable` パラメータが必要です。
- すべてのリード・クロック・ピンは、Quartus II デフォルト値が 0 に設定される D4 遅延チェーンが必要です。
- すべてのリード・データ・ピンは、Quartus II デフォルト値が 0 に設定される T8 遅延チェーンが必要です。
- 差動 DQS ストロープが使用される (DDR3 と DDR2 SDRAM) 時には、模擬ピンは真の差動入力バッファに供給します。メモリ・クロック・ピンを `DIFFIO_RX` ピン・ペアに配置することにより、模擬パスが DQS 入力パスのタイミング・バリエーションを追跡することを可能にします。
- シングル・エンド DQS ストロープが使用される時には、模擬ピンは、シングル・エンド入力バッファに供給します。

模擬パス前提

ALTMEMPHY ベースの DDR、DDR2、または DDR3 SDRAM インタフェースの模擬パスが正しく設定されていることを確認するために、模擬パスは `mem_clk[0]` ピンに配置する必要があります。the `mem_clk[0]` pin.

Arria II GX、Stratix III、および Stratix IV デバイス

ALTMEMPHY デザインの電圧と温度トラッキング模擬パスが正しく設定されていることを確認するには、次の追加リード・データと模擬ピン前提が必要です。

- 差動 DQS ストロープが使用される (DDR3 と DDR2 SDRAM) 時には、模擬ピンは真の差動入力バッファに供給します。メモリ・クロック・ピンを `DIFFIO_RX` ピン・ペアに配置することにより、模擬パスが DQS 入力パスのタイミング・バリエーションを追跡することを可能にします。
- シングル・エンド DQS ストロープが使用される時には、模擬ピンは、シングル・エンド入力バッファに供給します。

DLL 前提

以下の DLL 前提が必要です。



この前提は Cyclone III デバイスには適用されません。

- DLL は、ロジックまたは反転を介在せずにその `delayctrlout []` 出力をすべての DQS ピンに直接供給します。
- DLL は、対応するデバイス・データシートで定義されるように動作の有効周波数バンド内にあります。
- DLL には、イネーブルされるジッタ縮小モードおよびデュアル位相があります。

PLL およびクロック・ネットワーク前提

PLL およびクロック・ネットワーク前提は、各デバイス・ファミリによって異なります。

Arria II GX、Stratix III、および Stratix IV デバイス

- 出力クロック・ジッタを最小化するために、Stratix IV デバイスにメモリ出力クロック信号およびライト・データとクロック信号を生成する PLL は No compensation モードに設定されます。
- PLL へのリファレンス入力クロック信号は、隣接 PLL に位置する専用クロック入力ピン、または隣接 PLL からのクロック出力信号でドライブされます。出力クロック・ジッタを最小化するには、グローバルまたはリージョナル・ネットワークのコアを介して、ALTMEMPHY PLL へのリファレンス入力クロック・ピンを配線します。リファレンス・クロックは別の PLL から接続される場合、アップストリーム PLL は No compensation モードと Low bandwidth モードに設定されることが必要です。
- DDR3 および DDR2 SDRAM インタフェースには、ライト・データ、ライト・クロックおよびメモリ出力クロック信号を生成する PLL 出力を配線する場合、リージョナルまたはデュアル・リージョナル・クロック・ネットワークしか使用できません。この要件は、メモリ出力クロック (CK/CK#) がメモリ・デバイス入力クロック・ジッタ仕様を満たし、出力タイミング・バリエーションまたはスキューが最小化されることを保証します。
- 同じクロック・ツリー・タイプ (グローバル、リージョナル、またはデュアル・リージョナル) は、これらの出力間のタイミング・バリエーションまたはスキューを最小にするには、ライト・クロック、ライト・データ、およびメモリ・クロック信号を生成する PLL クロックが推奨されます。

Cyclone III デバイス


メモリ・インタフェースの PLL が正しく設定されていることを確認するために、以下の仮定が必要です。

- Stratix IV デバイスにメモリ出力クロック信号およびライト・データ / クロック信号を生成する PLL は Normal Compensation モードに設定されます。
- PLL カスケードはサポートされません。
- PLL へのリファレンス入力クロック信号は、隣接 PLL に位置する専用クロック入力ピンでドライブされます。出力クロック・ジッタを最小化するには、グローバルまたはリージョナル・ネットワークのコアを介して、ALTMEMPHY PLL へのリファレンス入力クロック・ピンを配線してはいけません。

この章では、一般的な問題およびタイミングの最適化方法を説明します。

一般的な問題

このトピックでは、ALTMEMPHY 使用時に発生する可能性のある潜在的なタイミング・クロージャ問題について説明します。ALTMEMPHY バリエーション付きの可能なタイミング・クロージャ問題について詳しくは、「[Quartus II ソフトウェア・リリース・ノート](#)」を参照してください（使用しているソフトウェア・バージョンを合わせる）。レジスタを移動すること、またはプロジェクト・フィッティング設定の Auto から Standard に変更することにより、タイミング問題を解決できます。

 「[Quartus II ソフトウェア・リリース・ノート](#)」には、Quartus II ソフトウェアの特定のバージョンに、遭遇する共通のタイミング問題をリストします。

タイミング・マージン不在のリポート

Quartus II プロジェクト設定に .sdc が指定されないとき、ALTMEMPHY タイミング・マージン・リポートはコンパイル間に生成されない場合があります。

ALTMEMPHY メガファンクション・バリエーションがトップレベルのプロジェクト・エンティティとして指定される場合、タイミング・マージンのリポートは生成されません。ユーザー・デザインまたはメモリ・コントローラの下位レベル・モジュールとしての ALTMEMPHY バリエーションをインスタンス化します。

不完全なタイミング・マージンのリポート


タイミング・リポートは、一定のタイミング・パスの不在なマージン情報である場合があります。この問題は、一定のメモリ・インタフェース・ピンが合成中に最適化されるときに発生する可能性があります。すべてのメモリ・インタフェース・ピンは、コンパイル間に生成される <variation>_autodetectedpins.tcl ファイルにリストされて、それらがトップレベルの FPGA デザインの I/O ピンと接続されることを保証します。

リード・キャプチャ・タイミング

Stratix IV および Stratix III デバイスでは、選択される DQS 位相シフトが最適ではないか、または、指定されるボード・スキューが大きい場合、リード・キャプチャ・タイミングがエラーを起こすことがあります。


- DLL で実装される効果的な DQS 位相シフトは、リード・タイミング・パスによってセットアップおよびホールド・マージンのバランスをとるために調整できません。DQS 位相シフトは、遅延バッファ（1～4 の範囲）の数を変更することによる 22.5°、30°、36°、または 45° の粗い PVT 補償ステップで、または微ステップにおいて、約 12 ps ステップでの非補償の遅延加算と減算をサポートする DQS 位相オフセット機能を使用して調整できます。
- 粗い位相シフトの選択を調整するには、デバイス・データシートの「スイッチング特性」の章での DLL および DQS ロジック・ブロック仕様表を参照して、選択されたメモリ・インタフェース周波数のサポートされる DLL モードを決定します。例えば、-2 スピード・グレード・デバイスの 400 MHz DDR2 インタフェースは、72° 位相シフトを実装する DLL モード 5（解能 36°、範囲 290～450 MHz）、そして 90° 位相シフトを実装する DLL モード 6（解能 45°、範囲 360～560 MHz）を使用できます。
- この DQS 位相シフトは、このアプリケーション・ノート付きのダウンロード可能な phase_shift.tcl スクリプトおよび README ファイルを使用して調整します。スクリプトは、Stratix IV および Stratix III デバイスだけの位相シフト調整をサポートします。

Cyclone III デバイスでは、リード・キャプチャは、キャリブレーションされるクロックを使用して実装されるため、クロック位相シフト調整は不可能になります。さらに、キャプチャ・レジスタは、定義済み配線で IOE と隣接したロジック・アレイ・ブロック（LAB）の特定の LE レジスタに発送されます。従って、このパスには、どのタイミングの最適化でも不可能であり、FPGA スピード・グレードおよびインタフェース周波数で正しいメモリ・デバイス・スピード・グレードが選択されることを保証してください。

-  ALTMEMPHY または DDR、DDR2、および DDR3 SDRAM High-Performance Controller MegaWizard PHY Settings ページで適切なボード・スキューのパラメータが指定されることを保証します。使用されるデフォルト・ボードのトレース長の mismatches は、20 ps です。

ライト・タイミング

ライト・データ信号を生成して使用される PLL 位相シフトが最適ではない場合、負のタイミング・マージンはライト・タイミング・パスのために報告されます。PLL MegaWizard Plug-In Manager を使用して PLL 位相シフトの選択をライト・クロック PLL 出力に調整します。

-  ALTMEMPHY またはコントローラを再生することは、PLL MegaWizard Plug-In Manager を使用して、変化に上書きします。

アドレスおよびコマンド・タイミング

アドレスおよびコマンド・タイミング・パスのタイミング・マージンは、これらの信号を生成するために使用される PLL 位相シフトを変更することによって最適化できます。ALTMEMPHY またはコントローラ MegaWizard Plug-In の PHY Settings ページに、Dedicated Clock Phase 設定を修正します。

すべてのアドレスとコマンドかつメモリ・クロック出力ピンのためのボード・トレース・モデル情報を正確に指定するには、Quartus II ソフトウェアの Pin Planner 機能を使用します。アドレスとコマンド、かつメモリ・クロック・ピン間の遠端ロード値およびボード・トレースの遅延は、タイミング解析中にそれらが考慮されない場合、タイミング・エラーを発生する可能性があります。

アドレスおよびコマンド・ピンの出力遅延チェーンは Quartus II Fitter により最適にセットできない場合があります。PLL 位相シフト調整は遅延チェーン調整でネゲートされないように、Assignment Editor でロジック・アサインメントを作成して、すべてのアドレスおよびコマンド出力ピン D5 遅延チェーンが 0 に設定されます。

Stratix III、Stratix IV、HardCopy III、および HardCopy IV デバイスでは、コア・タイミングを満たすためにコア・タイミングを満たすには、デバイス・ファミリおよびメモリ周波数のいくつかのコーナー・ケースが、アドレスおよびコマンド・ロック位相に増加を必要とする場合もあります。この状況は、DDR タイミング・リポートが phy_c1k スタート・クロック付きの PHY setup 違反、そしてアドレスおよびコマンド・ラッチ・クロックはそれぞれクロック 0 (ハーフ・レート phy_c1k) か 2 (フル・レート phy_c1k)、または 6 のときに進められます。

このタイミングの違反を検出するときに、必要なアドレスおよびコマンド・クロック位相を進めてそれを固定する場合があります。例えば、400 MHz インタフェース用の 200ps 違反は、クロック期間の 8%、または 28.8° を表しています。従って、位相 270° から 300° までアドレスおよびコマンド位相を進めます。しかし、この行動により、DDR デバイスでセットアップおよびホールド・マージンを減少します。

PHY リセット・リカバリとリムーバル

ALTMEMPHY デザインでのリセット・タイミング違反の一般的な原因は、リセット信号のグローバルまたはリージョナル・クロックのネットワークの選択です。ALTMEMPHY は、リセット信号の専用クロック・ネットワークが必要ありません。ALTMEMPHY PLL 出力だけがクロック・ネットワークを必要とし、クロック・ネットワークを使用している他の PHY 信号でタイミング違反が発生することがあります。

そのようなタイミング違反は、次の行動で修正されます。

- 問題パス (Assignment Editor を使用) の Global Signal のロジック・アサインメントを Off に設定するか、または
- ロジックの配置を調整する (Assignment Editor または Chip Editor を使用)

クロック - ストロープ (DDR および DDR2 SDRAM 用のみ)

メモリ出力クロック信号および DQS ストロープは、同じ PLL 出力クロックを使用して生成されます。従って、タイミングの最適化はこのパスに不可能になり、正のタイミング・マージンは、FPGA データシート仕様以下で実行しているインタフェースのために予想されます。

DDR3 インタフェースには、このパスのタイミング・マージンは Write Leveling として報告されます。

リード再同期化、ポストアンプル、およびライト・レベリング・タイミング (SDRAM 用のみ)

これらのタイミング・パスは、Arria II GX、Stratix IV および Stratix III にのみ適用可能であり、専用 IOE レジスタをドライブするキャリブレーションされたクロック信号を使用することが実装されます。従って、タイミングの最適化はこのパスに不可能になり、正のタイミング・マージンは、FPGA データシート仕様以下で実行しているインタフェースのために予想されます。

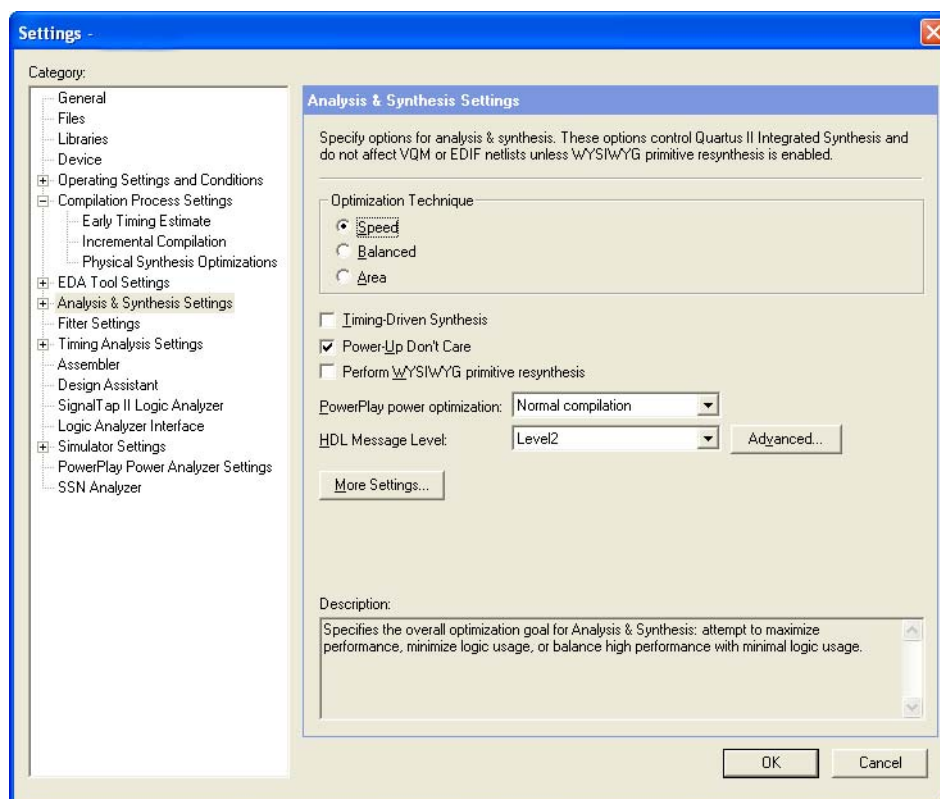
ALTMEMPHY または High-Performance Controller MegaWizard Plug-In に適切なメモリ・デバイス・タイミング・パラメータ (t_{DQSCK} , t_{DSS} , t_{DSH}) およびボード・スキュー (t_{EXT}) が指定されることを保証します。

タイミングの最適化

フル・レート・デザインでは、コア・タイミングと満たすには、これらのステップに従って Quartus II の高度な機能を使用する必要があります。

1. Assignments メニューの Settings をクリックします。Category リストの Analysis & Synthesis Settings を選択します。Optimization Technique の Speed を選択します (図 2-1 を参照)。

図 2-1. 最適化方法



2. Category リストの Physical Synthesis Optimizations をクリックします。以下のステップを指定します。

- Perform physical synthesis for combinational logic をオンにする

 フィジカル・シンセシスについて詳しくは、「Quartus II ソフトウェア・ハンドブック」の「[Netlist and Optimizations and Physical Synthesis](#)」の章を参照してください。

- Perform register retiming をオンにする
- Perform automatic asynchronous signal pipelining をオンにする
- Perform register duplication をオンにする


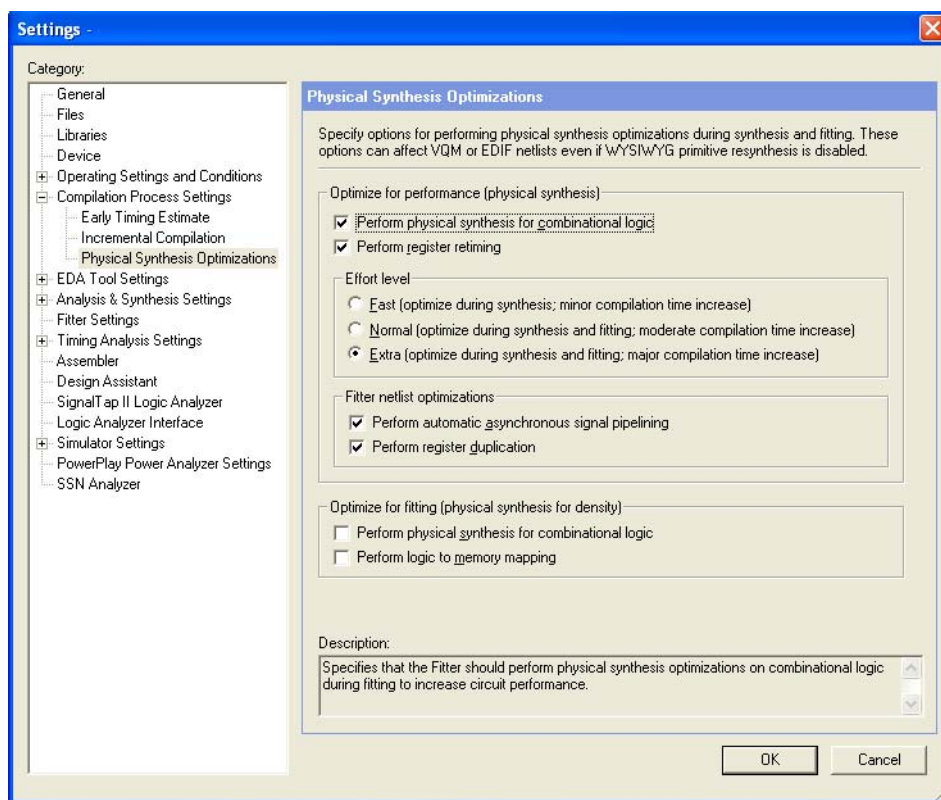

 コア・タイミングが満たされていない場合、まず、Effort level には Normal を選択し、その後もまだ満たされていない場合に、Extra を選択します（[図 2-2](#) を参照）。


図 2-2. フィジカル・シンセシス最適化



この章では、複数のチップ・セレクト DDR2 および DDR3 SDRAM デザインの 2 つのタイミングのディレーティングの方法を説明します。Arria II GX および Stratix IV デバイスには、ALTMEMPHY および High-Performance Controller MegaWizard Plug-In は、複数のチップ・セレクトのディレーティングを選択するオプションがあります。

 他のアルテラデバイスの (例えば、Cyclone III および Stratix III デバイス) のための複数のチップ・セレクト・タイミングのディレーティングを実行するには、「[アルテラのウェブサイト](#)」から Excel ベースのカリキュレータが提供されます。

本章に示されるタイミングのディレーティングはディスクリート・コンポーネントまたは DIMM に適用されます。

 Excel ベースのカリキュレータの DDR2 SDRAM セクションで DDR SDRAM 複数のチップ・セレクト・デザインをディレーティングすることができますが、結果を保証できません。

本章では、HyperLynx または他の PCB シミュレータからタイミングのディレーティング用の PCB シミュレーションで、データを取得する方法の知識があることを前提としています。

バックグラウンド

DIMM には、マザーボードまたはルータなどの別のシステムにそれを接続するピンで小さい PCB 上の 1 か数個の RAM チップが含まれています。


登録されていない (バッファなし) DIMM (または UDIMM) は、直接モジュール・インタフェースから DRAM までアドレスおよび制御バスをモジュールに接続します。

登録された DIMM (RDIMM) は、レイテンシ増大の特別なクロックのコストでレジスタレジスタで電氣的に信号をバッファリングすることによって、シグナル・インテグリティが改善されます (したがって、クロック・レートと総メモリ・サイズも改善される)。さらに、ほとんどの RDIMM が標準の ECC (誤り訂正コード) と共に来ます。

複数のチップ・セレクト・コンフィギュレーションは、1 セットのデータ・ピン (そして、UDIMM のアドレス・ピン) が 2 つ以上のメモリ・ランクに接続されることが可能です。複数のチップ・セレクト・コンフィギュレーションは、シンボル間干渉 (ISI) 効果、ボード効果、およびキャリブレーション効果を含むタイミング解析に多くの効果を与えます。

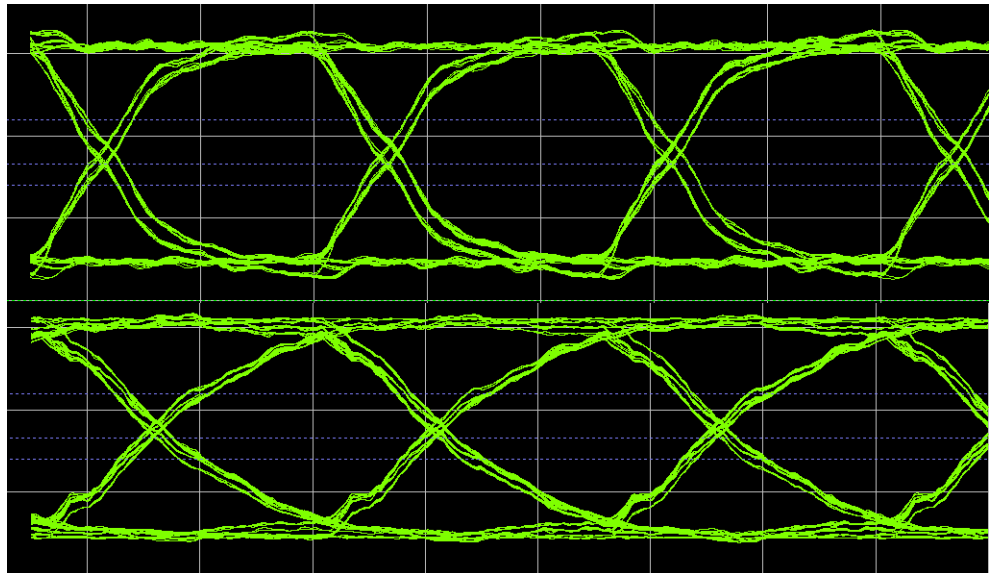
ISI 効果

複数のチップ・セレクトおよび可能なスロットがピンの遠端をロードすることにより、DQ、DQS、およびアドレスとコマンド信号のためのアイ・ダイアグラムの開口部をシングル・ランク・デザインより小さくさせる信号への ISI 効果がある場合もあります（図 3-1 を参照）。図 3-1 には、シングル・ランク・システム（トップ）および複数のチップ・セレクト・システム（ボトム）の DQ 信号のためのアイ・ダイアグラムの開口部の縮小を示します。ISI アイ・ダイアグラムの開口部の縮小のため、ライト・パス、およびアドレスとコマンド・パス分析の利用可能なタイミング・ウィンドウが減少します。Synopsis デザイン制約 (.sdc) ファイルの出力遅延制約としてそれらを指定する必要があります。

 Quartus II ソフトウェアのボード・トレース・モデルはシングル・ランクの効果を考慮できますが、複数のチップセレクトにより起こされる効果を分析できません。

追加のランクからの特別なロードは、FPGA から信号のスルー・レートを低減させます。スルー・レートのこの低減は、データ、アドレス、コマンドとコントロール・セットアップとホールド時間を含むメモリ・パラメータに影響します (tDS、tDH、tIS、および tIH)。

図 3-1. DQ 信号のアイ・ダイアグラムの開口部の縮小




キャリブレーション効果

SI 効果については、複数のチップ・セレクト・トポロジは、FPGA がメモリにキャリブレートする方法を変更します。レベリング付きのシングル・ランクの状況では、キャリブレーション・アルゴリズムは、ライト・レベリングおよび再同期タイミング要件が満たされて、メモリからの特定の DQ および DQS ピン遅延が等化される (401 MHz 以上だけで) ように、遅延チェーンを FPGA にセットします。レベリングなしのシングル・ランクの状況では、最適なシングル・ランクのためにキャリブレーション・アルゴリズムが再同期またはキャプチャ位相を中央に集まります。システムに 2 つ以上のランクがあるとき、キャリブレーション・アルゴリズムはランクの平均ポイントにキャリブレーションされることが必要です。

ボード効果

PCB の長さが異なると、タイミング・マージンの減少が遅延されます。さらに、異なるメモリ・ランク間のスキューは、複数のチップ・セレクト・トポロジのタイミング・マージンをさらに減少することができます。ボード・スキューは、FPGA がさまざまなランクにキャリブレーションできる範囲に影響する場合があります。異なるランクのさまざまな信号間のスキューが十分に大きい場合、ライト・レベリングおよび再同期変化などの完全にキャリブレートされたパスのタイミング・マージンを変化します。

Arria II GX および Stratix IV GX デバイスのすべてのこれらのボード効果を考慮するには、ALTMEMPHY ウィザード・ボード設定タブを参照してください。

 他のアルテラのデバイス (例えば、Cyclone III および Stratix III デバイス) のための複数のチップ・セレクト・タイミングのディレーティングを実行するには、[アルテラのウェブサイト](#)から Excel ベースのカリキュレータが提供されます。

ALTMEMPHY ベース・デザインに複数のチップ・セレクトの実装

複数のチップ・セレクト・システムには、個々のランクはそれ自身のチップ・セレクト信号があります。その結果、ALTMEMPHY または高性能コントローラ・ウィザードの Preset Editor の Total memory chip selects を変更することが必要です (図 3-2 を参照)。


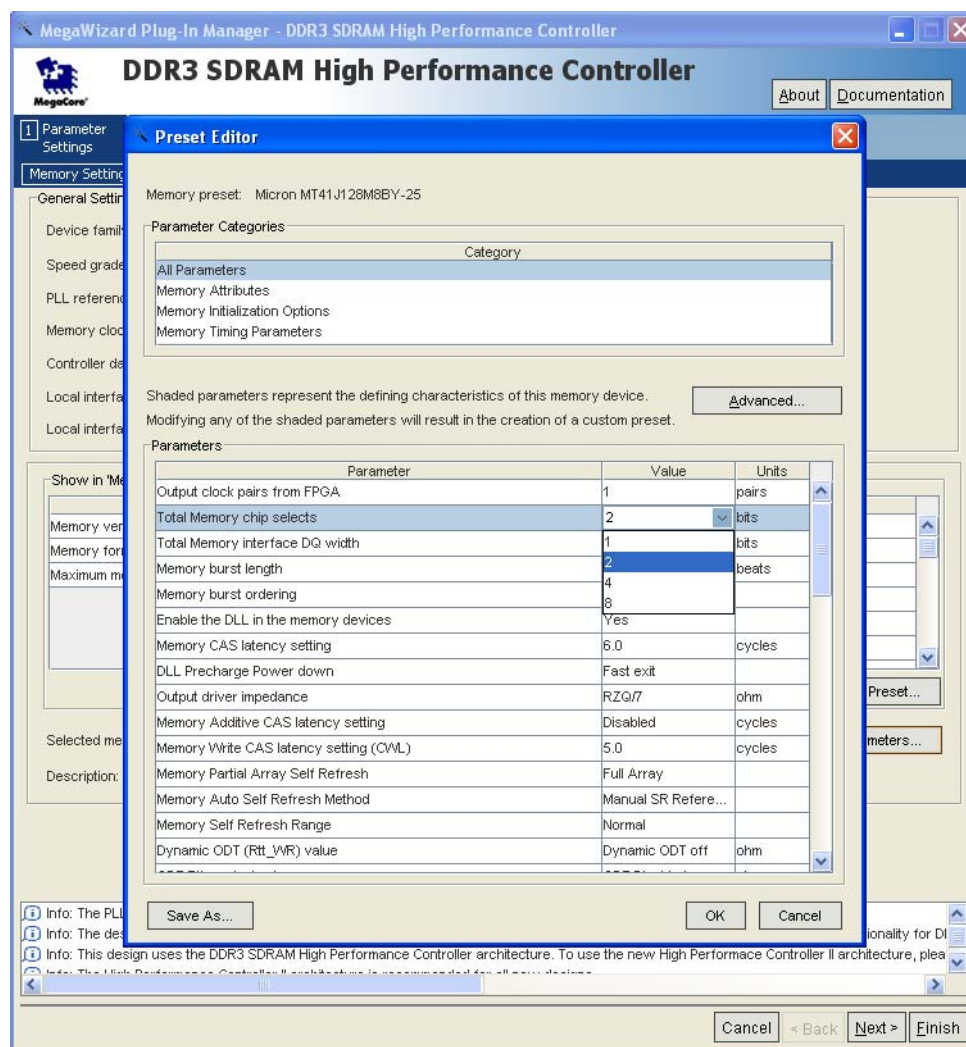
 Preset Editor には、Board Settings タブは複数のチップ・セレクト・スルー・レートのディレーティングを考慮するため、ベースライン・ディレートなしの tDH、tIS、tIH 値はそのままにしておきます。

図 3-2. 複数のチップ・セレクトの選択



Board Settings タブを使用するタイミング・ディレーティング (Arria II GX および Stratix IV デザインのみ)

Arria II GX または Stratix IV デバイスをターゲットとするときには、ALTMEMPHY ウィザードは Board Settings タブを含み、デザインの複数のチップ・セレクトにより起こされたタイミングのディレーティングを自動的に考慮します。

Cyclone III または Stratix III デバイスをターゲットとしている場合、以下の警告が表示されます。

"Warning: Calibration performed on all chip selects, timing analysis only performed on first chip select. Manual timing derating is required"


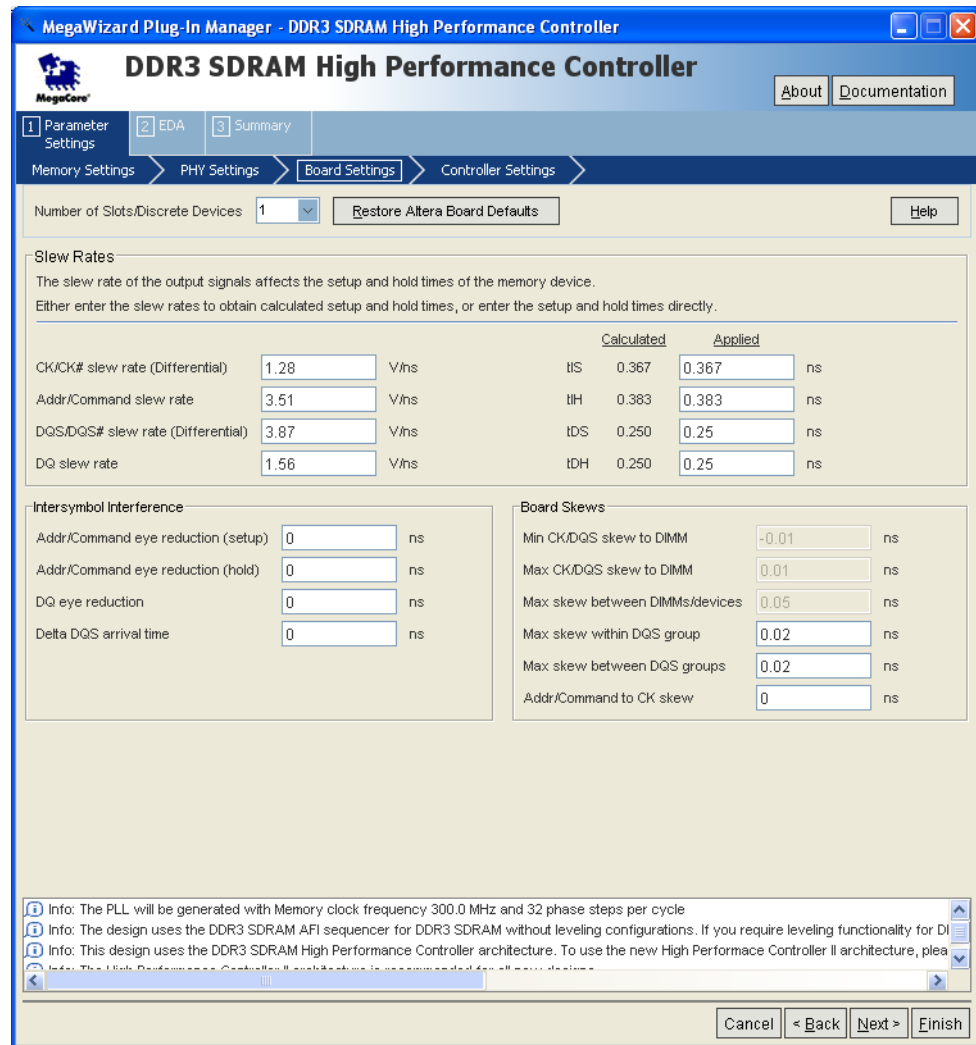
 Excel ベースのカリキュレータを使用してマニュアルのタイミングのディレーティングを実行する必要があります。

図 3-2 図 32 には、Board Settings タブを示します。それは、スキュー、シグナル・インテグリティ、およびスルー・レートを含むボード・デザインおよび関連パラメータを入力することができます。Board Settings タブには、Addr/Command to CK skew のボード・スキュー設定パラメータが含まれています（以前には PHY 設定タブで）。

図 3-3. Board Settings タブ



スルー・レート

以下のいずれかの方法でスルー・レートを取得できます。

- さまざまな複数のチップ・セレクト・コンフィギュレーションの出力スルー・レートおよび ISI 効果を計算するには、内部のアルテラのボードの PCB シミュレーションを実行します。これらのシミュレーション数は、選択されるランクの数に基づく Slew Rates に事前に入力されています。そして、アドレスおよびコマンド・セットアップとホールド時間 (tDS、tDH、tIS、tIH) は、Preset Editor


に入力されるスルー・レート値およびベースラインのディレーティングなし t_{DS} 、 t_{DH} 、 t_{IS} 、および t_{IH} 数から計算されます。ウィザードは、Slew Rates の計算された値を示します。特定のシステムに正確なスルー・レートを取得するシミュレータにアクセスできない場合、アルテラは、実際のボード・パラメータのおおよその予測のために、これらの事前に入力される数を使用することを推奨します。

- あるいは、専用のボード・シミュレーション結果がスルー・レートで利用可能のとき、これらのデフォルト値を更新することができます。カスタムのスルー・レートは、 t_{DS} 、 t_{DH} 、 t_{IS} 、 t_{IH} 値を更新します。アルテラでは、ボードの正確なボード・レベル効果を考慮するスルー・レート数を計算するために、ボード・レベル・シミュレーションを実行することを推奨します。
- 正確な専用の結果によって利用可能なベンダ・データシートから、自動計算の t_{DS} 、 t_{DH} 、 t_{IS} 、 t_{IH} 値を直接変更できます。

シンボル間干渉

ISI パラメータは、選択されるランクの数に基づき、アルテラの PCB シミュレーションで自動的に入力されます。より精度の専用のシミュレーション結果が利用可能のとき、これらの自動的に入力される標準値を更新することができます。

アルテラでは、ボードの正確なボード・レベル効果を考慮するスルー・レート数および ISI デルタを計算するために、ボード・レベル・シミュレーションを実行することを推奨します。これらのシミュレーション数を取得するには、HyperLynx または同様なシミュレータを使用できます。デフォルト値は、複数の DDR2 と DDR3 SDRAM スロットでアルテラ・ボードのための HyperLynx シミュレーションを使用して計算されました。

-  DQ および DQS ISI には、総 ISI に 1 つのテキスト・ボックスがあります。それは対称のセットアップとホールドとします。アドレスとコマンドには、2 つのテキスト・ボックスがあります。それは、前方エッジおよび進行エッジの ISI 用（非対称 ISI を許可するために）です。

ウィザードは、.sdc ファイルへのスルー・レートおよび ISI を記述し、タイミング解析中に使用されます。

ボード・スキュー

表 3-1 には、6 種類のボード・スキューについて説明します。

表 3-1. ボード・スキュー (その 1)

ボード・スキュー	説明
DIMM への最低の CK/DQS スキュー	ランクに到達する時の CK 信号および DQS 信号間で存在する最大の負のスキューです。この値は、複数のチップ・セレクト・コンフィギュレーションにのみ DDR3 SDRAM DIMM インタフェースのためのライト・レベリング・マージンに影響します。
DIMM への最高の CK/DQS スキュー	ランクに到達する時の CK 信号および DQS 信号間で存在する最大の負のスキュー（または最大の正のスキュー）です。この値は、複数のチップ・セレクト・コンフィギュレーションにのみ DDR3 SDRAM DIMM インタフェースのためのライト・レベリング・マージンに影響します。

表 3-1. ボード・スキュー (その 2)

ボード・スキュー	説明
DIMM 間の最高のスキュー	ランク間の最大のスキューまたは伝播遅延です (特に異なるスロットでの異なるのランクに)。この値は、複数のチップ・セレクト・コンフィギュレーションの DDR2 および DDR3 SDRAM インタフェースの再同期マージンに影響します。
DQS グループ内の最高のスキュー	DQS グループの DQ ピン間の最大のスキューです。この値は、DDR2 とおよび DDR3 SDRAM インタフェースのリード・キャプチャとライト・マージンに影響します。
DQS 間の最高のスキュー	異なる DQS グループの DQS 信号間の最大のスキューです。この値は、DDR2 および DR3 SDRAM のノン・レベルのメモリ・インタフェースの再同期マージンに影響します。
CK スキューへのアドレスおよびコマンド	CK 信号およびアドレスとコマンド信号間の傾スキュー (または伝播遅延) です。正值は、CK 信号より長いアドレスとコマンド信号を表し、負値は CK 信号より短いアドレスとコマンド信号を表します。Quartus II ソフトウェアは、DDR2 と DDR3 SDRAM インタフェースの適切なセットアップおよびホールド・マージンを持つために、アドレスとコマンド信号の遅延を最適化するスキューを使用します。

Excel ベースのカリキュレータを使用するタイミングのディレーティング

他のアルテラのデバイス (例えば、Cyclone III および Stratix III デバイス) のための複数のチップ・セレクト・タイミングのディレーティングを実行するには、[アルテラのウェブサイト](#)から Excel ベースのカリキュレータが提供されます。

Excel ベースのカリキュレータは、組み込みの式に基づく最終的な結果の入力と出力としてスルー・レート、アイ・ダイヤグラムの開口部の縮小、および複数のチップ・セレクト・システムのボード・スキューなどのデータを必要とします。

カリキュレータは、システムのシングル・ランク・バージョンから Quartus II のタイミングの結果 (レポート DDR セクション) を必要とします。また、カリキュレータに必要なスルー・レートおよび ISI 情報のために、2 回のシミュレーションが必要です：システムおよび複数のチップ・セレクト・システムのシングル・ランク・バージョンのベース・ラインです。カリキュレータは、対象の信号のためにこれらのシミュレーション結果のタイミングのデルタを使用します (DQ、DQS、CK/CK#、アドレスとコマンド、および CS)。特定のボードには、ボード・スキューを入力する必要があります。カリキュレータは、最終にティレートされるタイミング・マージンを出力します。それは、複数のチップ・セレクト・システムの性能の完全解析を提供します。


このフローの主要仮定は、システムのシングル・ランク・バージョンで使用可能なボード・トレース・モデルがあることです。ボード・トレース・モデルがある場合、Quartus II ソフトウェアはシングル・ランク・ケースの効果を正しく自動的にティレートします。したがって、シングル・ランク・バージョンが正確なベースラインを提供する場合、Excel ベースのカリキュレータは、サポートされるシングル・ランク・タイミング解析のディレーティングを提供します。

正確なベースライン・タイミング解析のために、シングル・ランク・ボード・トレース・モデルが Quartus II プロジェクトに含まれていることを確認する必要があります。ボード・トレース・モデルがない場合、この項の終わりに説明されるプロセスを従います。

タイミングのディレーティングに Excel ベースのカリキュレータの使用前

タイミングのディレーティングに Excel ベースのカリキュレータを使用する前に、以下の項目を確認してください。

1. インスタンス化されるメモリ IP がある Quartus II プロジェクト。最も正確なタイミング・モデルには、Quartus II ソフトウェアの最新バージョンを使用します。
2. システム用のシングル・ランク・バージョンのボード・トレース・モデル。

 ボード・トレース・モデルがない場合、3-11 ページの「タイミングのディレーティングに Excel ベースのカリキュレータの使用（ボード・トレース・モデルなし）」を参照してください。

Excel ベース・カリキュレータの使用

Excel ベースのカリキュレータで複数のチップ・セレクト・デザインのディレートされるタイミング・マージンを取得するには、以下のステップに従います。

1. Quartus II ソフトウェアのメモリ・インタフェース・デザインを作成します。
2. シングル・ランク・システムのボード・トレース・モデルが指定されることを保証します。
3. 低速 85C モデル・タイミング結果を使用します (図 3-4 を参照)。


 全コーナーからのワースト・ケース値を使用します (いくつかの値は異なるコーナーから来る場合もあることを意味する)。例えば、セットアップ値は低速 85C モデルから来る場合があり、そして同じ指標のホールド値が速速 0C モデルから来る場合があります。多くの場合には、低速 85C モデルを使用するのは十分正確であるべきです。

図 3-4. 低速 85C モデルの Quartus II リポート DDR セクション・タイミング結果

Path	Operating Condition	Setup Slack	Hold Slack
1 Address Command (Slow 900mV 85C Model)	Slow 900mV 85C Model	1.333	0.682
2 Half Rate Address/Command (Slow 900mV 85C Model)	Slow 900mV 85C Model	4.669	0.687
3 PhY (Slow 900mV 85C Model)	Slow 900mV 85C Model	0.714	0.282
4 PhY Reset (Slow 900mV 85C Model)	Slow 900mV 85C Model	2.872	0.500
5 Read Capture (All Conditions)	All Conditions	0.275	0.284
6 Read Resync (All Conditions)	All Conditions	0.787	0.787
7 Write (All Conditions)	All Conditions	0.129	0.484

4. Quartus II タイミング解析からのリポート DDR 結果を Excel ベースのカリキュレータに入力します (図 3-5 を参照)。

図 3-5. カリキュレータ

Multi-Chip Select Calculator for DDR3		
1. Results obtained from Quartus		
Path	Setup Slack	Hold Slack
Address Command	0.374	0.197
Half Rate Address/Command	2.234	0.193
Phy	0.136	0.025
Phy Reset	0.176	0.291
Read Capture	0.019	0.03
Read Resync	0.169	0.169
Write	0.016	0.007
Write Leveling tDQSS	0.149	0.099
Write Leveling tDSS/tDSH	0.005	0.135

5. 次の値を取得するには、PCB SI シミュレーションを実行します。

- データ、ストロブ、およびアドレスとコマンド信号のシングル・ランク・アイおよびトポロジー・アイ・ダイヤグラムの開口部の幅
- クロック、アドレスとコマンド、およびデータとストロブ信号の複数のチップ・セレクト・トポロジー・スルー・レート

表 3-1 には、様々な信号とメモリ・インタフェース・タイプ用のデータ・レートおよび推奨スティミュラスのパターンが推奨されています。


 ツールが必要とする関連入力ファイルにアクセスできるとき、またはプリレイアウト・ラインシミュレーションを使用するとき（より正確なレイアウト情報の不入手可能の場合）、シミュレーション・ツールを使用してください（例えば、HyperLynx）。

表 3-2. データ・レートおよびスティミュラスのパターン

メモリ・インタフェース	CLK および DQS トグルのパターン (MHz)	DQ PRBS のパターン (MHz)	アドレスおよびコマンド PRBS のパターン (MHz)
DDR2 SDRAM (ハーフ・レート・コントローラ付き)	400	400	100
DDR2 SDRAM (フル・レート・コントローラ付き)	300	300	150
DDR3 SDRAM (ハーフ・レート・コントローラ付き)	533	533	133

- Excel ベースのカリキュレータに入力するデルタを計算します。例えば、シングル・ランク・ケースの DQ が 853.682 ps であり、デュアル・ランク・ケースの DQ が 805.137 ps である場合、48 ps をカリキュレータに入力します（[図 3-6](#) を参照）。


 複数のロードがある信号には、すべてのターゲット位置の測定を見て、すべてのケースでのワースト・ケースのアイの幅を選択します。例えば、アドレス・バスには、A7 がピン A0 ~ A14 からのワースト・ケースのアイ・ダイヤグラムの開口部の幅にある場合、アドレス信号の測定を使用してください。

図 3-6. ISI およびスルー・レート値

Intersymbol Interference	
Path	Time (in ns)
Address Command eye reduction on the setup	0.013
Address Command eye reduction on the hold	0.013
DQ eye reduction	0.048
Variation in DQS arrival time	0.003
Slew Rates Deration	
Path	V/ns
DQ	1
DQS (differential)	2
Address/Command	1
CK (differential)	2
extra tDS	0
extra tDH	0
extra tIS	0
extra tIH	0

- スルー・レートのディレーティング・セクションにトポロジー・スルー・レートを入力します。カリキュレータは追加の tDS、tDH、tIS、tIH 値を計算します。
- ボード・シミュレーションまたは PCB ベンダから PCB のボード・スキュー数を取得して、それらを入力します（[図 3-7](#) を参照）。

図 3-7. ボード・スキュー値

Board Skews	
Path	Time (in ns)
Maximum skew between DIMMs	0.05
Minimum CK/DQS to one DIMM	0.01
Maximum CK/DQS to one DIMM	0.03

そして、Excel ベースのカリキュレータは、複数のチップ・セレクト・デザインの最終のディレイトされる数を入力します。

図 3-8. ディレイトされるセットアップおよびホールド値

Final Multi Chip Select Results		
Path	Setup Slack	Hold Slack
Address Command	0.361	0.184
Half Rate Address/Command	2.228	0.187
Phy	0.136	0.025
Phy Reset	0.176	0.291
Read Capture	0.019	0.030
Read Resync	0.119	0.119
Write	-0.010	-0.019
Write Leveling tDQSS	0.126	0.076
Write Leveling tDSS/ADSH	-0.018	0.112

これらの値は、複数のチップ・セレクト・デザイン・タイミングの正確な計算であり、提供するシミュレーション・データが正しいと仮定します。この例では、いくつかのパスに負のスラックスがあるため、このデザインはタイミングを過ぎません。4つのつのオプションがあります。

- マージンを最適化して、それでタイミングを改良することを確認する (例えば、アドレスとコマンド位相設定を変更)
- デザインの周波数を低くする
- ロードを低くする (ロードおよびスキューを下げるには、インタフェースのトポロジーを変更)
- より高速 DIMM を使用する

タイミングのディレーティングに Excel ベースのカリキュレータの使用 (ボード・トレース・モデルなし)

ボード・トレース・モデルがシングル・ランク・システムの信号に使用不可能場合、これらのステップに従います。

1. ターゲットとしている Stratix III または Cyclone III デバイスの Quartus II プロジェクトを作成し、メモリ・インタフェースのための高性能 SDRAM コントローラをインスタンス化します。
2. ボード・トレース・モデル (0-pf ロードと仮定する) に入力せず、Quartus II デザインをコンパイルします。
3. レポート DDR セットアップとホールド・スラックス数を Excel ベースのカリキュレータに入力します。
4. 0-pf ロード・シミュレーションのプリレイアウト・ライン・シミュレーションを実行し、アイ・ダイアグラムの開口部の幅およびスルー・レート数を取得します。トポロジーの複数のチップ・セレクト・シミュレーションを実行し、Excel ベースのカリキュレータを使用します。

アルテラへのお問い合わせ

Altera® 製品に関する最新の情報については、次の表を参照してください。

お問い合わせ先 (注 1)	連絡方法	お問い合わせ先
テクニカル・サポート	ウェブサイト	www.altera.com/support
テクニカル・トレーニング	ウェブサイト	www.altera.com/training
	電子メール	custrain@altera.com
アルテラの資料に関するお問い合わせ	電子メール	literature@altera.com
一般的なお問い合わせ (ソフトウェア・ライセンス)	電子メール	nacomp@altera.com
	電子メール	authorization@altera.com





注:

(1) 詳しくは、日本アルテラまたは販売代理店にお問い合わせください。

表記規則

本書では、以下の表に示す表記規則を使用しています。

書体	意味
太字かつ文頭が大文字	コマンド名、ダイアログ・ボックス・タイトル、ダイアログ・ボックス・オプション、およびその他の GUI ラベルを表します。例えば、Save As ダイアログ・ボックス。GUI エlement には、大文字は GUI に適合します。
太字	ディレクトリ名、プロジェクト名、ディスク・ドライブ名、ファイル名、ファイルの拡張子、ダイアログ・ボックス・オプション、ソフトウェア・ユーティリティ名、および GUI のその他のラベルを表します。例えば、\qdesigns directory, d: drive, and chiptrip.gdf ファイル。
斜体かつ文頭が大文字	資料のタイトルを表します (例えば、AN 519: Stratix IV デザイン・ガイドライン)。
斜体	例えば、 $n + 1$ 。 変数名は、山括弧 (<>) で囲んでいます (例えば、<file name> および <project name>.pof ファイル)。
文頭が大文字	キーボード・キーおよびメニュー名を表します (例えば、Delete キーおよび Options メニュー)。
「小見出しタイトル」	かぎ括弧は、資料内の小見出しおよび Quartus II Help トピックのタイトルを表します (例えば、「表記規則」)。

書体	意味
Courier フォント	<p>信号、ポート、レジスタ、ビット、ブロック、およびプリミティブ名を表します (例えば、data1、tdi、および input)。アクティブ Low 信号は、サフィックス n で表示されています (例: resetn)。</p> <p>コマンドライン・コマンド、および表示されているとおりに入力する必要があるものを表します (例えば、 c:\qdesigns\tutorial\chiptrip.gdf)。</p> <p>また、Report ファイルのような実際のファイル、ファイルの構成要素 (例: AHDL キーワードの SUBDESIGN)、ロジック・ファンクション名 (例: TRI) も表します。</p>
1.、2.、3. および a.、b.、c. など	手順など項目の順序が重要なものは、番号が付けられリスト形式で表記されています。
■ ■	箇条書きの黒点などは、項目の順序が重要ではないものに付いています。
	指差しマークは、要注意箇所を表しています。
	注意は、製品または作業中のデータに損傷を与えたり、破壊したりするおそれのある条件や状況に対して注意を促します。
	警告は、ユーザーに危害を与えるおそれのある条件や状況に対して注意を促します。
	矢印は、Enter キーを押すよう指示しています。
	足跡マークは、詳細情報の参照先を示しています。