

この章では、ロジック・エレメント (LE) およびロジック・アレイ・ブロック (LAB) の機能定義について説明します。LE の動作、LAB に LE のグループを含める方法、および LAB と Cyclone®IV デバイス内の他のブロックとのインタフェース方法についても詳しく説明しています。

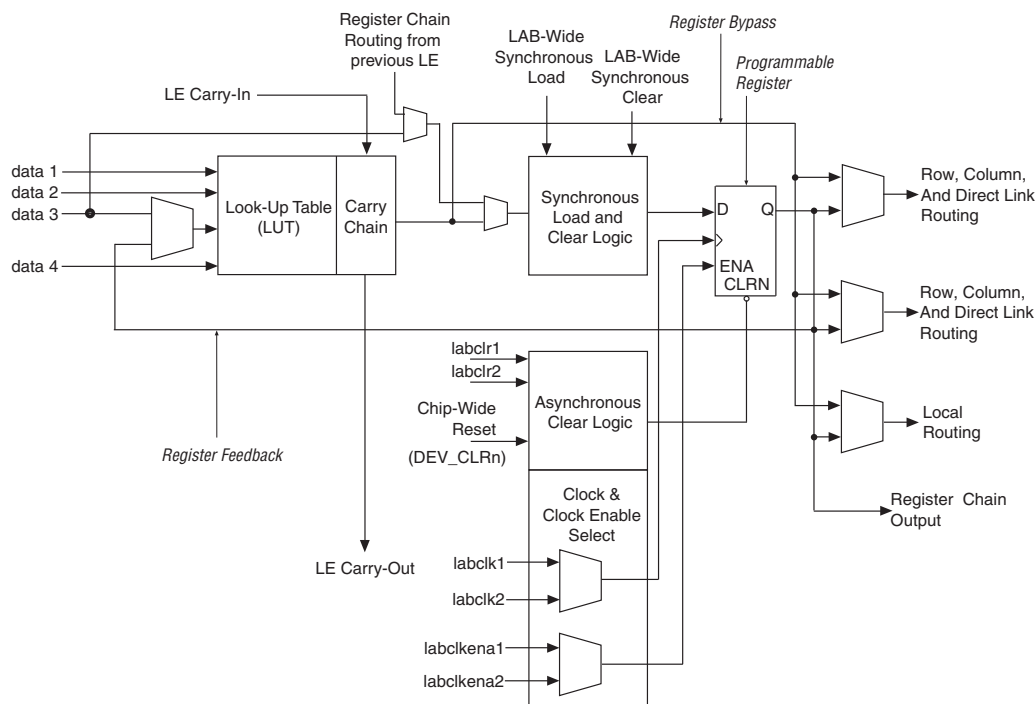
### ロジック・エレメント

ロジック・エレメント (LE) は、Cyclone IV デバイス・アーキテクチャにおけるロジックの最小単位です。LE はコンパクトであり、ロジックを効率的に使用しながら高度な機能を提供します。以下に、各 LE の特長を示します。

- 4 変数による任意のファンクションを実装可能な 4 入力ルック・アップ・テーブル (LUT)
- プログラマブル・レジスタ
- キャリー・チェイン接続
- レジスタ・チェイン接続
- 以下のインタコネクトをドライブ可能
  - ローカル
  - ロウ
  - カラム
  - レジスタ・チェイン
  - ダイレクト・リンク
- レジスタ・パッキングのサポート
- レジスタ・フィードバックのサポート

図 2-1 に、Cyclone IV デバイスの LE を示します。

図 2-1. Cyclone IV デバイスの LEs



## LE の特長

各 LE のプログラマブル・レジスタは、D、T、JK、または SR フリップ・フロップ動作を行うようにコンフィギュレーションできます。各レジスタには、データ、クロック・イネーブル、およびクリア入力があります。グローバル・クロック・ネットワーク、汎用 I/O ピン、または任意の内部ロジックを使用する信号は、レジスタのクロックおよびクリア・コントロール信号をドライブすることができます。汎用 I/O ピンまたは内部ロジックのいずれかが、クロック・イネーブルをドライブできます。組み合わせファンクションでは、LUT 出力はレジスタをバイパスし、LE 出力に直接ドライブします。

各 LE には、ローカル、ロウ、およびカラム配線リソースをドライブする 3 本の出力があります。LUT またはレジスタ出力は、これらの出力を個別にドライブできます。2 本の LE 出力がカラムまたはロウ、およびダイレクト・リンク配線接続をドライブし、1 本の出力がローカル・インタコネクト・リソースをドライブします。これにより、レジスタがある出力をドライブしている状態で、LUT が別の出力をドライブすることが可能になります。この機能はレジスタ・パッキングと呼ばれ、デバイスの稼働率を向上させます。これはレジスタと LUT を全く別の機能として使用できるからです。レジスタ・パッキングを使用するときには、LAB ワイドの同期ロード・コントロール信号は使用できません。同期ロード・コントロール信号について詳しくは、2-6 ページの「LAB コントロール信号」コントロール信号  $\bar{A}v$  を参照してください。

別の特種パッキング・モードでは、レジスタ出力を同じ LE の LUT にフィードバックさせて、レジスタを自身のファンアウト LUT とパッキングすることができ、フィッティング機能を向上させる別のメカニズム提供します。また、LE はラッチされた出力およびラッチされていない出力の両方の LUT 出力もドライブ・アウト可能です。

3 の一般配線出力に加えて、LAB 内の LE にはレジスタ・チェイン出力があります。レジスタ・チェイン出力により、同一 LAB 内のレジスタをカスケード接続できます。レジスタ・チェイン出力により、LUT を組み合わせファンクションに使用したり、レジスタを別のシフト・レジスタの実装に使用することができます。これらのリソースは、LAB 間の接続を高速化し、同時にローカル・インタコネクト・リソースの節約を図ります。

## LE の動作モード

Cyclone IV の LE は、以下のモードで動作します

- ノーマル・モード
- 演算モード

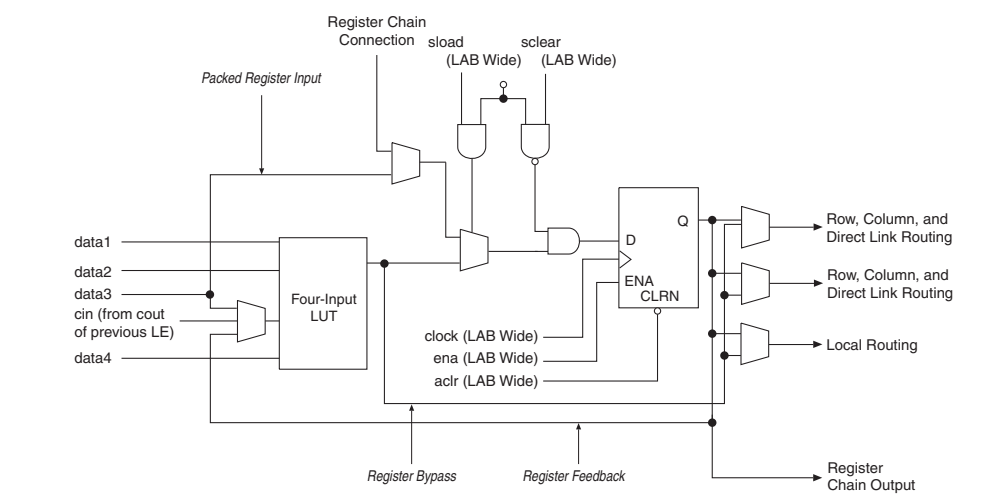
Quartus®II ソフトウェアは、LPM (Library of Parameterized Modules) ファンクションなどのパラメータ化されたファンクションを併用することによって、カウンタ、加算器、減算器、および演算ファンクションなどの一般的なファンクションに対して、適切なモードを自動的に選択します。また、必要に応じて、ユーザーが特別なファンクションを作成して、各デザインに最適な性能が得られる LE の動作モードを指定することもできます。

### ノーマル・モード

ノーマル・モードは、汎用のロジック・アプリケーションや組み合わせファンクションに適しています。ノーマル・モードでは、LAB ローカル・インタコネクトからの 4 本のデータ入力が 4 入力 LUT の入力になります (図 2-2 を参照)。Quartus II コンパイラは、キャリー・イン (cin) または data3 信号を LUT の入力の 1 つとして自動的に選択します。ノーマル・モードの LE は、レジスタ・パッキングおよびレジスタ・フィードバックをサポートします。

図 2-2 に、ノーマル・モードの LE を示します。

図 2-2. Cyclone IV デバイスのノーマル・モードの LE

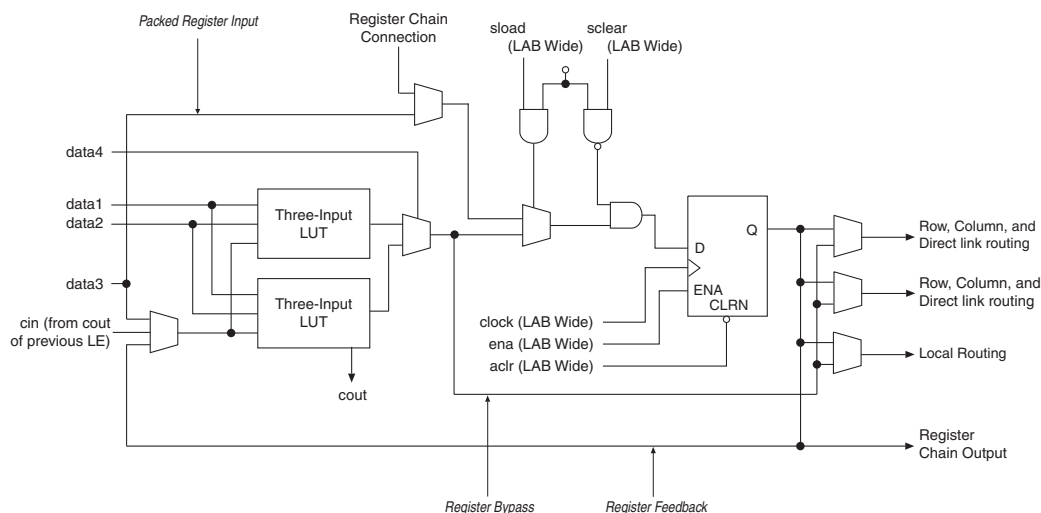


## 演算モード

演算モードは、加算器、カウンタ、アキュムレータ、およびコンパレータの実装に最適です。演算モードにおいて、LE は 2 ビットの全加算器と基本的なキャリー・チェーン (図 2-3) を実装します。また、演算モードの LE はラッチされた出力、またはラッチされていない出力のいずれの LUT 出力もドライブ・アウト可能です。レジスタ・フィードバックおよびレジスタ・パッキングは、LE が演算モードで使用されているときにサポートされます。

図 2-3 に、演算モードの LE を示します。

図 2-3. Cyclone IV デバイスの演算モードの LE



Quartus II のコンパイラは、デザイン処理中にキャリー・チェーン・ロジックを自動的に作成しますが、ユーザーがデザインの入力時に手動で作成することもできます。LPM ファンクションなどのパラメータ化されたファンクションは、キャリー・チェーンの利点を自動的に活用して、適切な機能を実現します。

Quartus II コンパイラは、同じカラムの複数の LAB を自動的にリンクさせて、16 個の LE よりも長いキャリー・チェーンを作成します。フィッティング機能を強化するために、長いキャリー・チェーンを垂直に並べ、ダイレクト・リンク・インタコネクトによって M9K メモリ・ブロックまたはエンベデッド・マルチプライヤへの水平方向の接続を高速化することができます。例えば、デザインに M9K メモリ・ブロックのカラムに隣接する LAB カラムに長いキャリー・チェーンがあった場合、どの LE 出力も隣接する M9K メモリ・ブロックにダイレクト・リンク・インタコネクトを通じて供給できます。キャリー・チェーンが水平に並んでいる場合、M9K メモリ・ブロックのカラムに隣接していない LAB は、他のロウまたはカラム・インタコネクトを使用して、M9K メモリ・ブロックをドライブすることになります。キャリー・チェーンはカラム全体に延長します。

## ロジック・アレイ・ブロック

ロジック・アレイ・ブロックは、LE のグループで構成されています。

### トポロジー

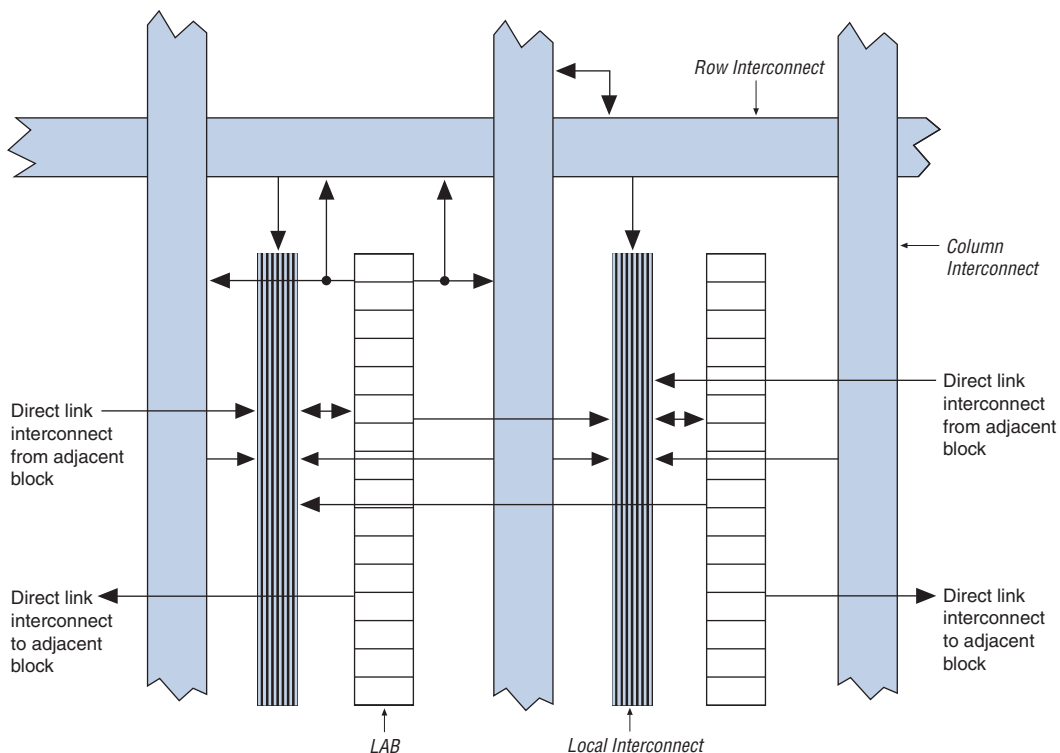
各 LAB は、以下の特長で構成されています。

- 16 LE
- LAB コントロール信号
- LE キャリー・チェーン
- レジスタ・チェーン
- ローカル・インタコネク

ローカル・インタコネクは、同一 LAB 内で LE 間の信号を転送します。レジスタ・チェーン接続は、LAB 内の 1 つのレジスタ出力を隣接する LE のレジスタに転送します。Quartus II コンパイラは LAB または隣接 LAB 内に関連ロジックを生成し、ローカル接続、およびレジスタ・チェーン接続の使用を可能にして性能と面積効率を高めます。

図 2-4 に、Cyclone IV デバイスの LAB 構造を示します。

図 2-4. Cyclone IV デバイスの LAB 構造

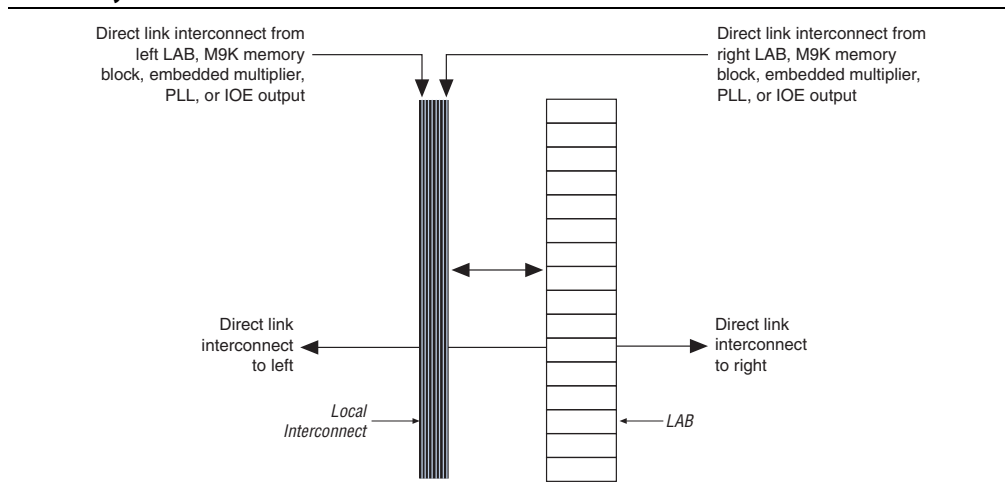


## LAB インタコネクタ

LAB ローカル・インタコネクタは、同一 LAB 内のカラムとロウのインタコネクタおよび LE 出力によってドライブされます。ダイレクト・リンク接続を通して、左側または右側の隣接 LAB、PLL、M9K RAM ブロック、およびエンベデッド・マルチプライヤが LAB のローカル・インタコネクタをドライブすることもできます。このダイレクト・リンクによる接続機能は、ロウおよびカラム・インタコネクタの使用が最小限で済むため、さらに高い性能と柔軟性を提供します。各 LE は、高速ローカル・インタコネクタおよびダイレクト・リンク・インタコネクタによって、48 個の LE をドライブできます。

図 2-5 に、ダイレクト・リンク・インタコネクタによる接続を示します。

図 2-5. Cyclone IV デバイスのダイレクト・リンク接続



## LAB コントロール信号

各 LAB には、LE にコントロール信号をドライブするための専用ロジックが内蔵されています。以下のコントロール信号があります。

- 2つのクロック
- 2つのクロック・イネーブル
- 2つの非同期クリア
- 1つの同期クリア
- 1つの同期ロード

これにより、一度に最大 8 本のコントロール信号を使用できます。レジスタのパッキングと同期ロードは、同時に使用できません。

各 LAB は、最大 4 本の非グローバル・コントロール・信号を持つことができます。グローバル信号の場合は、追加の LAB コントロール信号を使用できます。

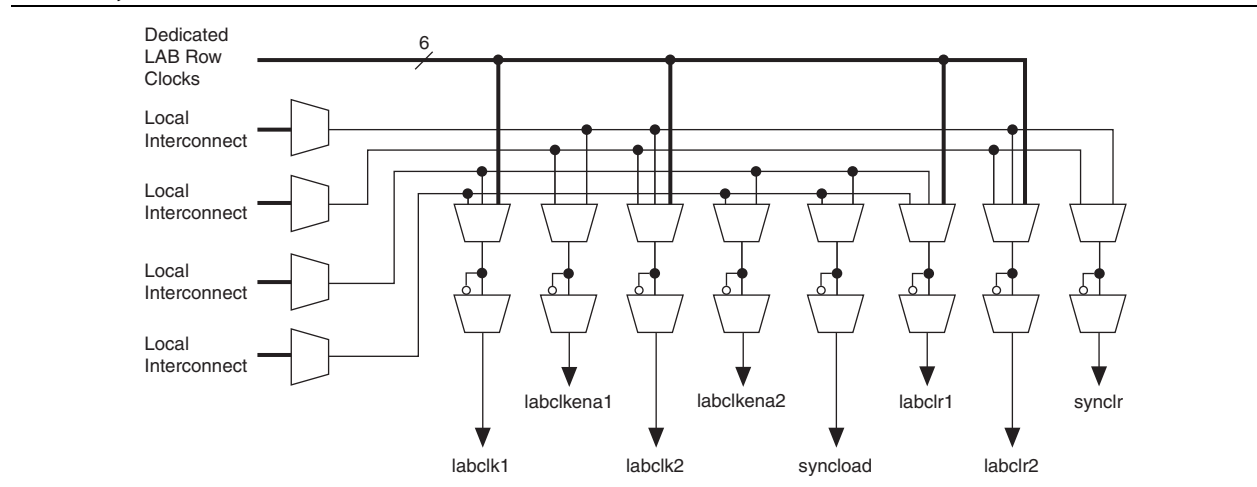
同期クリアおよびロード信号は、カウンタおよび他のファンクションを実装するのに有用です。同期クリアおよび同期ロード信号は、LAB ワイドの信号であるため、LAB 内のすべてのレジスタに影響を与えます。

各 LAB では、2 本のクロック信号と 2 本のクロック・イネーブル信号を使用できます。各 LAB のクロック信号とクロック・イネーブル信号はリンクされています。例えば、labclk1 信号を使用する特定の LAB の LE は、labclkena1 信号も使用します。クロックの立ち上がりおよび立ち下りの双方のエッジを LAB 内で使用する場合は、LAB ワイドのクロック信号を 2 本とも使用します。クロック・イネーブル信号がディassertされると、LAB ワイドのクロック信号はオフになります。

LAB ロー・クロック [5..0] および LAB ローカル・インタコネクは、LAB ワイドのコントロール信号を生成します。MultiTrack インタコネクに固有の低スキューにより、データに加えてクロックおよびコントロール信号を分配することができます。

図 2-6 に、LAB コントロール信号の生成回路を示します。

図 2-6. Cyclone IV デバイスの LAB ワイド・コントロール信号



レジスタのクリア信号を実現するロジックは、LAB ワイド信号によって制御されます。LE は非同期クリア機能を直接サポートします。各 LAB は、最大 2 本の非同期クリア信号 (labclr1 および labclr2) をサポートします。

レジスタのプリセット信号を実現するロジックを制御するための、LAB ワイドの非同期ロード信号はありません。レジスタのプリセットは、NOT gate push-back テクニクを使用して達成されます。Cyclone IV デバイスは、プリセットまたは非同期クリア信号の一方のみをサポートできます。

Cyclone IV デバイスでは、クリア・ポートの他に、デバイス内のすべてのレジスタをリセットするチップ・ワイドのリセット・ピン (DEV\_CLRn) が提供されています。このピンは、Quartus II ソフトウェアでコンパイルを行う前に設定されたオプションによって制御されます。このチップ・ワイドのリセット信号は、他のすべてのコントロール信号よりも優先されます。

## 改訂履歴

表 2-1 に、本資料の改訂履歴を示します。

表 2-1. 改訂履歴

日付	バージョン	変更内容
2009 年 11 月	1.0	初版。