


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。


CYIV-51001-1.2

アルテラの Cyclone® IV FPGA ファミリは、市場で最も低いコストと消費電力を提供します。新たにトランシーバ内蔵バージョンが追加されたことで、Cyclone FPGA シリーズのリーダーシップを拡大します。Cyclone IV FPGA ファミリは、コスト重視の量産アプリケーションに最適で、システム・コストを低減させながら、システム帯域幅の増加に対応します。

最適化されたロー・パワー・プロセス上に構築され、Cyclone IV デバイス・ファミリは以下の 2 種類で提供されています。

- Cyclone IV E – 最も低消費電力、低コストで高機能
- Cyclone IV GX – 3.125 Gbps トランシーバのある最も低消費電力、低コストの FPGA

 Cyclone IV E デバイスは 1.0 V および 1.2 V のコア電圧で提供されています。

 詳細については、[[Power Requirements for Cyclone IV Devices](#)] の章を参照してください。

低コストの統合トランシーバ・オプションと共に、性能を犠牲することなく消費電力とコストの削減を提供することで、Cyclone IV デバイスはワイヤレス、ワイヤライン、放送、産業、民生および通信業界などの低コスト、小型アプリケーションに最適です。

Cyclone IV デバイス・ファミリの特長

Cyclone IV デバイス・ファミリは、以下の特長を備えています。

- 低コスト、低消費電力 FPGA ファブリック：
 - 6 K ~ 150 K のロジック・エレメント
 - 最大 6.3 Mb ビットのエンベデッド・メモリ
 - DSP 処理を要するアプリケーションのための最大 360 個の 18 × 18 乗算器
 - 1.5 W 以下の全消費電力でプロトコル・ブリッジ・アプリケーションを実行

- Cyclone IV GX デバイスは、最大 8 個の高速トランシーバを提供し、以下の機能を実現します。
 - 最大 3.125 Gps のデータ・レート
 - 8B/10B エンコーダ / デコーダ
 - 8 ビットまたは 10 ビットのフィジカル・メディア・アタッチメント (PMA) およびフィジカル・コーディング・サブレイヤ (PCS) 間のインタフェース
 - バイト・シリアライザ / デシリアライザ (SERDES)
 - ワード・アライナ
 - レート・マッチ FIFO
 - CPRI (Common Public Radio Interface) 用の TX ビット・スリッパ
 - 電氣的アイドル
 - チャンネルのダイナミック・リコンフィギュレーション (この機能により、プロトコルおよびデータ・レートが実行時に変更可能)
 - 卓越したシグナル・インテグリティのためのスタティック・イコライゼーションおよびプリエンファシス
 - 1 チャンネルあたり 150 mW の消費電力
 - シングル・トランシーバ・ブロックにおける複数のプロトコルをサポートするための柔軟なクロッキング構造
- Cyclone IV GX デバイスは PCI Express (PIPE) (PCIe) Gen 1 に専用ハード IP を提供します。
 - ×1、×2、および ×4 レーン構成
 - エンドポイントおよびルートポート構成
 - 最大 256 バイトのペイロード
 - 1 本のバーチャル・チャンネル
 - 2 KB の再試行バッファ
 - 4 KB のレシーバ (Rx) バッファ

- Cyclone IV GX デバイスは広範なプロトコル・サポートを提供します。
 - PCIe (PIPE) Gen 1 ×1、×2、および ×4 (2.5 Gbps)
 - ギガビット・イーサネット (1.25 Gbps)
 - CPRI (最大 3.072 Gbps)
 - XAUI (3.125 Gbps)
 - トリプル・レート・シリアル・デジタル・インタフェース (SDI) (最大 2.97 Gbps)
 - Serial RapidIO (3.125 Gbps)
 - Basic モード (最大 3.125 Gbps)
 - V-by-One (最大 3.0 Gbps)
 - DisplayPort (2.7 Gbps)
 - Serial Advanced Technology Attachment (SATA) (最大 3.0 Gbps)
 - OBSAI (最大 3.072 Gbps)
- 最大 532 本のユーザ I/O
 - 最大 840 Mbps トランスミッタ (Tx) および 875 Mbps Rx の LVDS インタフェース
 - 最大 200 MHz の DDR2 SDRAM インタフェースのサポート
 - 最大 167 MHz の QDR II SRAM および DDR SDRAM のサポート
- 1 デバイスあたり最大 8 個の PLL (Phase-Locked Loop)
- コマーシャルおよびインダストリアル温度グレードで提供

デバイスのリソース

表 1-1 に、Cyclone IV E デバイス・リソースをリストします。

表 1-1. Cyclone IV E デバイス・ファミリのリソース (その 1)

リソース	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
ロジック・エレメント (LE) 数	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
エンベデッド・メモリ (K ビット)	270	414	504	594	594	1,134	2,340	2,745	3,888
エンベデッド乗算器 (18 × 18) 数	15	23	56	66	66	116	154	200	266
汎用 PLL	2	2	4	4	4	4	4	4	4
グローバル・クロック・ネットワーク	10	10	20	20	20	20	20	20	20

表 1-1. Cyclone IV E デバイス・ファミリのリソース (その 2)

リソース	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
ユーザー I/O バンク	8	8	8	8	8	8	8	8	8
最大ユーザー I/O 数	179	179	343	153	532	532	374	426	528

表 1-2 に、Cyclone IV GX デバイス・リソースをリストします。

表 1-2. Cyclone IV GX デバイス・ファミリのリソース

リソース	EP4CGX15	EP4CGX22	EP4CGX30 (1)	EP4CGX30 (2)	EP4CGX50	EP4CGX75	EP4CGX110	EP4CGX150
ロジック・エレメント (LE) 数	14,400	21,280	29,440	29,440	49,888	73,920	109,424	149,760
エンベデッド・メモリ (K ビット)	540	756	1,080	1,080	2,502	4,158	5,490	6,480
エンベデッド乗算器 (18 × 18) 数	0	40	80	80	140	198	280	360
汎用 PLL (GPLL)	1	2	2	4 (4)	4 (4)	4 (4)	4 (4)	4 (4)
多用途 PLL (MPLL)	2 (3)	2 (3)	2 (3)	2 (3)	4 (3)	4 (3)	4 (3)	4 (3)
グローバル・クロック・ネットワーク	20	20	20	30	30	30	30	30
高速トランシーバ (7)	2	4	4	4	8	8	8	8
トランシーバの最大データ・レート (Gbp)	2.5	2.5	2.5	3.125	3.125	3.125	3.125	3.125
PCIe (PIPE) ハード IP ブロック	1	1	1	1	1	1	1	1
ユーザー I/O バンク	9 (5)	9 (5)	9 (5)	11 (6)	11 (6)	11 (6)	11 (6)	11 (6)
最大ユーザー I/O 数	72	150	150	290	310	310	475	475

表 1-2 の注：

- (1) F169 および F324 パッケージに適用されます。
- (2) F484 パッケージに適用されます。
- (3) MPPLL をトランシーバのクロックに使用しない場合、汎用クロックにこれらを使用することができます。詳しくは、『Clock Networks and PLLs in Cyclone IV Devices』の章を参照してください。
- (4) 2 つの GPLL はトランシーバ・クロッキングをサポートすることができます。詳しくは、『Clock Networks and PLLs in Cyclone IV Devices』の章を参照してください。
- (5) HSSI 基準クロック入力には 1 つのコンフィギュレーション I/O バンクおよび 2 つの専用クロック入力 I/O バンクが含まれます。
- (6) HSSI 基準クロック入力には 1 つのコンフィギュレーション I/O バンクおよび 4 つの専用クロック入力 I/O バンクが含まれます。
- (7) PCIe×1 の場合、クワッド内の残りのトランシーバを同じまたは別のデータ・レートで他のプロトコルに使用できます。

パッケージ情報

表 1-3 に、Cyclone IV E デバイス・パッケージをリストします。

表 1-3. Cyclone IV E デバイス・ファミリのパッケージ (注 1)

パッケージ	E144		F256		F484		F780	
サイズ (mm)	22 × 22		17 × 17		23 × 23		29 × 29	
サイズ (mm)	0.5		1.0		1.0		1.0	
デバイス	ユーザー I/O	LVDS (2)	ユーザー I/O	LVDS (2)	ユーザー I/O	LVDS (2)	ユーザー I/O	LVDS (2)
EP4CE6	↑ 91	21	↑ 179	66	—	—	—	—
EP4CE10	↑ 91	21	↑ 179	66	—	—	—	—
EP4CE15	↓ 81	18	↓ 165	53	↑ 343	137	—	—
EP4CE22	↓ 79	17	↓ 153	52	—	—	—	—
EP4CE30	—	—	—	—	↑ 328	124	↑ 532	224
EP4CE40	—	—	—	—	↑ 328	124	↑ 532	224
EP4CE55	—	—	—	—	↑ 324	132	↑ 374	160
EP4CE75	—	—	—	—	↓ 292	110	↓ 426	178
EP4CE115	—	—	—	—	↓ 280	103	↓ 528	230

表 1-3 の注:

- (1) E144 パッケージは、パッケージの裏面に露出パッドを備えています。この露出パッドは、PCB のグラウンド・プレーンに接続する必要のあるグラウンド・パッドです。このエクスポーズド・パッドは放熱用ではなく、電気的接続のために使用されています。
- (2) これは専用およびエミュレートされた LVDS ペアの両方を含みます。詳細については、「*I/O Features in Cyclone IV Devices*」の章を参照してください。

表 1-4 に、I/O およびトランシーバ数を含む Cyclone IV GX デバイス・パッケージをリストします。

表 1-4. Cyclone IV GX デバイス・ファミリのパッケージ

パッケージ	N148			F169			F324			F484			F672			F896		
サイズ (mm)	11 × 11			14 × 14			19 × 19			23 × 23			27 × 27			31 × 31		
サイズ (mm)	0.5			1.0			1.0			1.0			1.0			1.0		
デバイス	ユーザ I/O	LVDS (1)	XCVR	ユーザ I/O	LVDS (1)	XCVR	ユーザ I/O	LVDS (1)	XCVR	ユーザ I/O	LVDS (1)	XCVR	ユーザ I/O	LVDS (1)	XCVR	ユーザ I/O	LVDS (1)	XCVR
EP4CGX15	72	25	2	↑ 72	25	2	—	—	—	—	—	—	—	—	—	—	—	—
EP4CGX22	—	—	—	↓ 72	25	2	↑ 150	64	4	—	—	—	—	—	—	—	—	—
EP4CGX30	—	—	—	↓ 72	25	2	↓ 150	64	4	↑ 290	130	4	—	—	—	—	—	—
EP4CGX50	—	—	—	—	—	—	—	—	—	↑ 290	130	4	↑ 310	140	8	—	—	—
EP4CGX75	—	—	—	—	—	—	—	—	—	↑ 290	130	4	↑ 310	140	8	—	—	—
EP4CGX110	—	—	—	—	—	—	—	—	—	↓ 270	120	4	↓ 393	181	8	↑ 475	220	8
EP4CGX150	—	—	—	—	—	—	—	—	—	↓ 270	120	4	↓ 393	181	8	↓ 475	220	8

表 1-4 の注：

(1) これは専用およびエミュレートされた LVDS ペアの両方を含みます。詳細については、「*I/O Features in Cyclone IV Devices*」の章を参照してください。

Cyclone IV デバイス・ファミリのスピード・グレード

表 1-5 に、Cyclone IV GX デバイスのスピード・グレードをリストします。

表 1-5. Cyclone IV GX デバイス・ファミリのスピード・グレード

デバイス	N148	F169	F324	F484	F672	F896
EP4CGX15	C8	C6, C7, C8, I7	—	—	—	—
EP4CGX22	—	C6, C7, C8, I7	C6, C7, C8, I7	—	—	—
EP4CGX30	—	C6, C7, C8, I7	C6, C7, C8, I7	C6, C7, C8, I7	—	—
EP4CGX50	—	—	—	C6, C7, C8, I7	C6, C7, C8, I7	—
EP4CGX75	—	—	—	C6, C7, C8, I7	C6, C7, C8, I7	—
EP4CGX110	—	—	—	C7, C8, I7	C7, C8, I7	C7, C8, I7
EP4CGX150	—	—	—	C7, C8, I7	C7, C8, I7	C7, C8, I7

表 1-6 に、Cyclone IV E デバイスのスピード・グレードをリストします。

表 1-6. Cyclone IV E デバイス・ファミリのスピード・グレード (注 1), (2)

デバイス	E144	F256	F484	F780
EP4CE6	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—
EP4CE10	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—
EP4CE15	C8L, C9L, I8L C6, C7, C8, I7	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7, A7	—
EP4CE22	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—
EP4CE30	—	—	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE40	—	—	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE55	—	—	C8L, C9L, I8L C6, C7, C8, I7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE75	—	—	C8L, C9L, I8L C6, C7, C8, I7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE115	—	—	C8L, C9L, I8L C7, C8, I7	C8L, C9L, I8L C7, C8, I7

表 1-6 の注：

- (1) C8L、C9L、および I8L のスピード・グレードは 1.0-V のコア電圧に適用されます。
- (2) C6、C7、C8、I7、および A7 のスピード・グレードは 1.2-V のコア電圧に適用されます。

Cyclone IV デバイス・ファミリのアーキテクチャ

この章は、Cyclone IV デバイスのアーキテクチャを説明しており、以下の項で構成されています。

- 「FPGA コア・ファブリック」
- 「I/O 機能」
- 「クロック管理」
- 「外部メモリ・インタフェース」
- 「コンフィギュレーション」
- 「高速トランシーバ (Cyclone IV GX デバイスのみ)」
- 「PCI Express のハード IP (Cyclone IV GX デバイスのみ)」

FPGA コア・ファブリック

Cyclone IV デバイスは非常に成功した Cyclone シリーズのデバイスとして同じコア・ファブリックを活用します。ファブリックは、4 入力ルック・アップ・テーブル (LUT)、メモリ・ブロック、および乗算器からなる LE で構成されます。

Cyclone IV デバイス M9K の各メモリ・ブロックは、9 K ビットのエンベデッド SRAM を提供します。M9K ブロックはシングル・ポート、シンプル・デュアル・ポート、トゥルー・デュアル・ポート RAM、FIFO バッファまたは ROM としてコンフィギュレーションできます。また、表 1-7 に示すデータ幅を実装するようにコンフィギュレーションできます。

表 1-7. Cyclone IV デバイス・ファミリの M9K ブロック・データ幅

モード	データ幅コンフィギュレーション
シングル・ポートまたはシンプル・デュアル・ポート	×1、×2、×4、×8/9、×16/18、および ×32/36
トゥルー・デュアル・ポート	×1、×2、×4、×8/9、および ×16/18

Cyclone IV デバイスの乗算器アーキテクチャは既存の Cyclone シリーズ・デバイスと同じです。エンベデッド乗算器ブロックはブロックあたり、1 個の 18×18 乗算器または 2 個の 9×9 乗算器を実装できます。アルテラは乗算器で使用するためのブロック有限インパルス応答 (FIR)、高速フーリエ変換 (FFT)、数値制御オシレータ (NCO) ファンクションなどの共通 DSP 処理ファンクションを含む DSP IP の完全なスイートを提供します。Quartus®II デザイン・ソフトウェアの DSP Builder ツールは、MathWorks Simulink および MATLAB デザイン環境を統合し、高速 DSP デザイン・フローを実現します。



詳細については、「*Logic Elements and Logic Array Blocks in Cyclone IV Devices*」、「*Memory Blocks in Cyclone IV Devices*」、および「*Embedded Multipliers in Cyclone IV Devices*」の章を参照してください。

I/O 機能

Cyclone IV デバイスの I/O は、プログラマブル・バス・ホールド、プログラマブル・プルアップ抵抗、プログラマブル遅延、プログラマブル・ドライブ強度、シグナル・インテグリティを最適化するためのプログラマブル・スルー・レート・コントロール、およびホット・ソケットをサポートします。Cyclone IV デバイスは、シングル・エンド I/O 規格用に、チップ内直列終端 (Rs OCT)、またはドライブ・インピーダンス・マッチング (Rs) をサポートします。Cyclone IV GX デバイスにおいては、高速トランシーバ I/O は、デバイスの左側に配置されます。トップ、ボトム、およびライト・サイドは汎用ユーザー I/O を実装できます。

表 1-8 に、Cyclone IV デバイスがサポートする I/O 規格を示します。

表 1-8. Cyclone IV デバイス・ファミリの I/O 規格・サポート

タイプ	I/O 規格
シングル・エンド I/O	LVTTTL, LVCMOS, SSTL, HSTL, PCI, および PCI-X
差動 I/O	SSTL, HSTL, LVPECL, BLVDS, LVDS, mini-LVDS, RSDS, および PPDS

LVDS SERDES はロジック・エレメントを使用してデバイスのコアに実装されます。



詳細については、「[I/O Features in Cyclone IV Devices](#)」の章を参照してください。

クロック管理

Cyclone IV デバイスは最大 30 個のグローバル・クロック (GCLK) ネットワークおよび 5 つの出力を持つ PLL を最大 8 個内蔵し、堅牢なクロック管理と合成を実行します。ユーザー・モードでの Cyclone IV デバイスの PLL をダイナミックにリコンフィギュレーションすることで、クロック周波数または位相を変更することができます。

Cyclone IV GX デバイスは 2 つのタイプの PLL をサポートします。それらは多用途 PLL (MPLL) および汎用 PLL (GPLL) です。

- トランシーバ・ブロックのクロッキングに MPLL を使用します。MPLL をトランシーバのクロッキングに使用しない場合、汎用クロッキングにこれらを使用することができます。
- ファブリックおよび周辺における外部メモリ・インタフェースなどの汎用アプリケーションのために GPLL を使用します。一部の GPLL ピンはトランシーバ・クロッキングをサポートできます。




詳しくは、「[Clock Networks and PLLs in Cyclone IV Devices](#)」の章を参照してください。

外部メモリ・インタフェース

Cyclone IV デバイスは、デバイスのトップ、ボトムとライト・サイドで SDR、DDR、DDR2 SDRAM、および QDR II SRAM インタフェースをサポートしています。また、Cyclone IV E デバイスはデバイスの左側でこれらのインタフェースをサポートします。ボード・デザインを柔軟に行うために、インタフェースがデバイスの 2 つ以上のサイドにまたがる場合があります。DDR SDRAM メモリ・インタフェース・ソリューション

ションは PHY インタフェースおよびメモリ・コントローラで構成されています。アルテラでは PHY IP を提供しており、そしてそれを独自のメモリ・コントローラまたはアルテラによって提供されたメモリ・コントローラと併用して使用できます。Cyclone IV デバイスは DDR および DDR2 SDRAM インタフェースでの誤り訂正コード (ECC) ビットの使用をサポートします。

 詳細については、「[External Memory Interfaces in Cyclone IV Devices](#)」の章を参照してください。

コンフィギュレーション

Cyclone IV デバイスは、SRAM セルを使用してコンフィギュレーション・データを格納します。コンフィギュレーション・データは、デバイスに電源を投入するたびに、Cyclone IV デバイスにダウンロードされます。低コストのコンフィギュレーション・オプションには、アルテラの EPCS ファミリー・シリアル・フラッシュ・デバイスおよび汎用パラレル・フラッシュ・コンフィギュレーション・オプションがあります。これらのオプションは、汎用アプリケーションに対する柔軟性、アプリケーションの特定のコンフィギュレーションやウェイクアップ時間要件を満たす能力を提供します。

表 1-9 に、Cyclone IV デバイスでサポートされるコンフィギュレーション手法をリストします。

表 1-9. Cyclone IV デバイス・ファミリのコンフィギュレーション手法

デバイス	サポートされているコンフィギュレーション手法
Cyclone IV GX	AS, PS, JTAG, および FPP (1)
Cyclone IV E	AS, AP, PS, FPP, および JTAG

表 1-9 の注：

(1) FPP コンフィギュレーション手法は EP4CGX30F484 および EP4CGX50/75/110/150 デバイスでのみサポートされます。

IEEE 1149.6 (AC JTAG) はすべてのトランシーバ I/O ピンでサポートされています。バウンダリ・スキャン・テストに対して、すべてのピンは IEEE 1149.1 (JTAG) をサポートします。

 詳細については、「[IJTAG Boundary - Scan Testing for Cyclone IV Devices](#)」の章を参照してください。

Cyclone IV GX デバイスが PCIe 100 ms のウェイクアップ時間要件を満たすように、EP4CGX15/22/30 デバイスの場合はパッシブ・シリアル (PS) コンフィギュレーション・モードを使用し、EP4CGX30F484 と EP4CGX50/75/110/150 デバイスの場合はファースト・パッシブ・パラレル (FPP) コンフィギュレーション・モードを使用する必要があります。

 詳しくは、「[Configuration and Remote System Upgrades in Cyclone IV Devices](#)」の章を参照してください。

ユーザー・モード中にエラー検出 CRC (Cyclic Redundancy Check) 機能は、すべての Cyclone IV GX デバイスでサポートされています。Cyclone IV E デバイスの場合、この機能は 1.2 V コア電圧のデバイスにのみサポートされます。

 CRC エラー検出について詳しくは、*「SEU Mitigation in Cyclone IV Device」* の章を参照してください。

高速トランシーバ (Cyclone IV GX デバイスのみ)

Cyclone IV GX デバイスは個別に動作できる最大 8 本の高速トランシーバ (全二重) を内蔵しています。これらのブロックは Basic モードとともに複数の業界標準の通信プロトコルをサポートしており、独自のプロトコル実装に使用できます。各トランシーバ・チャンネルには、独自のプレエンファシスおよび等価回路があって、シグナル・インテグリティを最適化およびビット・エラー・レートを低減するため、コンパイル時に設定できます。また、トランシーバ・ブロックはダイナミック・リコンフィギュレーションをサポートし、動作中にデータ・レートおよびプロトコルを変更できます。


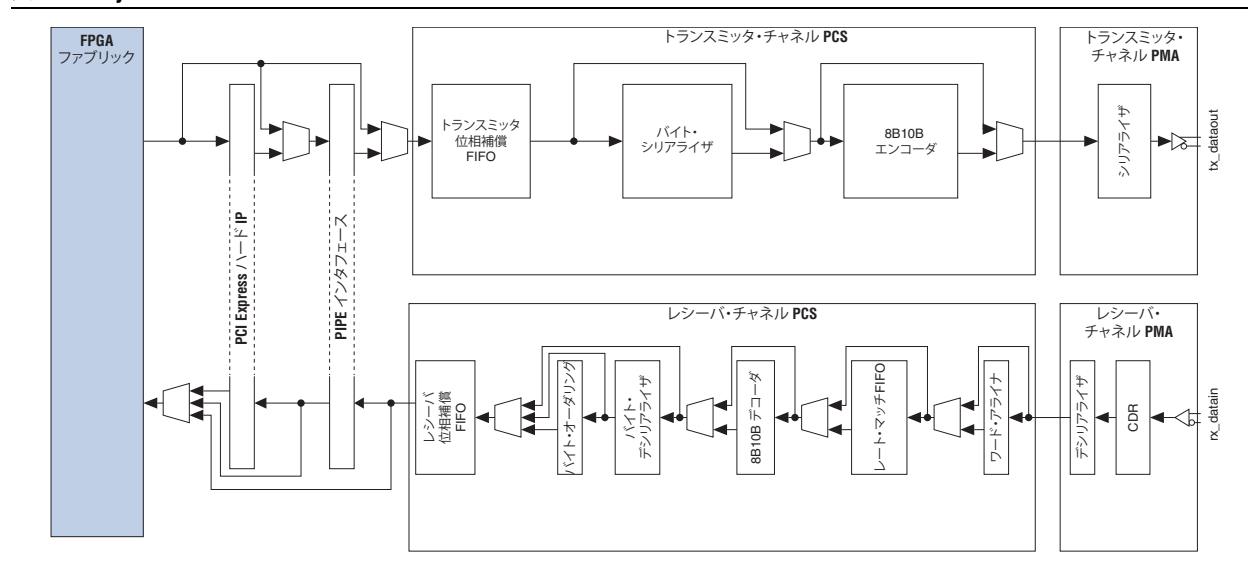
 図 1-1 に、Cyclone IV GX トランシーバ・ブロック構造を示します。

図 1-1. Cyclone IV GX デバイスのトランシーバ・チャンネル



 詳しくは、*「Cyclone IV Transceivers Architecture」* の章を参照してください。

PCI Express のハード IP (Cyclone IV GX デバイスのみ)

Cyclone IV GX デバイスは各デバイスで 1、×2、または ×4 PCIe (PIPE) のシングル・ハード IP ブロックを組み込みます。このハード IP ブロックは PHY-MAC レイヤ、データ・リンク・レイヤ、およびトランザクション・レイヤ機能を実装する完全な PCI Express (PIPE) プロトコル・ソリューションです。PCIe (PIPE) ブロックのハード IP はルート・ポートとエンドポイントののコンフィギュレーションをサポートします。事前に検証されたハード IP ブロックはリスク、デザイン時間、タイミング・クロージャおよび検証を短縮します。Quartus II ソフトウェアの PCI Express Compiler を使用して、ブロックを実装できます。ここで、ステップでプロセスの各手順をガイドします。

 詳しくは、*「PCI Express Compiler User Guide」* を参照してください。

参照および製品コード

図 1-2 に、Cyclone IV GX デバイスの製品コードを示します。

図 1-2. Cyclone IV GX デバイスの製品コード情報

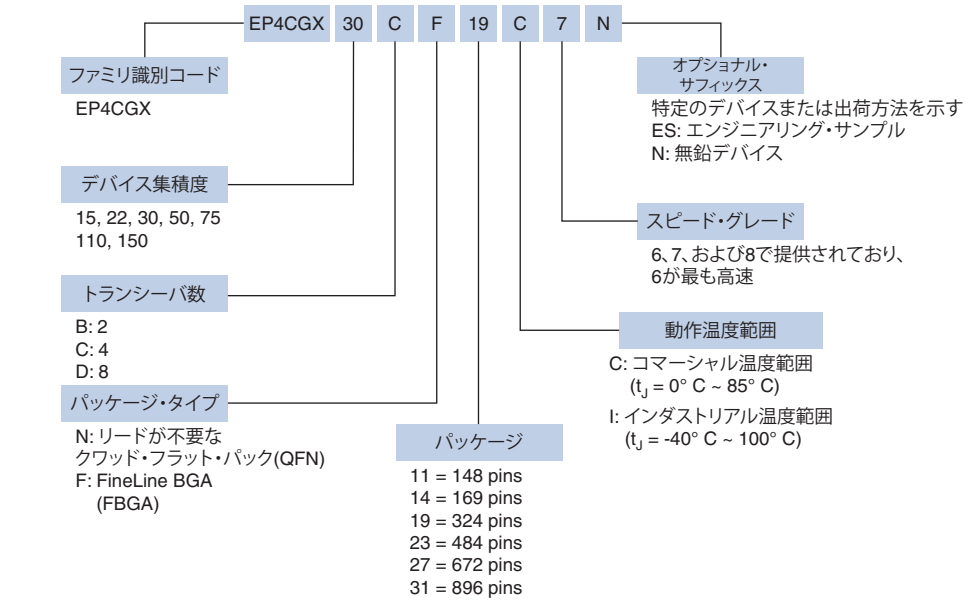
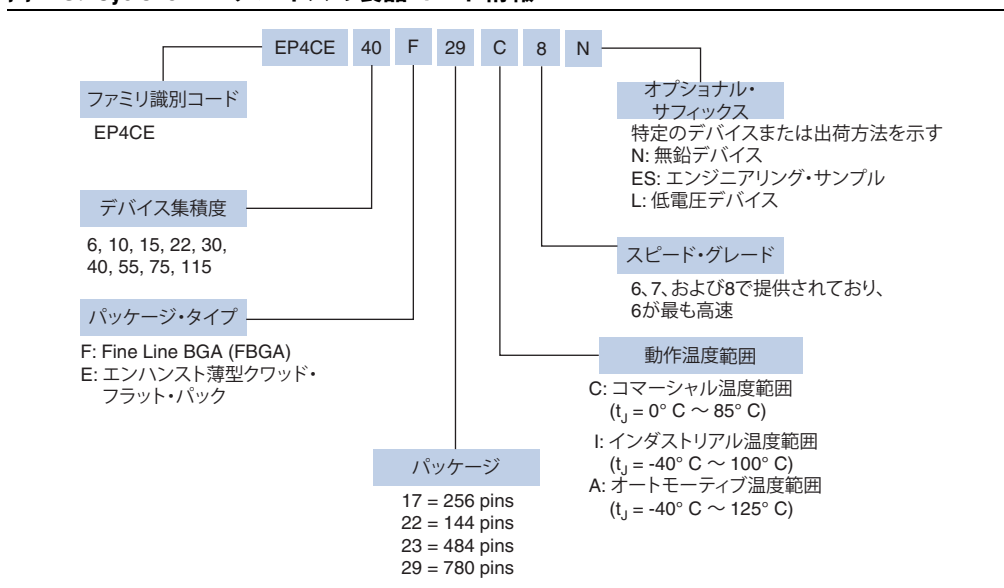


図 1-3 に、Cyclone IV E デバイスの製品コードを示します。

図 1-3. Cyclone IV E デバイスの製品コード情報



改訂履歴

表 1-10 に、本資料の改訂履歴を示します。

表 1-10. 改訂履歴

日付	バージョン	変更内容
2010年3月	1.2	<ul style="list-style-type: none"> ■ 表 1-3 および表 1-6 を更新。 ■ 図 1-3 を更新。 ■ テキストのマイナーな編集。
2010年2月	1.1	<ul style="list-style-type: none"> ■ Quartus II ソフトウェア v9.1 SP1 のリリースのための表 1-1、表 1-3、および表 1-6 に Cyclone IV E デバイスを追加。 ■ 「Cyclone IV デバイス・ファミリのスピード・グレード」および「コンフィギュレーション」の項を追加。 ■ Cyclone IV E デバイスの製品コード情報に図 1-3 を追加。 ■ Cyclone IV GX デバイスのために表 1-2、表 1-4、および表 1-5 を更新。 ■ テキストのマイナーな編集。
2009年11月	1.0	初版