

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CIII51013-1.0

はじめに

航空電子、テレコム、システム・コントロール、医療、および軍用アプリケーションの分野で使用されるクリティカルな用途では、以下ができることが重要です。

- FPGA デバイスに格納されたコンフィギュレーション・データが正確であることを確認する。
- システムにコンフィギュレーション・エラーの発生を警告する。

Cyclone® III デバイスに組み込まれた専用回路は、オプションで継続的かつ自動的に SEU (Single Event Upset) をチェック可能な CRC (Cyclic Redundancy Check) エラー検出機能で構成されています。

この項では、以下の方法について説明します。

- ユーザ・モードでエラー検出 CRC 機能をアクティブにして使用する。
- CRC エラーに起因するコンフィギュレーション・エラーから回復する。



Cyclone III デバイスの場合、Quartus® II ソフトウェアのバージョン 6.1 からエラー検出 CRC 機能が提供されています。

Cyclone III ファミリの CRC エラー検出機能を使用しても、フィッティングや性能には影響を与えません。



SEU に関する情報は、アルテラ・ウェブサイト (www.altera.co.jp) の製品ページにあります。

エラー検出の基礎

エラー検出では、入力デバイスを通じて受信したデータが送信中に破壊されたかどうかを判定します。データの妥当性を検査する際に、トランスミッターはデータのチェックサム値を計算し、オリジナルのデータ・フレームにチェックサムを付加するファンクションを使用します。レシーバは同じ計算方法を使用して、受信データ・フレームのチェックサムを生成し、これを送信されたチェックサムと比較します。この 2 つのチェックサム値が等しい場合、受信データ・フレームは正しく、送信中またはストレージ中にデータ破壊は発生していません。

Cyclone III デバイスのエラー検出 CRC 機能は、理論を実践に移したものです。ユーザ・モードでは、Cyclone III デバイスのエラー検出 CRC 機能により、コンフィギュレーション・データの完全性が確保されます。

以下の2つの CRC エラー・チェックがあります。

- 1つは常にコンフィギュレーション中に実行されます。
- もう1つのオプションの CRC エラー・チェックは、ユーザ・モードにおいてバックグラウンドで実行されます。

詳しくは、13-2 ページの「コンフィギュレーション・エラー検出」および 13-2 ページの「ユーザ・モード・エラー検出」を参照してください。

コンフィギュレーション・エラー検出

コンフィギュレーション・モードでは、フレーム・ベースの CRC がコンフィギュレーション・データ内に格納され、各データ・フレームの CRC 値を保持しています。

コンフィギュレーション中には、FPGA が受信したデータ・フレームに基づいて CRC 値を計算し、それをデータ・ストリームのフレーム CRC 値と比較します。コンフィギュレーションはデバイスがエラーを検出するか、すべての値が計算されるまで続きます。

Cyclone III デバイスの場合、CRC は Quartus II ソフトウェアで計算され、コンフィギュレーション・ビット・ストリームの一部としてデバイスにダウンロードされます。これらのデバイスは、コンフィギュレーション・モードの終了時に 32 ビット・ストレージ・レジスタに CRC を格納します。

ユーザ・モード・エラー検出

ソフト・エラーとは、イオン化した粒子によって生じる CRAM (Configuration Random-Access Memory) ビット状態の変化のことで、すべての Cyclone シリーズのデバイスは、CRAM セル内のソフト・エラーによるデータ破壊を検出するエラー検出回路を内蔵しています。

このエラー検出機能は、デバイスの内容に基づいて継続的にコンフィギュレーションされた CRAM ビットの CRC を計算し、それをコンフィギュレーションの終了時に取得した計算済み CRC 値と比較します。両方の CRC が一致する場合、現在のコンフィギュレーション CRAM ビットにはエラーはありません。このエラー検出プロセスは、デバイスがリセットされる (nCONFIG を Low に設定) まで続きます。

Cyclone III デバイスのエラー検出機能は、メモリ・ブロックと I/O バッファはチェックしません。メモリ・ブロックは、内容にエラーがないかチェックするのに使用されるパリティ・ビットをサポートしています。I/O バッファのビットは、ストレージ・エレメントとしてソフトウェア・エラーに強いフリップ・フロップを使用しているため、エラー検出中はチェックされません。計算済み CRC と他のエラー検出回路のオプション・ビットを格納するために、同様なフリップ・フロップが使用されています。

Cyclone III デバイスのエラー検出回路は、32 ビット CRC IEEE 802 規格と 32 ビット多項式を CRC ジェネレータとして使用します。したがって、32 ビットの CRC 計算は Cyclone III デバイスによって実行されます。ソフト・エラーが発生しない場合、結果の 32 ビット・シグネチャ値は 0x000000 で、結果として出力信号 CRC_ERROR は 0 になります。デバイス内でソフト・エラーが発生すると、結果のシグネチャ値はゼロ以外になり、出力信号 CRC_ERROR は 1 になります。

CRC 回路の 32 ビット CRC ストレージ・レジスタを変更して、ソフト・エラーを発生させることができます。誘発された障害を検証した後、同じ命令を使用して正しい値を挿入することによって、32 ビット CRC 値を正しい CRC 値に戻すことができます。不正値を入れて更新する前に、まず正しい値を読み出してください。

Cyclone III デバイスはユーザ・モードのときに、CHANGE_EDREG JTAG (Joint Test Action Group) 命令をサポートしており、これで 32 ビット・ストレージ・レジスタに書き込むことができます。Jam ファイル (.jam) を使用して、テストと検証プロセスを自動化することができます。これは、デバイスをリコンフィギュレーションすることなく、CRC 機能をイン・システムでダイナミックに検証できるようにする強力なデザイン機能です。CRC 回路の使用に切り換えて、SEU で誘発された実際のエラーをチェックできます。デバイスがユーザ・モードのときは、CHANGE_EDREG JTAG 命令しか実行できません。

表 13-1. CHANGE_EDREG JTAG 命令

JTAG 命令	命令コード	説明
CHANGE_EDREG	00 0001 0101	この命令は、TDI と TDO の間に 32 ビット CRC ストレージ・レジスタを接続します。CRC_ERROR ピンにあるエラー検出 CRC 回路の動作をテストするために、計算済み CRC を CRC ストレージ・レジスタにロードできます。



アルテラでは、テストの完了後にデバイスをリコンフィギュレーションすることを推奨しています。

SEU の自動検出

Cyclone III デバイスは SEU 検出の自動チェック用のオンチップ回路を備えています。高地や地球の北極または南極付近で、デバイスにエラーのない動作を要求するアプリケーションは、継続的なデータ完全性を確保するために定期的なチェックを必要とします。Quartus II ソフトウェアの **Device & Pin Options** ダイアログ・ボックスによって制御されるエラー検出 CRC 機能は、32 ビット CRC 回路を使用してデータの信頼性を確保しており、SEU の問題を緩和するための最良のオプションの 1 つです。

エラー検出 CRC 機能を既存の回路と共に Cyclone III デバイスに実装して、外部ロジックを不要にします。CRC はコンフィギュレーション中にデバイスによって計算され、通常動作中に自動的に計算された CRC に照らしてチェックされます。CRC_ERROR ピンはコンフィギュレーション CRAM データが破壊されているときはソフト・エラーをレポートするため、nCONFIG ピンを Low にストローブして FPGA をリコンフィギュレーションするか、またはエラーを無視するかを決定しなければなりません。

エラー検出 ピンの説明

ユーザ・モード中にエラー検出回路の結果をモニタするために、エラー検出ピンの CRC_ERROR が必要です。

CRC_ERROR ピン

表 13-2 に CRC_ERROR ピンを説明しています。

ピン名	ピン・タイプ	説明
CRC_ERROR	I/O、出力	これはエラー検出回路が、コンフィギュレーション CRAM ビットでエラーを検出したことを示すアクティブ High 信号です。このピンはオプションで、エラー検出 CRC 回路がイネーブルされるときに使用されます。エラー検出 CRC 回路がディセーブルされると、ユーザ I/O ピンになります。WYSIWYG 機能を使用するとき、CRC エラー出力は CRC_ERROR ピンへの専用バスです。CRC_ERROR ピンはオープン・ドレインや反転をサポートしません。



Cyclone III デバイスの CRC_ERROR ピン情報は、アルテラ・ウェブサイト (www.altera.com) にある **Literature** ページのデバイス・ピン配列にレポートされます。

エラー検出 ブロック

Quartus II ソフトウェアでは、Cyclone III デバイスのエラー検出ブロックをイネーブルできます (13-8 ページの「ソフトウェア・サポート」を参照)。このブロックには、デバイス内のコンフィギュレーション CRAM ビット用の 32 ビット CRC シグネチャの計算に必要なロジックが含まれています。

この CRC 回路はエラーが発生した場合でも継続して動作します。ソフト・エラーが発生すると、デバイスは CRC_ERROR ピンを High に設定します。コンフィギュレーション・ビットをチェックするための CRC 検出には、次の 2 つのタイプがあります。

- CRC_ERROR ピンで使用するユーザ・モード中の CRAM エラー・チェック機能 (32 ビット CRC)。



32 ビット CRC 値は 1 つしかなく、この 32 ビット CRC 値で CRAM データをすべてカバーします。

- 各コンフィギュレーション・データ・フレームに埋め込まれた 16 ビット CRC

コンフィギュレーション中、データのフレームがデバイスにロードされた後、計算済み CRC が CRC 回路にシフト・インされます。同時に、シフト・インされたデータ・フレームの CRC 値が計算されます。計算済み CRC と計算された CRC 値が一致しない場合、nSTATUS が Low に設定されます。どのデータ・フレームにも 16 ビット CRC があるため、コンフィギュレーション・ビット・ストリーム全体では多数の 16 ビット CRC 値があります。コンフィギュレーション・データ・フレームの長さはデバイスごとに異なります。

この項では、最初のタイプ、すなわちデバイスがユーザ・モードのときの 32 ビット CRC を中心に扱います。

エラー検出レジスタ

エラー検出回路には、計算された CRC シグネチャと計算済み CRC 値を格納する 2 組の 32 ビット・レジスタがあります。シグネチャ・レジスタにゼロ以外の値がある場合、CRC_ERROR ピンは High に設定されます。[図 13-1](#) に、エラー検出ブロック、およびシグネチャ・レジスタとストレージ・レジスタの 2 個の関連する 32 ビット・レジスタのブロック図を示します。

図 13-1. エラー検出ブロック図

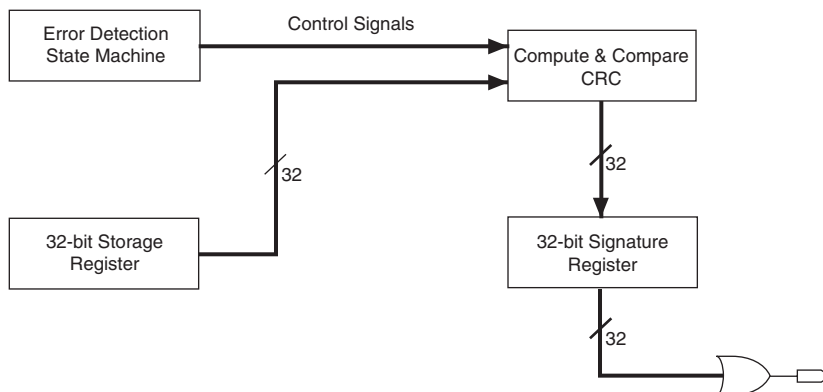


表 13-3 は、図 13-1 に示すレジスタを定義しています。

レジスタ	機能
32 ビット・シグネチャ・レジスタ	このレジスタには CRC シグネチャが含まれます。シグネチャ・レジスタには、ユーザ・モードで計算された CRC 値を計算済み CRC 値と比較した結果が含まれます。エラーが検出されなかった場合、シグネチャ・レジスタはすべてゼロになります。シグネチャ・レジスタにゼロ以外の値がある場合、コンフィギュレーション CRAM の内容にエラーがあることを示します。 CRC_ERROR 信号は、このレジスタの内容から派生したものです。
32 ビット・ストレージ・レジスタ	このレジスタには、コンフィギュレーション・ステージの終了時に 32 ビットの計算済み CRC シグネチャがロードされます。このシグネチャは、ユーザ・モード時には、CRC エラーを計算するために 32 ビット CRC 回路 (図 13-1 に示すように Compute & Compare CRC ブロックと呼びます) にロードされます。 CHANGE_EDREG JTAG 命令の実行中、このレジスタは 32 ビット・スキャン・チェーンを形成します。CHANGE_EDREG JTAG 命令は、ストレージ・レジスタの内容を変更できます。したがって、エラー検出 CRC 回路の機能は、動作中にエラーを発生させる命令を実行することによって、イン・システムでチェックされます。CHANGE_EDREG 命令を発行するときに、デバイスの動作は停止しません。

エラー検出の タイミング

Quartus II ソフトウェアを通してエラー検出 CRC 機能がイネーブルされると、デバイスはコンフィギュレーションおよび初期化の完了後、ユーザ・モードに入ったときに自動的に CRC プロセスをアクティブにします。

CRC_ERRORピンは、エラー検出回路が前のCRC計算で不正なビットを検出するまで Low にドライブされています。このピンは一度 High になると、次の CRC 計算中も High になったままです。このピンは前の CRC 計算は記録しません。新しい CRC 計算に不正なビットが含まれていない場合、CRC_ERROR ピンは Low にドライブされます。エラー検出はデバイスがリセットされるまで動作します。

エラー検出回路は、最大周波数およびその分周周波数で内部コンフィギュレーション・オシレータを動作させます。表 13-4 に、最小および最大エラー検出周波数を示します。

デバイス・タイプ	エラー検出周波数	最大エラー検出周波数	最小エラー検出周波数	有効な除数 (2 ⁿ)
Cyclone III	80 MHz/2 ⁿ	80 MHz	312.5 kHz	0, 1, 2, 3, 4, 5, 6, 7, 8

Quartus IIソフトウェアで分周係数を指定することによって、低いクロック周波数を設定することができます (13-8 ページの「ソフトウェア・サポート」を参照)。除数は2のべき乗です。ここで、nは0～8です。除数の範囲は1～256です。以下の等式を参照してください。

$$\text{エラー検出周波数} = \frac{80\text{MHz}}{2^n}$$

CRC 計算時間は、デバイスとエラー検出クロック周波数によって決まります。表 13-5 に、Cyclone III デバイスの最小および最大クロック周波数での各 CRC 計算に対する見積り時間を示します。

デバイス	最小時間 (ms) (1)	最大時間 (s) (2)
EP3C5	5	2.29
EP3C10	5	2.29
EP3C16	7	3.17
EP3C25	9	4.51
EP3C40	15	7.48
EP3C55	23	11.77
EP3C80	31	15.81

表 13-5. CRC の計算に要する時間 (2 / 2)

デバイス	最小時間 (ms) (1)	最大時間 (s) (2)
EP3C120	45	22.67

表 13-5 の注：


- (1) 最小時間は、最大エラー検出クロック周波数に対応しており、プロセス、電圧、温度によって変動する可能性があります。
- (2) 最大時間は、最小エラー検出クロック周波数に対応しており、プロセス、電圧、温度によって変動する可能性があります。


ソフトウェア・サポート

QuartusII ソフトウェアは、バージョン 6.1 以降でエラー検索 CRC 機能をサポートしています。この機能をイネーブルすると、オプションの兼用 CRC_ERROR ピンに CRC_ERROR 出力を生成します。

エラー検出CRC機能は、Quartus IIソフトウェアの**Device & Pin Options** ダイアログ・ボックスで制御されます。

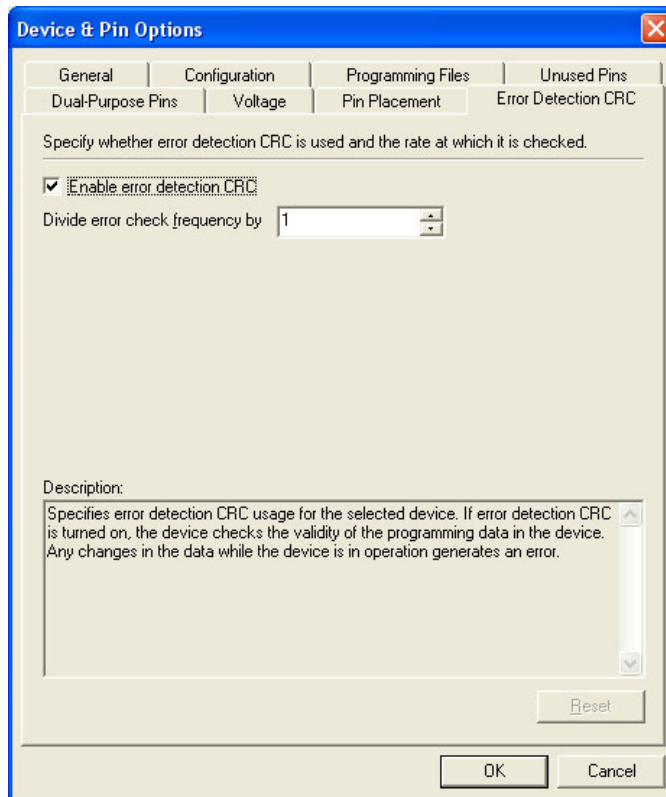
CRC を使用したエラー検出機能をイネーブルするには、以下のステップを実行します。

1. QuartusII ソフトウェアを開いて、Stratix または Cyclone シリーズ・デバイスを使用してプロジェクトを読み込みます。
2. Assignments メニューの **Settings** をクリックします。**Settings** ダイアログ・ボックスが表示されます。
3. Category リストで、**Device** を選択します。**Device** ページが表示されます。
4.  図 13-2 に示すとおり、**Device & Pin Options** をクリックします。
5. **Device & Pin Options** ダイアログの **Error Detection CRC** タブをクリックします。
6. **Enable error detection CRC** をオンにします。
7. 表 13-4 に示すとおり、**Divide error check frequency by** ボックスに有効な除数を入力します。

 この除数値は、CRC 回路で使用するコンフィギュレーション・オシレータ出力クロックの周波数を分周します。

8. **OK** をクリックします。

図 13-2.Quartus II ソフトウェアにおけるエラー検出 CRC 機能のイネーブル



CRC エラー からの回復

アルテラ FPGA を搭載するシステムは、デバイスのリコンフィギュレーションを制御しなければなりません。CRC_ERROR ピンでエラーを検出した後、nCONFIG を Low にストロブして、システムが FPGA をリコンフィギュレーションするのに安全な状況で実行するようシステムに指示します。

デバイスをリコンフィギュレーションすることによってデータ・ビットが正しい値に書き直されると、デバイスは正しく機能します。

アルテラ・デバイスではソフト・エラーはめったに発生しませんが、高信頼性アプリケーションではこれらのエラーに対応したデザインが要求される場合があります。

まとめ

エラー検出 CRC 機能の目的は、ソフト・エラーに起因する CycloneIII デバイス内の任意のコンフィギュレーション CRAM ビットでの反転を検出することです。エラー検出回路を使用して、コンフィギュレーション CRAM ビットの完全性を連続的に確認することができます。

改訂履歴

表 13-6 に、本資料の改訂履歴を示します。

表 13-6. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 3 月 v1.0	初版	N/A