

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

### はじめに

豊富なオンチップ・メモリの供給に加えて、Cyclone<sup>®</sup> III デバイスは、DDR2 SDRAM、DDR SDRAM、QDR II SRAM を含む幅広い外部メモリに容易にインタフェースすることができます。外部メモリ・デバイスとは、画像処理、ストレージ、通信、一般的なエンベデッド・アプリケーションなど、幅広く使用される重要なシステム・コンポーネントです。

Cyclone III デバイスは、広範囲なインフラストラクチャでサポートされ、堅牢な外部メモリ・インタフェースを作成します。表 9-1 に、外部メモリ・インタフェースの主な利点をまとめています。

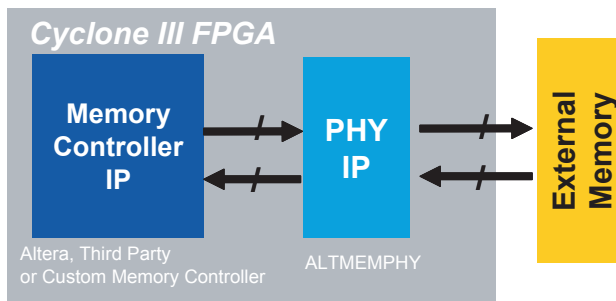
利点	Cyclone III ソリューションの説明
堅牢	プロセス、電圧、温度の変化を調整する自己キャリブレーション
使いやすさ	<ul style="list-style-type: none"> <li>● プッシュ・ボタンによるタイミング・クロージャ</li> <li>● DDR2/DDR メモリと全サイドでインタフェース可能であり、PCB レイアウト制約を緩和</li> <li>● <math>f_{MAX}</math> 要件を軽減するハーフ・レート・ソリューションを利用可能</li> </ul>
リソース効率	最大 5 つの $\times 72$ インタフェース用グローバル・クロック
優れた性能	<ul style="list-style-type: none"> <li>● 最速のスピード・グレードは、200 MHz で DDR2 SDRAM とインタフェース可能</li> </ul>

Cyclone III 外部メモリ・インタフェース・インフラストラクチャには、表 9-2 に示すコンポーネントが含まれています。

表 9-2. Cyclone III 外部メモリ・インタフェースのインフラストラクチャ	
メモリ・インタフェースの機能	説明
自己キャリプレート式 ALTMEMPHY メガファンクション	FPGA デバイスと外部メモリ・デバイス間の物理 (PHY) インタフェースを管理します。メガファンクションとして機能し、Quartus® II ソフトウェア・バージョン 7.0 以降で使用するできます。
アルテラ、サードパーティ、またはユーザが設計したメモリ・コントローラ	PHY インタフェースおよび PHY とユーザのアプリケーション間のインタフェースを制御します。 アルテラのコントローラは、アルテラのソフトウェア・サブスクリプションに IP-BASE スイートの一部として含まれています。
シリコン機能強化	Phase-Locked Loop (PLL) リコンフィギュレーション機能は、システムのクロック位相シフトを調整し、電圧および温度の変化をキャリプレートします。 Cyclone III の入力/出力エレメント (IOE) に 2 個のレジスタが追加され、Double-Data Rate I/O (DDIO) タイミングが改善されました。
Quartus II TimeQuest タイミング・アナライザ	業界標準の SDC (Synopsys Design Constraint) 言語を使用し、ソース同期タイミング解析を容易にサポートします。

アルテラでは、すべての DDR2/DDR SDRAM および QDR II SRAM 外部メモリ・インタフェースを、アルテラの ALTMEMPHY メガファンクションを使用して構築することを推奨しています。コントローラ・ファンクションの実装には、アルテラの DDR2/DDR SDRAM または QDR II SRAM メモリ・コントローラ、サード・パーティ製コントローラ、またはアプリケーション独自のニーズに合わせたカスタム・コントローラを使用できます。図 9-1 に、Cyclone III 外部メモリ・インタフェースの概要を示します。

図 9-1. Cyclone III 外部メモリ・インタフェースの概要



この章では、Cyclone III デバイスで利用できる外部メモリ・インタフェース用のハードウェア・インタフェースについて説明します。外部メモリ・インタフェースの実装について詳しくは、アルテラのウェブサイト [www.altera.co.jp](http://www.altera.co.jp) で以下の資料を参照してください。

- ALTMEMPHY メガファンクション・ユーザガイド
- DDR および DDR2 SDRAM コントローラ・コンパイラ・ユーザガイド
- AN445:DDR および DDR2 SDRAM と Cyclone III デバイスとのインタフェース
- AN438:外部メモリ・インタフェースのタイミングの制約と解析

## Cyclone III メモリ・サポート の概要

この項では、Cyclone III デバイスと外部メモリ規格とのインタフェースについて説明します。表 9-3 に、Cyclone III デバイスが外部メモリ・インタフェースでサポートできる最大クロック・レートをまとめています。

表 9-3. 外部メモリ・インタフェースに対する Cyclone III の最大クロック・レートのサポート (1)

メモリ規格	標準 I/O 規格	民生用					
		-6 スピード・グレード (MHz)		-7 スピード・グレード (MHz)		-8 スピード・グレード (MHz)	
		トップおよびボトム の I/O バンク	左および右の I/O バンク	トップおよびボトム の I/O バンク	左および右の I/O バンク	トップおよびボトム の I/O バンク	左および右の I/O バンク
DDR2 SDRAM (2)	SSTL-18 Class I	200	167	167	150	167	133
	SSTL-18 Class II	133	125	125	(3)	(3)	(3)
DDR SDRAM (2)	SSTL-2 Class I	167	150	150	133	133	125
	SSTL-2 Class II	133	125	125	100	100	(3)
QDRII SRAM (4)	1.8 V HSTL Class I	167	150	150	133	133	125
	1.8 V HSTL Class II	100	(3)	(3)	(3)	(3)	(3)

### 表 9-3 の注：

- (1) 最終特性評価まで、これらの数値は暫定仕様です。
- (2) 値はモジュールおよびコンポーネント両方へのインタフェースに適用されます。
- (3) サポートは特性評価の後で評価されます。
- (4) QDRII SRAM は、1.5 V HSTL 標準 I/O 規格もサポートしています。ただし、アルテラでは最高の性能を得るために、より I/O ドライブ強度の高い 1.8 V HSTL 標準 I/O 規格の使用を推奨しています。

図 9-2 に、Cyclone III デバイスの標準的な外部メモリ・インタフェース・データ・パスのブロック図を示します。

図 9-2. Cyclone III 外部メモリ・データ・パス (1)

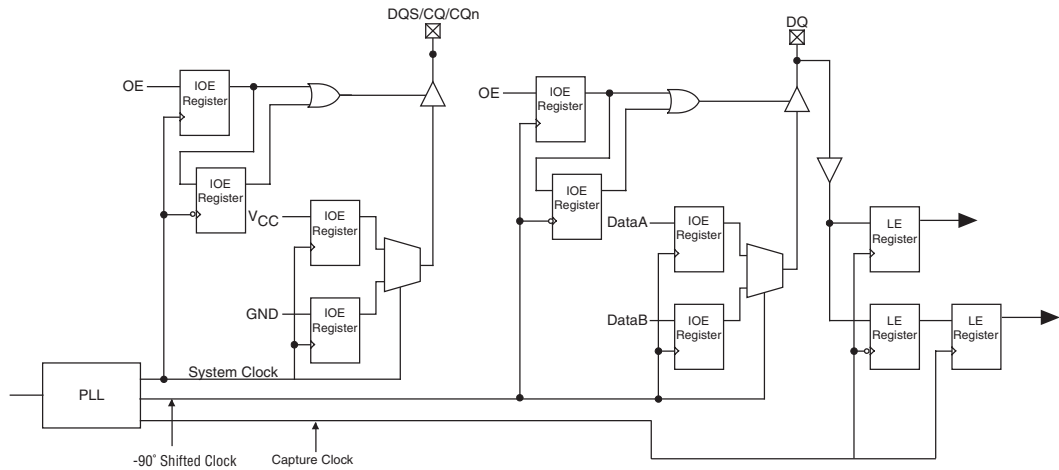


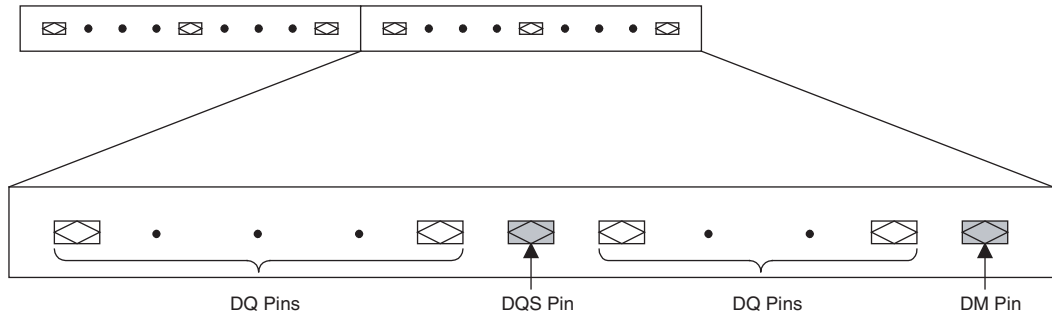
図 9-2 の注：

(1) ここに示すすべてのクロックはグローバル・クロックです。

## Cyclone III メモリ・インタ フェース・ピン のサポート

Cyclone III デバイスは、外部メモリとのインタフェースにデータ (DQ) ピン、データ・ストロープ (DQS) ピン、クロック・ピン、コマンド・ピン、アドレス・ピンを使用します。メモリ・インタフェースの中には、データ・マスク (DM) ピンまたはバイト・ライト選択 (BWS#) ピンを使用してデータのマスクングを可能にするものがあります。この項では、これらすべてのピンがCyclone IIIでどのようにサポートされるかについて説明します。図 9-3 に、DQ ピンと DQS ピンを示します。

図 9-3. Cyclone III の DQ ピンと DQS ピン (1)、(2)、(3)



## 図 9-3 の注：

- (1) 各 DQ グループは、1 本の DQS ピン、1 本の DM ピン、および複数の DQ ピンで構成されています。
- (2) (240 ピン PQFP パッケージの) EP3C16、EP3C25、EP3C40 の左側および右側の DQ グループは、DM ピンをサポートしません。
- (3) (144 ピン EQFP パッケージの) EP3C10、EP3C16、EP3C25 のボトム側の DQ グループは、DM ピンをサポートしません。

## データおよびデータ・クロック / ストローブ・ピン

外部メモリ・インタフェースの Cyclone III データ・ピンは、ライト・データ・ピンの場合は D、リード・データ・ピンの場合は Q、リードおよびライト兼用データ・ピンの場合は DQ と呼ばれます。リード・データ・ストローブまたはリード・クロックは、DQS ピンと呼ばれます。Cyclone III デバイスは、双方向データ・ストローブと単方向リード・クロックの両方をサポートします。外部メモリ規格に応じて、DQ と DQS は双方向信号 (DDR2 と DDR SDRAM) または単方向信号 (QDR II SRAM) になります。双方向 DQ データ信号は、Cyclone III の同じ DQ ピンに接続します。単方向 D または Q 信号の場合、リード・データ信号を DQ ピン・グループに、ライト・データ信号を別の DQ ピン・グループに接続します。

Cyclone III デバイスでは、DQS は DDR2 および DDR SDRAM インタフェースでライト・モード時にのみ使用します。Cyclone III デバイスは、DQS をリード・データ・ストローブとして無視します。これは、物理層 (PHY) が内部でリード・モード用のリード・キャプチャ・クロックを生成するためです。ただし、DQS ピンは、DDR2 および DDR SDRAM インタフェースでは DQS 信号に接続し、QDR II SRAM インタフェースでは CQ 信号に接続しなければなりません。



Cyclone III は、DDR2 SDRAM デバイスのオプション機能である差動ストロープ・ピンをサポートしません。



アルテラのメモリ・コントローラ MegaCore を使用するとき、PHY がインスタンス化されます。メモリ・インタフェース・データ・パスについて詳しくは、「ALTMEMPHY メガファンクション・ユーザガイド」を参照してください。



ALTMEMPHY は、各種メモリ・インタフェースのリード・データ・パスの実装を簡略化するために拡張された、自己キャリブレート式メガファンクションです。ALTMEMPHY のオートキャリブレーション機能は、プロセス、電圧、温度 (PVT) の変動に対してクロック位相と周波数を最適化し、使いやすさを提供します。ALTMEMPHY メガファンクションを使用すると、グローバル・クロック・バスの DQS 信号を配線する必要がないため (リード・キャプチャでは DQS が無視されるため)、Cyclone III デバイスのグローバル・クロック・リソースを節約できます。メモリ・ドメイン・クロック (DQS) からシステム・ドメインにデータ DQ をキャプチャするための転送が起こらないので、再同期の問題は発生しません。

Cyclone III デバイスのすべての I/O バンクは、 $\times 8$ 、 $\times 9$ 、 $\times 16$ 、 $\times 18$ 、 $\times 32$ 、 $\times 36$  の DQ バス・モードで、DQ 信号と DQS 信号をサポートします。 $\times 8$ 、 $\times 16$ 、 $\times 32$  モードでは、1 本の DQS ピンがグループ内のそれぞれ最大 8、16、32 本の DQ ピンをドライブし、DDR2 および DDR SDRAM インタフェースをサポートします。

$\times 9$ 、 $\times 18$ 、 $\times 36$  モードでは、DQS ピンのペア (CQ と CQ#) がグループ内のそれぞれ最大 9、18、36 本の DQ ピンをドライブし、1、2、または 4 つのパリティ・ビットと対応するデータ・ビットをサポートします。 $\times 9$ 、 $\times 18$ 、 $\times 36$  モードでは、QDRII メモリ・インタフェースをサポートします。CQ# は相補データ・ストロープ (DQS#) ピンに接続される反転リード・クロック信号です。メモリ・インタフェース信号として使用されていない場合は、未使用の DQ ピンを通常のユーザ I/O ピンとして使用できます。表 9-4 に、Cyclone III デバイスの各サイドでサポートされる DQS/DQ グループ数を示します。

表 9-4. デバイスの各サイドにおける Cyclone III DQS および DQ バス・モードのサポート (1)  
(1 / 5)

デバイス	パッケージ	サイド	×8 グループ の数	×9 グループ の数	×16 グループ の数	×18 グループ の数	×32 グループ の数	×36 グループ の数
EP3C5	144 ピン EQFP (2)	左	0	0	0	0	-	-
		右	0	0	0	0	-	-
		トップ (3)	1	0	0	0	-	-
		ボトム (4)、(5)	1	0	0	0	-	-
	256 ピン FineLine BGA (2)	左 (5)、(6)	1	1	0	0	-	-
		右 (5)、(7)	1	1	0	0	-	-
		トップ	2	2	1	1	-	-
		ボトム	2	2	1	1	-	-
EP3C10	144 ピン EQFP (2)	左	0	0	0	0	-	-
		右	0	0	0	0	-	-
		トップ (3)	1	0	0	0	-	-
		ボトム (4)、(5)	1	0	0	0	-	-
	256 ピン FineLine BGA (2)	左 (5)、(6)	1	1	0	0	-	-
		右 (5)、(7)	1	1	0	0	-	-
		トップ	2	2	1	1	-	-
		ボトム	2	2	1	1	-	-

表 9-4. デバイスの各サイドにおける Cyclone III DQS および DQ バス・モードのサポート (1)  
(2 / 5)

デバイス	パッケージ	サイド	×8 グループ の数	×9 グループ の数	×16 グループ の数	×18 グループ の数	×32 グループ の数	×36 グループ の数
EP3C16	144 ピン EQFP (2)	左	0	0	0	0	-	-
		右	0	0	0	0	-	-
		トップ (3)	1	0	0	0	-	-
		ボトム (4)、(5)	1	0	0	0	-	-
	240 ピン PQFP(2)	左 (5)、(8)	1	1	0	0	-	-
		右 (4)、(5)	1	0	0	0	-	-
		トップ	1	1	0	0	-	-
		ボトム	1	1	0	0	-	-
	256 ピン FineLine BGA(2)	左 (5)、(6)	1	1	0	0	-	-
		右 (5)、(7)	1	1	0	0	-	-
		トップ	2	2	1	1	-	-
		ボトム	2	2	1	1	-	-
	484 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ	4	2	2	2	1	1
		ボトム	4	2	2	2	1	1

表 9-4. デバイスの各サイドにおける Cyclone III DQS および DQ バス・モードのサポート (1)  
(3 / 5)

デバイス	パッケージ	サイド	×8 グループ の数	×9 グループ の数	×16 グループ の数	×18 グループ の数	×32 グループ の数	×36 グループ の数
EP3C25	144 ピン EQFP (2)	左	0	0	0	0	-	-
		右	0	0	0	0	-	-
		トップ (3)	1	0	0	0	-	-
		ボトム (4)、(5)	1	0	0	0	-	-
	240 ピン PQFP(2)	左 (5)、(8)	1	1	0	0	-	-
		右 (4)、(5)	1	0	0	0	-	-
		トップ	1	1	0	0	-	-
		ボトム	1	1	0	0	-	-
	256 ピン FineLine BGA(2)	左 (5)、(6)	1	1	0	0	-	-
		右 (5)、(7)	1	1	0	0	-	-
		トップ	2	2	1	1	-	-
		ボトム	2	2	1	1	-	-
	324 ピン FineLine BGA(2)	左	2	2	1	1	-	-
		右 (9)	2	2	1	1	-	-
		トップ	2	2	1	1	-	-
		ボトム	2	2	1	1	-	-

表 9-4. デバイスの各サイドにおける Cyclone III DQS および DQ バス・モードのサポート (1)  
(4 / 5)

デバイス	パッケージ	サイド	×8 グループ の数	×9 グループ の数	×16 グループ の数	×18 グループ の数	×32 グループ の数	×36 グループ の数
EP3C40	240 ピン PQFP	左 (5)、(8)	1	1	0	0	0	0
		右 (4)、(5)	1	0	0	0	0	0
		トップ	1	1	0	0	0	0
		ボトム	1	1	0	0	0	0
	324 ピン FineLine BGA	左	2	2	1	1	0	0
		右 (9)	2	2	1	1	0	0
		トップ	2	2	1	1	0	0
		ボトム	2	2	1	1	0	0
	484 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ	4	2	2	2	1	1
		ボトム	4	2	2	2	1	1
	780 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ	6	2	2	2	1	1
		ボトム	6	2	2	2	1	1
EP3C55	484 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ	4	2	2	2	1	1
		ボトム	4	2	2	2	1	1
	780 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ	6	2	2	2	1	1
		ボトム	6	2	2	2	1	1

表 9-4. デバイスの各サイドにおける Cyclone III DQS および DQ バス・モードのサポート (1)  
(5 / 5)

デバイス	パッケージ	サイド	×8 グループ の数	×9 グループ の数	×16 グループ の数	×18 グループ の数	×32 グループ の数	×36 グループ の数
EP3C80	484 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ	4	2	2	2	1	1
		ボトム	4	2	2	2	1	1
	780 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ	6	2	2	2	1	1
		ボトム	6	2	2	2	1	1
EP3C120	484 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ (4)	4	2	2	2	1	1
		ボトム (4)	4	2	2	2	1	1
	780 ピン FineLine BGA	左	4	2	2	2	1	1
		右	4	2	2	2	1	1
		トップ (4)	6	2	2	2	1	1
		ボトム (4)	6	2	2	2	1	1

## 表 9-4 の注:

- (1) 最終特性評価まで、これらの数値は暫定仕様です。
- (2) このデバイス・パッケージは、×32/×36 モードをサポートしません。
- (3) デバイスのトップ・サイドでは、 $R_{UP}$ 、 $R_{DN}$ 、 $PLLCLKOUT3n$ 、 $PLLCLKOUT3p$  が  $DQ/DM$  ピンと共有され、×8 DQ グループになります。On-Chip Termination (OCT) キャリブレーションに  $R_{UP}$  ピンと  $R_{DN}$  ピンを使用している場合、または  $PLLCLKOUT3n$  と  $PLLCLKOUT3p$  を使用している場合、これらのグループは使用できません。
- (4) これらのグループに対して、DM ピンはサポートされません。
- (5)  $R_{UP}$  ピンと  $R_{DN}$  ピンは、DQ ピンと共有されます。OCT キャリブレーションに  $R_{UP}$  ピンと  $R_{DN}$  ピンを使用している場合、これらのグループは使用できません。
- (6) ×8 DQ グループはバンク 2 で形成できます。
- (7) ×8 DQ グループはバンク 5 で形成できます。
- (8) これらのグループに対して、DM ピンと BWS# ピンはサポートされません。
- (9)  $R_{UP}$  ピンは DQ ピンと共有され、×9 または ×18 DQ グループになります。OCT キャリブレーションに  $R_{UP}$  ピンと  $R_{DN}$  ピンを使用している場合、これらのグループは使用できません。

DQS ピンは、Cyclone III ピン・テーブルでは DQSXY として表記されています。ここで、X は DQS グループ番号、Y は DQS ピンが I/O バンクのどのサイドに属するかを示します。Y はデバイスのトップ・サイドのピンでは T、ボトムのピンでは B、左のピンでは L、右のピンでは R になります。同様に、対応する DQ ピンは DQXY と表記されます。ここで、X はどの DQ グループにピンが属するかを表し、Y は DQ ピンの I/O バンクの位置を表します。Y はデバイスのトップ・サイドのピンでは T、ボトムのピンでは B、左のピンでは L、右のピンでは R になります。例えば、DQS2T はデバイスのトップ・サイドに配置されたグループ 2 に属する DQS ピンを示します。同様に、同じグループ内の DQ ピンは DQ2T として示されます。

DQ ピンの番号は、x8/x9 モードに基づいて付けられます。I/O バンクには、x8 モードでは最大 20 の DQS/DQ グループ、x9 モードでは最大 8 つの DQS/DQ グループがあり、これらピンは外部メモリ・インタフェースに使用できます。図 9-4 および図 9-5 に、Cyclone III I/O バンクの DQS/DQ/CQ# ピンの位置と番号を示します。

図 9-4. Cyclone III I/O バンクの DQS/CQ/CQ# ピン 注 (1)

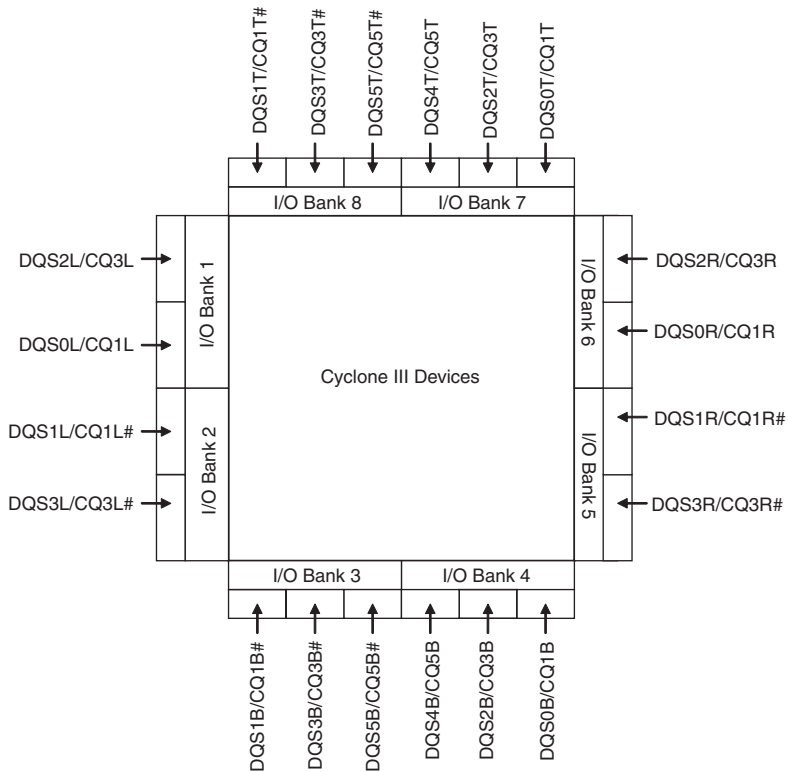
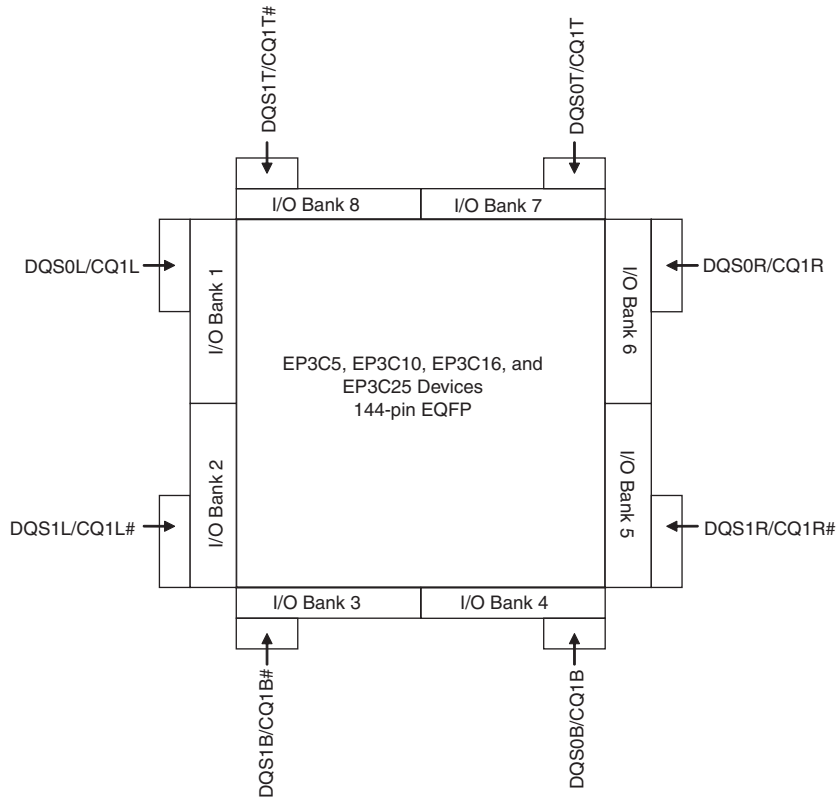


図 9-4 の注 :

- (1) この図の DQS/CQ/CQ# ピンの位置は、144 ピン EQFP パッケージの EP3C5、EP3C10、EP3C16、EP3C25 デバイスを除く、Cyclone III ファミリのすべてのパッケージに適用されます。

図 9-5.144 ピン EQFP パッケージの EP3C5、EP3C10、EP3C16、および EP3C25 デバイスの DQS/CQ/CQ# ピン



Cyclone III デバイスでは、x9 モードは x8 モードと同じ DQ ピンおよび DQS ピンを使用し、さらに x8 モードでは通常の I/O ピンとして機能する 1 本の DQ ピンを使用します。x18 モードは x16 モードと同じ DQ ピンおよび DQS ピンを使用し、さらに x16 モードでは通常の I/O ピンとして機能する 2 本の DQ ピンを使用します。同様に、x36 モードは x32 モードと同じ DQ ピンおよび DQS ピンを使用し、さらに x32 モードでは通常の I/O ピンとして機能する 4 本の DQ ピンを使用します。DQ ピンまたは DQS ピンとして使用しない場合、メモリ・インタフェース・ピンは通常の I/O ピンとして使用できます。

## オプションのパリティ、DM、ECC ピン

Cyclone III デバイスは、×9、×18、×36 モードではパリティをサポートします。8 ビットのデータ・ピンごとに 1 つのパリティ・ビットを使用できます。Cyclone III デバイスでは、パリティ・ピンは DQ ピンと同様に扱われ、コンフィギュレーションされるため、DQ ピンのいずれか 1 本をパリティに使用できます。

データ・マスク (DM) ピンは、DDR2 および DDR SDRAM デバイスに書き込むときにのみ必要です。QDR II SRAM デバイスは、BWS# 信号を使用してメモリに書き込まれるバイトを選択します。DM ピンまたは BWS# ピンの Low 信号は、書き込みが有効であることを示します。DM ピンまたは BWS# ピンを High にドライブすると、メモリは DQ 信号をマスクします。DQS 信号と DQ 信号の各グループには、1 本の DM ピンがあります。DQ 出力信号と同様に、DM 信号は -90° シフトしたクロックでドライブされます。

Cyclone III デバイスでは、DM ピンはデバイスのピン配置に予め割り当てられています。Quartus II フィッタは、配置を行う場合は、DQS グループの DQ ピンと DM ピンを同等に扱います。予め割り当てられた DQ ピンと DM ピンは優先的に使用するピンです。

一部の DDR2 SDRAM および DDR SDRAM デバイスは、データ送信時のエラーを検出し、自動的に訂正する方法である、誤り訂正コード (ECC) をサポートしています。72 ビット DDR2 または DDR SDRAM では、8 本の ECC ピンと 64 本のデータ・ピンがあります。DDR2 および DDR SDRAM の ECC ピンは、Cyclone III デバイスの DQS/DQ グループに接続します。メモリ・コントローラには、ECC データをエンコードおよびデコードする追加ロジックが必要です。

## アドレス・ピンおよびコントロール/コマンド・ピン

アドレス信号とコントロールまたはコマンド信号は、通常はシングル・データ・レートで送信されます。Cyclone III デバイスのすべての I/O バック上のいずれかのユーザ I/O ピンを使用して、メモリ・デバイスへのアドレス信号およびコントロール/コマンド信号を生成できます。



Cyclone III デバイスは、2 のバースト長では、QDR II SDRAM をサポートしていません。

## メモリ・クロック・ピン

DDR2 および DDR SDRAM メモリ・インタフェースでは、メモリ・クロック信号 (CK と CK#) を使用して、アドレス信号とコントロールまたはコマンド信号をキャプチャします。同様に、QDR II SRAM デバイスは、ライト・クロック (K と K#) を使用して、アドレス信号とコマンド信号をキャプチャします。CK/CK# 信号と K/K# 信号は、Cyclone III デバイスの DDIO レジスタを使用してライト・データ・ストロブと同様に生成されます。通常の隣接 I/O ピンのいずれかを使用して、DDR2 および DDR SDRAM インタフェースに対して CK/CK# を生成するか、または QDR II SRAM に対して K/K# を生成することができます。

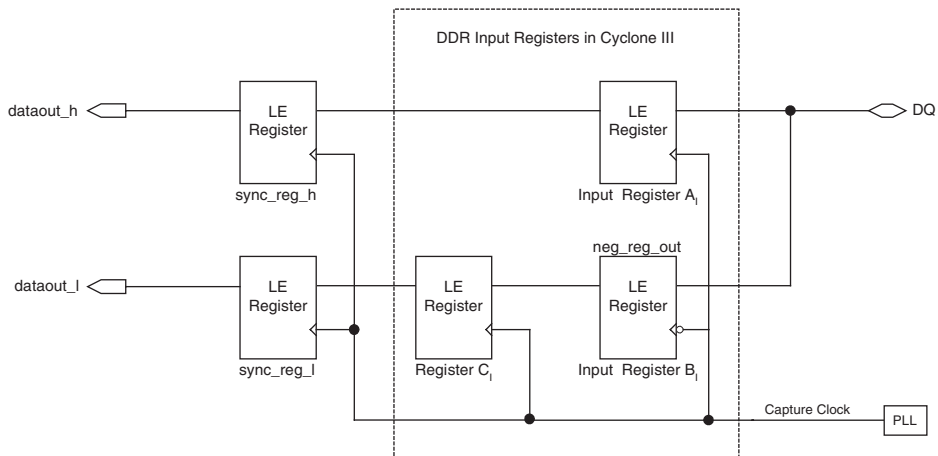
## Cyclone III メモリ・インタ フェース機能

以下に、DDR 入力レジスタ、DDR 出力レジスタ、On-Chip Termination、PLL を含む Cyclone III メモリ・インタフェースについて説明します。

### DDR 入力レジスタ

DDR 入力レジスタは、各 DQ ピンに対して 3 個の内部ロジック・エレメント (LE) レジスタを使用して実装されます。これらの LE レジスタは、DDR 入力ピンに隣接するロジック・アレイ・ブロック (LAB) に配置されます。図 9-6 に、Cyclone III DDR 入力レジスタを示します。

図 9-6. Cyclone III DDR 入力レジスタ



DDR データは最初に、入力レジスタ  $A_1$  と入力レジスタ  $B_1$  の 2 個のレジスタに供給されます。

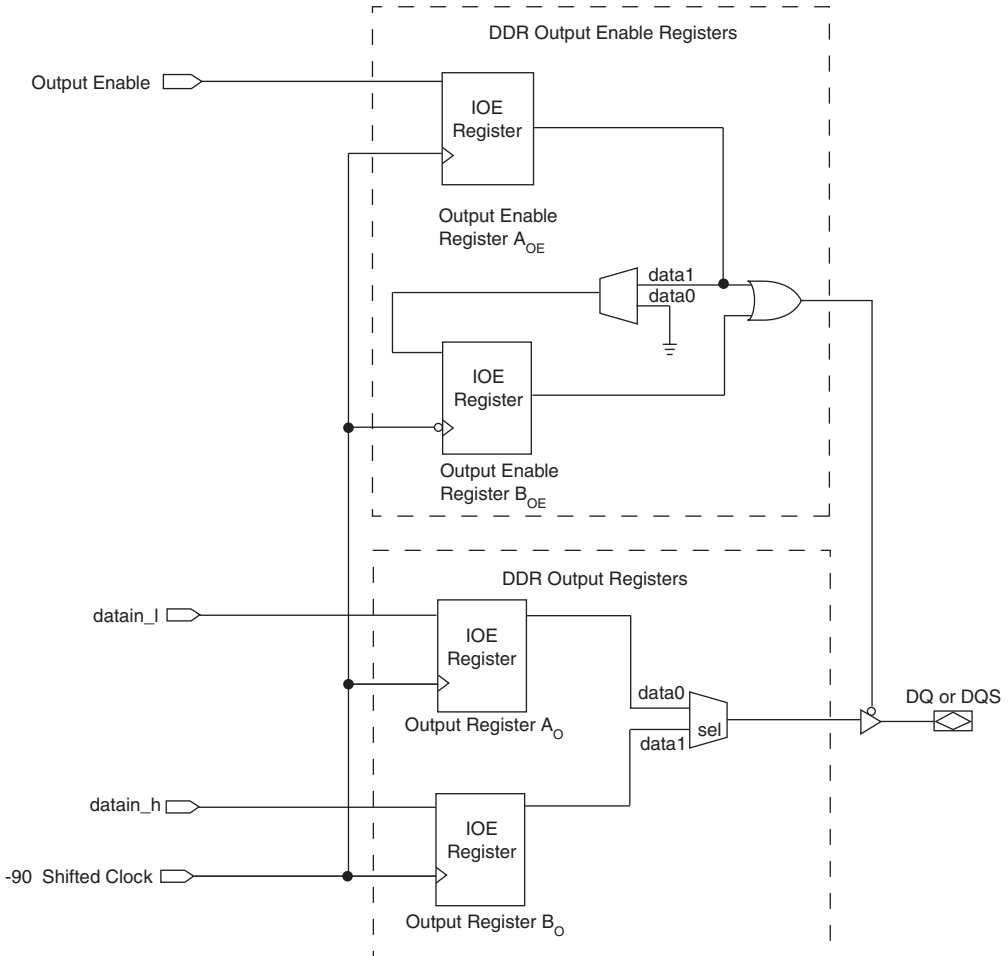
- 入力レジスタ  $A_1$  は、クロックの立ち上がりエッジの間に存在する DDR データをキャプチャします。
- 入力レジスタ  $B_1$  は、クロックの立ち下がりエッジの間に存在する DDR データをキャプチャします。
- レジスタ  $C_1$  は、システム・クロックに同期する前にデータを揃えます。

`sync_reg_h` レジスタと `sync_reg_l` レジスタは、DDR 入力レジスタからデータを受け取り、そのデータを FIFO に転送して、2 つのデータ・ストリームをシステム・クロックの立ち上がりエッジに同期させます。リード・キャプチャ・クロックは PLL が生成するため、Cyclone III デバイスでは読み出し中にリード・データ・ストロブ信号 (`DQS` または `CQ`) は使用されません。したがって、このケースではポストアンブルは問題になりません。

## DDR 出力レジスタ

専用ライト DDIO ブロックは、DDR 出力および出力イネーブル・パスに実装されます。図 9-7 に、Cyclone III の専用ライト DDIO ブロックが IOE レジスタに実装される様子を示します。

図 9-7. Cyclone III 専用ライト DDIO



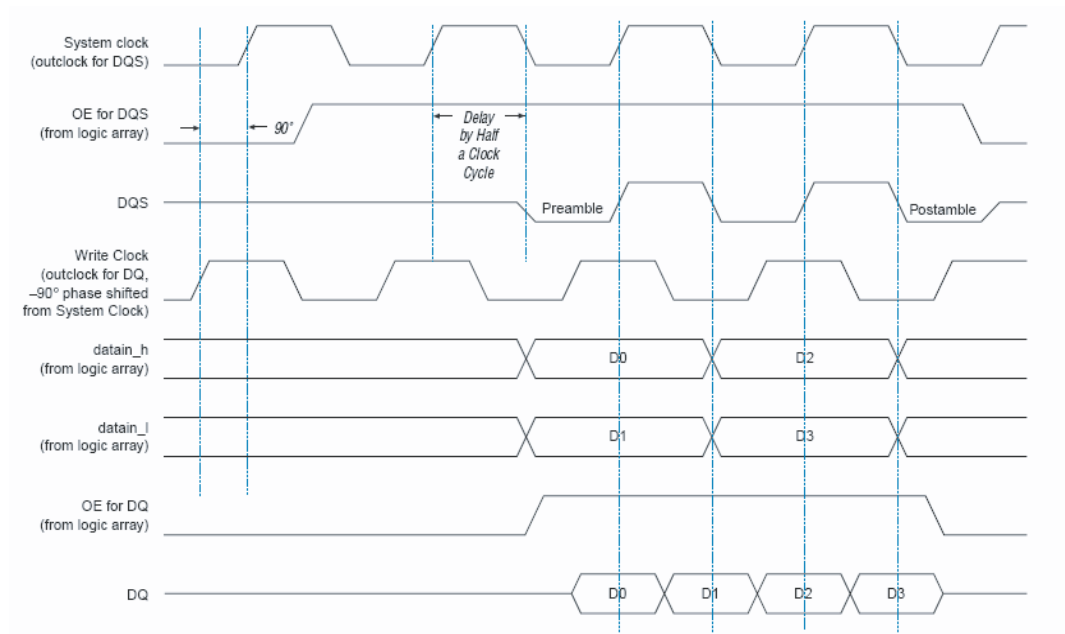
I/O エlement (IOE) ブロックには、2 個の DDR 出力レジスタが配置されます。2 つのシリアル・データ・ストリームが、`datain_1` と `datain_h` を通して同じクロック・エッジでそれぞれ output register A<sub>0</sub> と output register B<sub>0</sub> の 2 個のレジスタに送られます。output register A<sub>0</sub> の出力は、クロックの立ち下がりエッジでキャプチャされ、output register B<sub>0</sub> の出力はクロックの立ち上がりエッジでキャプチャされます。レジスタに格納された出力は、共通のクロックで多重化され、データ・レートの 2 倍の速度で DDR 出力ピンをドライブします。

DDR 出力イネーブル・パスは、IOE ブロックの DDR 出力パスに類似した構造を持っています。2 番目の出力イネーブル・レジスタは、DDR 外部メモリ・インタフェースの DQS ストローブに対するライト・プリアンブルを提供します。このアクティブ Low 出力イネーブル・レジスタは、ピンのハイ・インピーダンス状態を半クロック・サイクルだけ延長して、外部メモリの DQS ライト・プリアンブル時間仕様を提供します。図 9-8 に、書き込み動作の間に、2 番目の出力イネーブル・レジスタが DQS のハイ・インピーダンス状態を半クロック・サイクル延長する様子を示します。



Cyclone III IOE レジスタについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスの I/O 機能」の章を参照してください。

図 9-8. ライト・トランザクションに対する OE ディセーブルの半クロック・サイクル延長



## 図 9-8 の注：

- (1) 波形はソフトウェアのシミュレーション結果を反映します。OE 信号はデバイスではアクティブ Low です。ただし、Quartus II ソフトウェアは信号をアクティブ High として実装し、A<sub>OE</sub> レジスタ D 入力の前に自動的にインバータを追加します。

## On-Chip Termination (OCT)

Cyclone III は、垂直および水平両方の I/O バンクで、キャリブレート済みチップ内直列終端 (OCT R<sub>S</sub>) をサポートします。キャリブレート済み OCT を使用するには、各 OCT R<sub>S</sub> コントロール・ブロックに R<sub>UP</sub> ピンと R<sub>DN</sub> ピンを (各サイドに 1 本ずつ) 使用する必要があります。各 OCT キャリブレーション・ブロックを使用して、同じサイドの V<sub>CCIO</sub> で 1 つのタイプの終端をキャリブレートすることができます。



Cyclone III OCT キャリブレーション・ブロックについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスの I/O 機能」の章を参照してください。

## PLL

外部メモリにインタフェースする場合、PLL を使用してメモリ・システム・クロック、ライト・クロック、キャプチャ・クロック、およびロジック・コア・クロックが生成されます。システム・クロックは、DQS ライト信号、コマンド、およびアドレスを生成します。ライト・クロックはシステム・クロックから  $-90^\circ$  シフトし、書き込み時に DQ 信号を生成します。PLL リコンフィギュレーション機能を使用して、セットアップとホールドのマージンのバランスがとれるように、リード・キャプチャ位相シフトをキャリブレートすることができます。



PLL は ALTMEMPHY メガファンクション内でインスタンス化されます。ALTMEMPHY メガファンクションがインスタンス化されて外部メモリにインタフェースするときには、PLL のすべての出力が使用されます。ALTMEMPHY メガファンクションによる PLL 出力の使用法については、アルテラのウェブサイトを [www.altera.co.jp](http://www.altera.co.jp) の「ALTMEMPHY メガファンクション・ユーザガイド」を参照してください。



Cyclone III PLL について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのクロック・ネットワークおよび PLL」の章を参照してください。

## まとめ

Cyclone III デバイスは、DDR2 SDRAM、DDR SDRAM、QDR II SRAM 外部メモリ・インタフェースをサポートします。自己キャリブレート式 ALTMEMPHY メガファンクションは、各種メモリ・インタフェースのデータ・パスの実装を簡略化し、Cyclone III デバイスおよび外部メモリ・デバイスでのプロセス、電圧、温度変動を通常の動作を中断しないでダイナミックにキャリブレートします。

Cyclone III により、DDR2 SDRAM デバイスでは最大 200 MHz/400 Mbps、DDR SDRAM デバイスでは最大 167 MHz/333 Mbps、QDR II SRAM デバイスでは最大 167 MHz/667 Mbps の外部メモリ・インタフェース間転送データ・レートを実現できます。また Cyclone III デバイスは、出力デューティ・サイクルを改善し、より適切なライト・マージンを確保する専用 DDIO ライト・レジスタも提供します。

## 改訂履歴

表 9-5 に、本資料の改訂履歴を示します。

表 9-5. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 3 月 v1.0	初版	

