

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CIII51004-2.2

Cyclone® III デバイス・ファミリ (Cyclone III および Cyclone III LS デバイス) は、アルテラの Cyclone III デバイス・ファミリのデザインのオンチップ・メモリの要件に対応するエンベデッド・メモリ構造を特長としています。エンベデッド・メモリ構造は、M9K メモリ・ブロックのカラムで構成され、RAM、シフト・レジスタ、ROM、FIFO (FirstIn FirstOut) バッファなど、様々なメモリ機能を提供するようにコンフィギュレーションできます。

この章は、以下の項で構成されています。

- 3-9 ページの「メモリ・モード」
- 3-16 ページの「クロック・モード」
- 3-17 ページの「デザインの検討事項」

概要

M9K ブロックは、以下の機能をサポートしています。

- 1 ブロックあたり 8,192 メモリ・ビット (パリティを含め 1 ブロックあたり 9,216 ビット)
- 各ポートに対する独立したリード・イネーブル (rden) およびライト・イネーブル (wren) 信号
- パック・モードにおいて、M9K メモリ・ブロックを 2 つの 4.5 K シングル・ポート RAM に分割
- 可変ポート・コンフィギュレーション
- すべてのポート幅に対するシングル・ポートおよびシンプル・デュアル・モードのサポート
- ツール・デュアル・ポート (1 リードおよび 1 ライト、2 リード、または 2 ライト) 動作
- ライト中のデータ入カマスキング用のバイト・イネーブル
- 各ポート (ポート A およびポート B) に対する 2 つのクロック・イネーブル・コントロール信号
- RAM および ROM モードでメモリの内容をプリロードするための初期化ファイル

表 3-1 に、M9K メモリでサポートされる機能を示します。

表 3-1. M9K メモリ機能の要約

機能	M9K ブロック
構成 (深さ × 幅)	8192 × 1
	4096 × 2
	2048 × 4
	1024 × 8
	1024 × 9
	512 × 16
	512 × 18
	256 × 32
	256 × 36
パリティ・ビット	✓
バイト・イネーブル	✓
バック・モード	✓
アドレス・クロック・イネーブル	✓
シングル・ポート・モード	✓
シングル・デュアル・ポート・モード	✓
トウルー・デュアル・ポート・モード	✓
エンベデッド・シフト・レジスタ・モード (1)	✓
ROM モード	✓
FIFO バッファ (1)	✓
シングル・デュアル・ポートの異なるデータ幅のサポート	✓
トウルー・デュアル・ポートの異なるデータ幅のサポート (2)	✓
メモリ初期化ファイル (.mif)	✓
混合クロック・モード	✓
パワーアップ条件	出力はクリア
レジスタ非同期クリア	リード・アドレス・レジスタおよび出力レジスタのみ
ラッチ非同期クリア	出力ラッチのみ
ライトまたはリード動作のトリガ	ライトおよびリード: 立ち上がりクロック・エッジ
同一ポートに対する Read-During-Write	出力は Old Data または New Data に設定される

表 3-1. M9K メモリ機能の要約

機能	M9K ブロック
混在ポートに対する Read-During-Write	出力は Old Data または Don't Care に設定される

表 3-1 の注:

- (1) FIFO バッファおよびエンベデッド・シフト・レジスタは、コントロール・ロジックの実装に外部ロジック・エレメント (LE) を必要とします。
- (2) 32 および 36 ビット幅モードは使用できません。



Cyclone III デバイス・ファミリの M9K メモリ・ブロック数について詳しくは、「[Cyclone III Device Family Overview](#)」の章を参照してください。

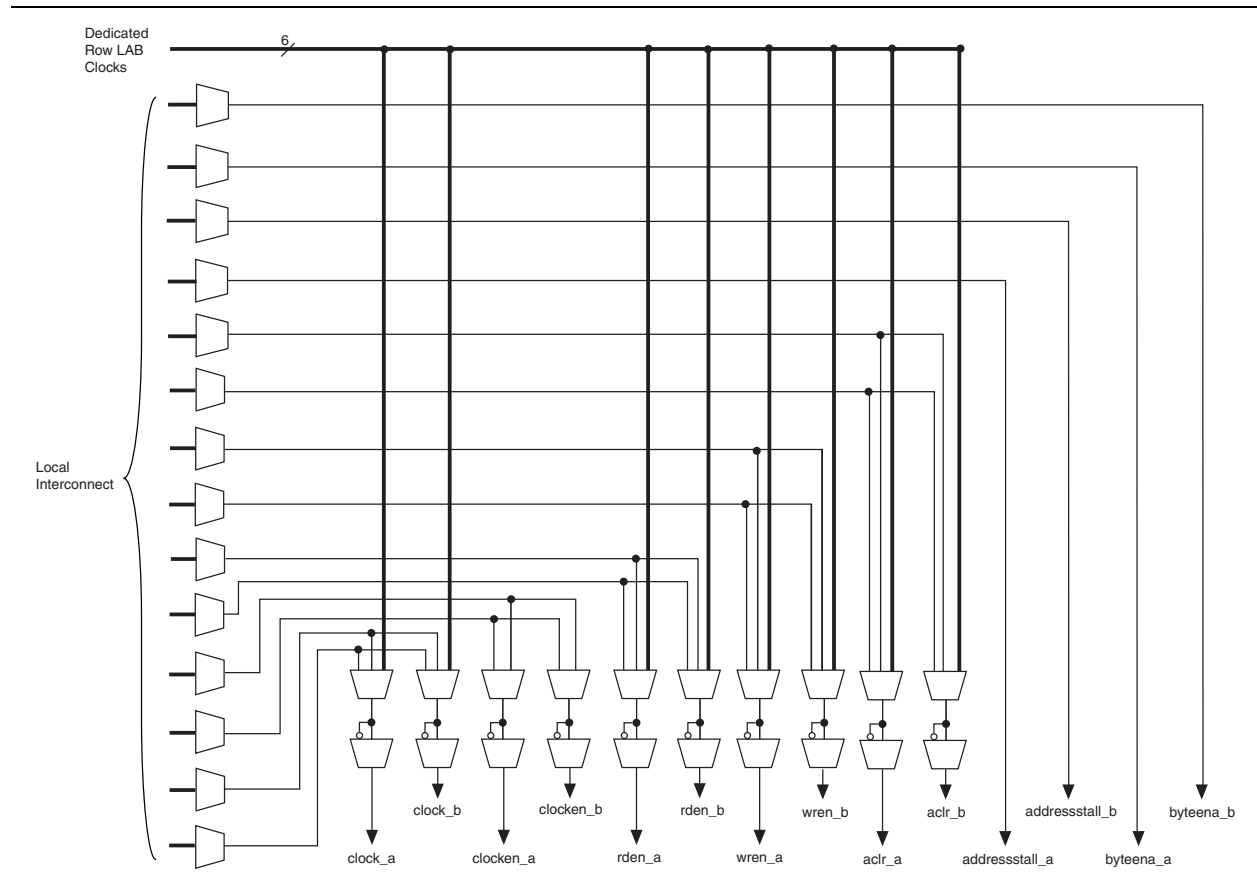
コントロール信号

クロック・イネーブル・コントロール信号は、入力レジスタおよび出力レジスタだけでなく、M9K メモリ・ブロック全体に入力されるクロックを制御します。この信号はクロックをディセーブルするため、M9K メモリ・ブロックがクロック・エッジを認識したり、何らかの動作を実行したりすることはありません。

リード・イネーブル (rden) およびライト・イネーブル (wren) コントロール信号は、M9K メモリ・ブロックの各ポートに対するリードおよびライト動作を制御します。rden 信号または wren 信号を個別にディセーブルにして、動作が不要なときにはいつでも電力を節約することができます。

図 3-1 に、レジスタ・クロック、クリア、およびコントロール信号が Cyclone III デバイス・ファミリの M9K メモリ・ブロックにどのように実装されるかを示します。

図 3-1. M9K コントロール信号の選択



パリティ・ビットのサポート

パリティ・ビットを内部ロジック・ソースと併せて使用して、エラー検出のためのパリティ・チェックを行うことができます。Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、各ストレージ・バイトに対するパリティ・ビットをサポートします。このビットは、パリティ・ビットまたは追加データ・ビットとしてオプションで使用できます。このビットに対しては、いかなるパリティ機能も実行されません。

バイト・イネーブルのサポート

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、入力データをマスクしてデータの特定のバイトだけが書き込まれるようにするバイト・イネーブルをサポートしています。書き込まれなかったバイトは、前に書き込まれた値を保持します。wren 信号は、バイト・イネーブル (byteena) 信号と共に RAM ブロックのライト動作を制御します。byteena 信号のデフォルト値は High (イネーブル) であり、この場合、ライト動作は wren 信号でのみコントロールされます。byteena レジスタへのクリア・ポートはありません。M9K ブロックは、ライト・ポートのデータ幅が x16、x18、x32、または x36 ビット有的时候にはバイト・ライトをサポートします。

バイト・イネーブルは one-hot 方式で動作し、byteena 信号の最下位ビット (LSB) がデータ・バスの最下位バイトに対応します。例えば、byteena = 01 で RAM ブロックを x18 モードで使用する場合、data [8..0] がイネーブルされ、data [17..9] がディセーブルされます。同様に、byteena = 11 の場合、data [8..0] と data [17..9] の両方がイネーブルされます。バイト・イネーブルはアクティブ High です。

表 3-2 に、バイトの選択を示します。

表 3-2. Cyclone III デバイス・ファミリの M9K ブロックの byteena (注 1)

byteena[3..0]	影響を受けるバイト			
	datain × 16	datain × 18	datain × 32	datain × 36
[0] = 1	[7..0]	[8..0]	[7..0]	[8..0]
[1] = 1	[15..8]	[17..9]	[15..8]	[17..9]
[2] = 1	—	—	[23..16]	[26..18]
[3] = 1	—	—	[31..24]	[35..27]

表 3-2 の注:

(1) どのバイト・イネーブルの組み合わせでも可能です。

図 3-2 に、wren 信号と byteena 信号が RAM の動作を制御する方法を示します。

図 3-2. Cyclone III デバイス・ファミリの byteena 機能の波形 (注 1)

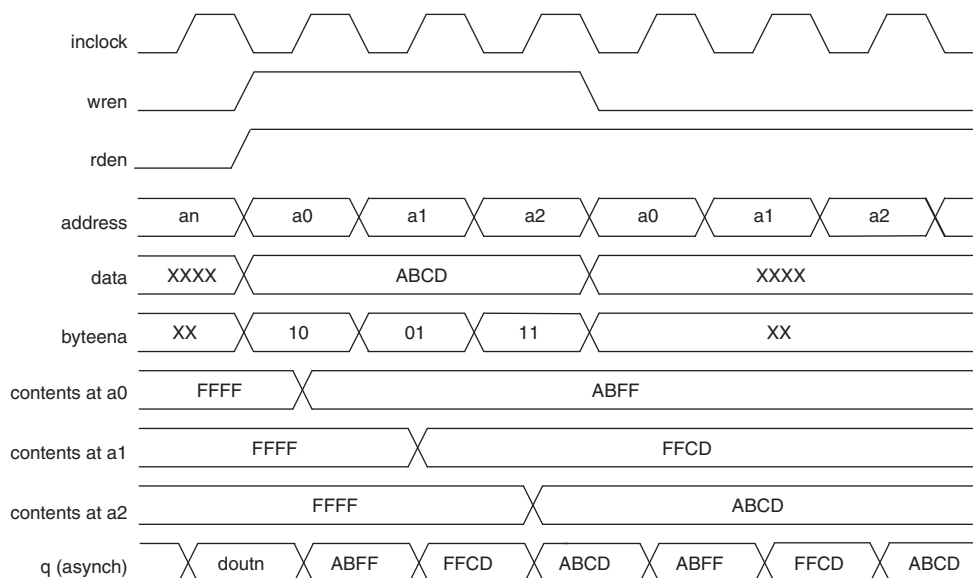


図 3-2 の注:

(1) この機能の波形については、New Data モードが選択されています。

ライト・サイクルの間に byteena ビットがデアサートされた場合、メモリの古いデータが対応するデータ・バイト出力に現れます。ライト・サイクルの間に byteena ビットがアサートされた場合、対応するデータ・バイト出力は Quartus II ソフトウェアで選択された設定によって決まります。この設定は、その位置に新たに書き込まれたデータまたは古いデータのいずれかです。

パック・モードのサポート

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、パック・モードをサポートしています。以下の条件に基づいて単一ブロックに 2 つのシングル・ポート・メモリ・ブロックを実装できます。

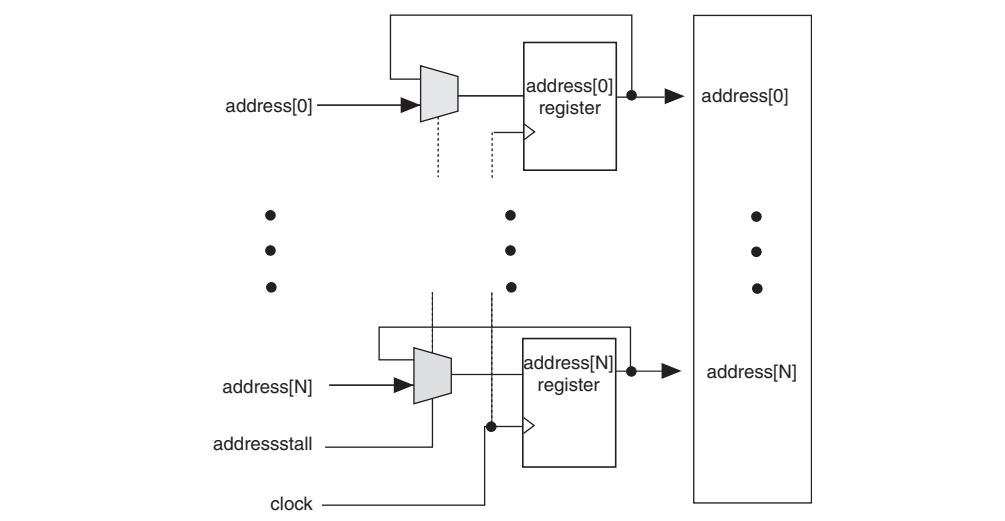
- 2 つの独立したブロックのサイズがそれぞれ、M9K ブロック・サイズの半分以下であること。独立したブロックの最大データ幅がそれぞれ、18 ビットであること。
- 各シングル・ポート・メモリ・ブロックは、シングル・クロック・モードでコンフィギュレーションされます。パック・モードのサポートについて詳しくは、3-9 ページの「シングル・ポート・モード」および 3-17 ページの「シングル・クロック・モード」を参照してください。

アドレス・クロック・イネーブル・サポート

すべての Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、`addressstall` 信号が High (`addressstall = '1'`) である限り、以前のアドレス値を保持するアクティブ Low アドレス・クロック・イネーブルをサポートしています。M9K メモリ・ブロックをデュアル・ポート・モードでコンフィギュレーションすると、各ポートは専用の独立したアドレス・クロック・イネーブルを持ちます。

図 3-3 に、アドレス・クロック・イネーブルのブロック図を示します。アドレス・レジスタ出力は、マルチプレクサを介してその入力にフィード・バックされます。マルチプレクサ出力は、アドレス・クロック・イネーブル (`addressstall`) 信号で選択されます。

図 3-3. Cyclone III デバイス・ファミリのアドレス・クロック・イネーブルのブロック図



アドレス・クロック・イネーブルは、通常キャッシュ・ミス時の効率を改善するために、キャッシュ・メモリ・アプリケーションに使用されます。アドレス・クロック・イネーブル信号のデフォルト値は Low です。

図 3-4 と図 3-5 に、リード・サイクルとライト・サイクル時のアドレス・クロック・イネーブル波形を示します。

図 3-4. Cyclone III デバイス・ファミリのアドレス・クロック・イネーブルのリード・サイクル時の波形

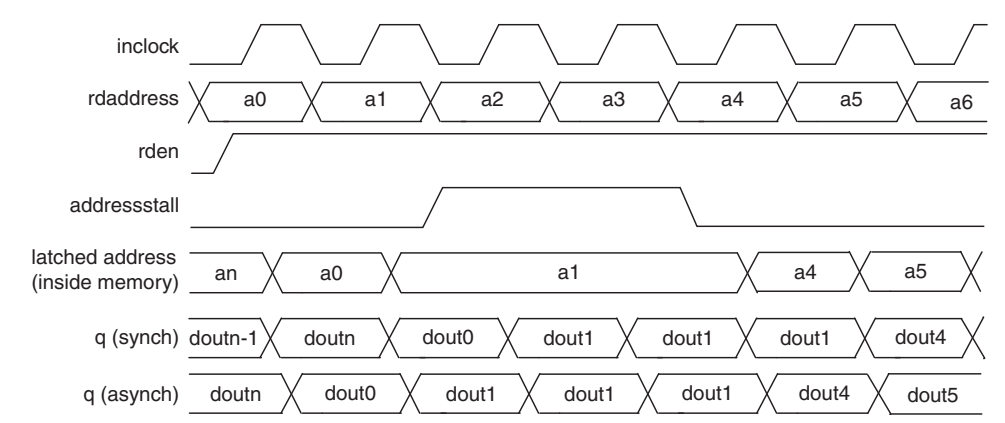
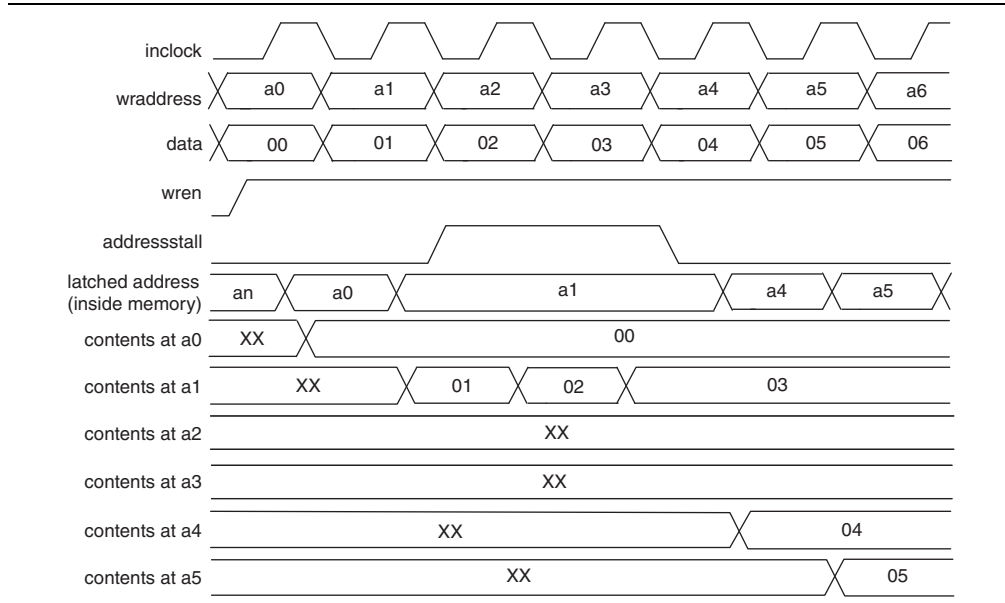


図 3-5. Cyclone III デバイス・ファミリのアドレス・クロック・イネーブルのライト・サイクル時の波形



混在するデータ幅のサポート

M9K メモリ・ブロックは、混在するデータ幅をサポートします。シンプル・デュアル・ポート、ツール・デュアル・ポート、または FIFO モードを使用する場合、データ幅混合のサポートにより、M9K メモリ・ブロックに異なるデータ幅のリードおよびライト動作を実行できます。メモリ・モード別にサポートされるデータ幅混合について詳しくは、3-9 ページの「メモリ・モード」を参照してください。

非同期クリア

Cyclone III デバイス・ファミリは、出力レジスタおよび出力ラッチの非同期クリアのみサポートしています。リード・アドレス・レジスタ以外の入力レジスタは、サポートされていません。非同期クリア信号を出力レジスタに印加すると、出力レジスタがクリアされ、即時に出力に伝達されます。RAM に出力レジスタが使用されていない場合でも、出力ラッチの非同期クリア機能によって RAM 出力をクリアすることができます。


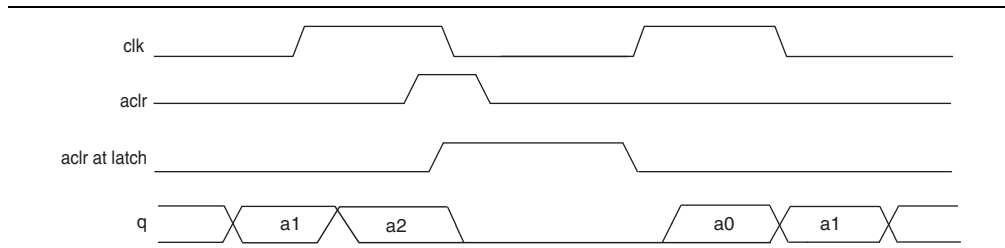

 リード動作中に非同期をリード・アドレス・レジスタにアサートすると、メモリの内容が破壊される可能性があります。

図 3-6 に、非同期クリア機能に対する機能波形を示します。

図 3-6. 出力ラッチの非同期クリア波形



 Quartus II RAM MegaWizard™ Plug-In Manager により、ロジック・メモリごとに非同期クリアを選択的にイネーブルすることができます。

 詳細は、[RAM Megafunction User Guide](#) を参照してください。

M9K ブロック内のレジスタのリセットする方法は、3 種類あります。


- デバイスをパワーアップ
- 出力レジスタにのみ `aclr` を使用
- `DEV_CLRn` オプションを使用してデバイス・ワイドのリセット信号をアサート

メモリ・モード

Cyclone III デバイス・ファミリの M9K メモリ・ブロックでは、複数の動作モードで完全同期 SRAM メモリの実装が可能です。Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、非同期（ラッチされていない）メモリ入力をサポートしていません。

M9K メモリ・ブロックは、以下のモードをサポートしています。

- シングル・ポート
- シンプル・デュアル・ポート
- トゥルー・デュアル・ポート
- シフト・レジスタ
- ROM
- FIFO

 M9K メモリ・ブロック入力レジスタに対するセットアップまたはホールド・タイムに違反があると、メモリの内容が破壊される可能性があります。これはリードおよびライトの両方の動作に当てはまります。

シングル・ポート・モード

シングル・ポート・モードは、単一アドレスからの非同時のリードおよびライト動作をサポートしています。[図 3-7](#) に、Cyclone III デバイス・ファミリの M9K メモリ・ブロックのシングル・ポート・メモリ・コンフィギュレーションを示します。

図 3-7. シングル・ポート・メモリ (注 1), (2)

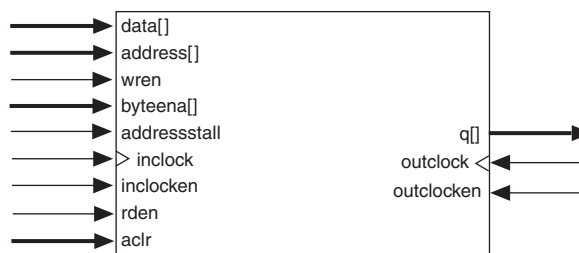


図 3-7. シングル・ポート・メモリ (注 1), (2)

図 3-7 の注:

- (1) 2 つのシングル・ポート・メモリ・ブロックを 1 つの M9K ブロックに実装することが可能です。
- (2) 詳細は、3-6 ページの「バック・モードのサポート」を参照してください。

ライト動作中に、RAM 出力の動作をコンフィギュレーションすることができます。ライト動作時に `rden` をアクティブにすると、RAM 出力はそのアドレスに書き込まれている新しいデータまたはそのアドレスにある古いデータのいずれかを示します。`rden` を非アクティブにしてライト動作を実行すると、RAM 出力は最後のアクティブ `rden` 信号の時に取得した値を保持します。

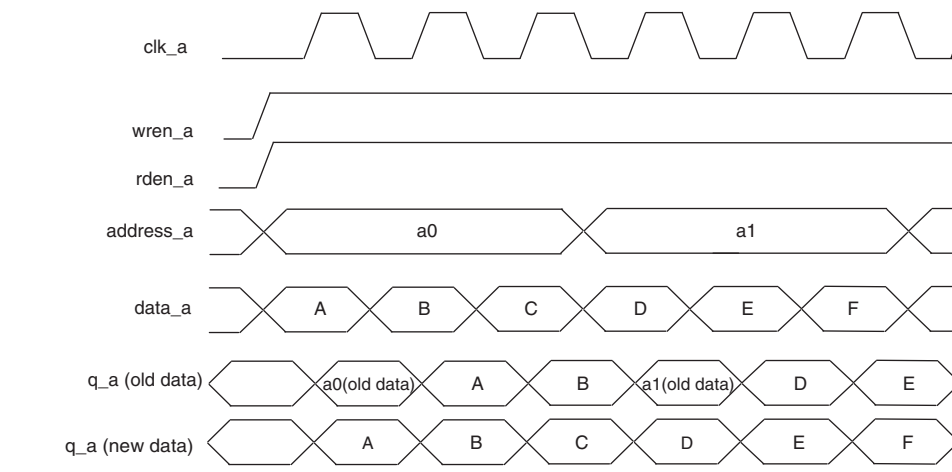
希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard Plug-In Manager で、**Read-During-Write** オプションを **New Data** または **Old Data** のいずれかに設定します。Read-During-Write モードについて詳しくは、3-17 ページの「Read-During-Write 動作」を参照してください。

シングル・ポート・モードでの M9K ブロックのポート幅コンフィギュレーションは、以下の通りです。

- 8192 × 1
- 4096 × 2
- 2048 × 4
- 1024 × 8
- 1024 × 9
- 512 × 16
- 512 × 18
- 256 × 32
- 256 × 36

図 3-8 に、シングル・モード・ポートでのリードおよびライト動作のタイミング波形を示します。RAM の出力をラッチしても、`q` 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 3-8. Cyclone III デバイス・ファミリのシングル・ポート・モードのタイミング波形



シンプル・デュアル・ポート・モード

シンプル・デュアル・ポート・モードでは、リード動作とライト動作の同時実行がサポートされます。図 3-9 に、シンプル・デュアル・ポート・メモリの構成を示します。

図 3-9. Cyclone III デバイス・ファミリのシンプル・デュアル・ポート・メモリ (注 1)

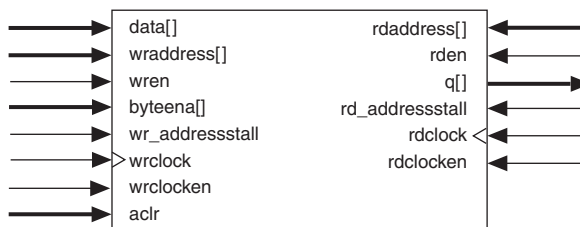


図 3-9 の注:

- (1) シンプル・デュアル・ポート RAM は、ここに示すリードまたはライト・クロック・モードに加えて、入力または出力クロック・モードをサポートします。

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、データ幅が混在する構成をサポートしており、これによって異なるリードおよびライト・ポート幅が利用できます。

表 3-3 に、データ幅混合の構成を示します。

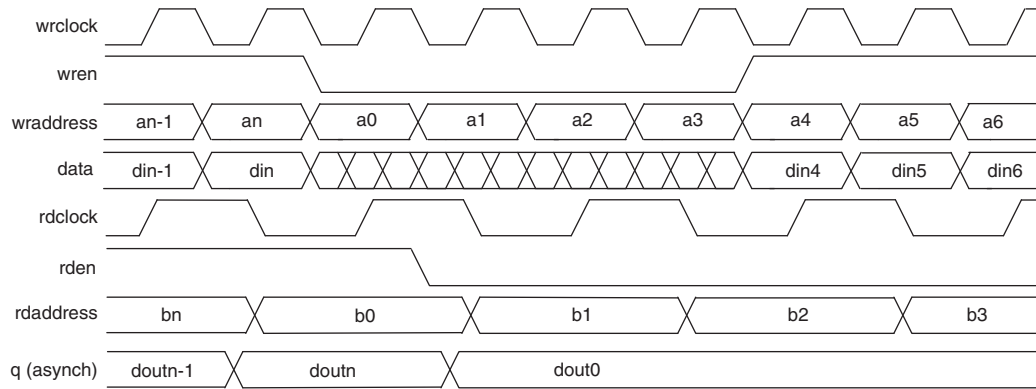
表 3-3. Cyclone III デバイス・ファミリの M9K ブロックのデータ幅混合の構成 (シンプル・デュアル・ポート・モード)

リード・ポート	ライト・ポート								
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	256 × 32	1024 × 9	512 × 18	256 × 36
8192 × 1	✓	✓	✓	✓	✓	✓	—	—	—
4096 × 2	✓	✓	✓	✓	✓	✓	—	—	—
2048 × 4	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 8	✓	✓	✓	✓	✓	✓	—	—	—
512 × 16	✓	✓	✓	✓	✓	✓	—	—	—
256 × 32	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 9	—	—	—	—	—	—	✓	✓	✓
512 × 18	—	—	—	—	—	—	✓	✓	✓
256 × 36	—	—	—	—	—	—	✓	✓	✓

シンプル・デュアル・ポート・モードでは、M9K メモリ・ブロックは個別の wren および rden 信号をサポートします。リード動作を実行しないときは、rden 信号を Low (非アクティブ) に保持することによって電力を節約できます。ライト中に同一アドレスへのリード動作を実行することにより、そのアドレスに存在する「Don't Care」データまたは「Old Data」データを出力することができます。希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard Plug-In Manager で、Read-During-Write 動作を「Don't Care」または「Old Data」のいずれかに設定します。この動作について詳しくは、3-17 ページの「Read-During-Write 動作」を参照してください。

図 3-10 に、シンプル・デュアル・モード・ポートでのラッチなし出力のリードおよびライト動作のタイミング波形を示します。RAM の出力をラッチしても、q 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 3-10. Cyclone III デバイス・ファミリのシンプル・デュアル・ポートのタイミング波形



トゥルー・デュアル・ポート・モード

トゥルー・デュアル・ポート・モードは、2つの異なるクロック周波数で、リード/リード、ライト/ライト、またはリード/ライトのいずれかの組み合わせの 2 ポート動作をサポートします。図 3-11 に、Cyclone III デバイス・ファミリのトゥルー・デュアル・ポート・メモリの構成を示します。

図 3-11. Cyclone III デバイス・ファミリのトゥルー・デュアル・ポート・メモリ (注 1)

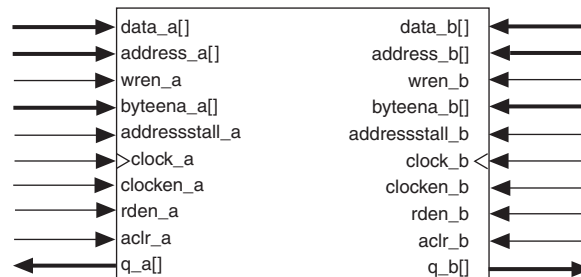


図 3-11 の注:

(1) トゥルー・デュアル・メモリは、ここに示す独立クロック・モードに加えて、入力または出力クロック・モードをサポートします。



トゥルー・デュアル・ポート・モードの M9K ブロックの最大ビット幅構成は、512 × 16 ビット (パリティ付きで 18 ビット) です。

表 3-4 に、可能な M9K ブロックの混合ポート幅の構成を示します。

表 3-4. Cyclone III デバイス・ファミリの M9K ブロックのデータ幅混合の構成（トゥルー・デュアル・ポート・モード）

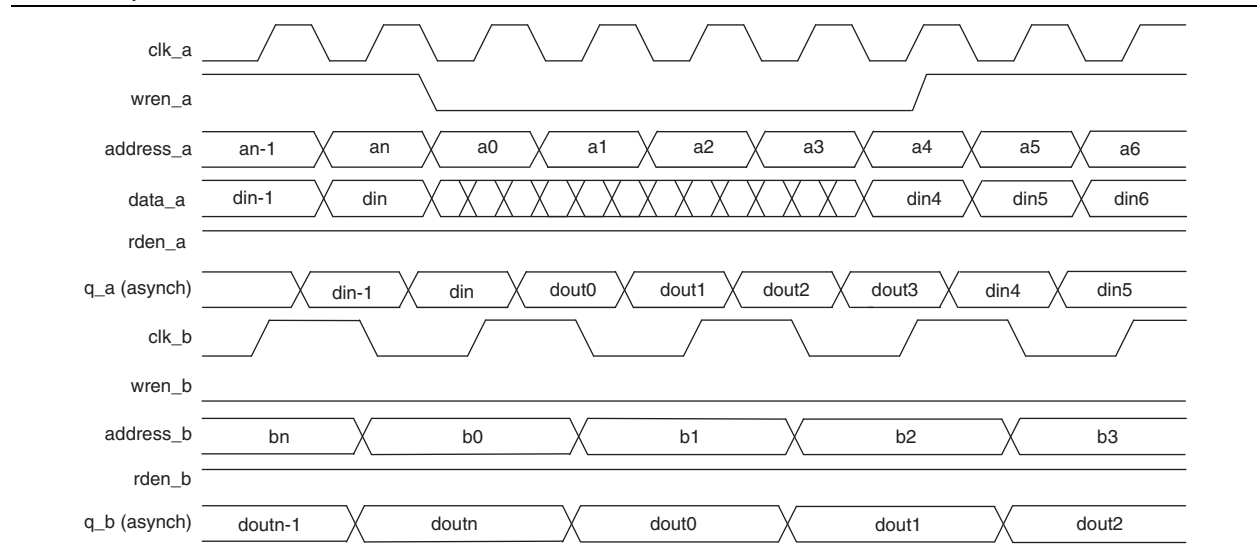
リード・ポート	ライト・ポート						
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	1024 × 9	512 × 18
8192 × 1	✓	✓	✓	✓	✓	—	—
4096 × 2	✓	✓	✓	✓	✓	—	—
2048 × 4	✓	✓	✓	✓	✓	—	—
1024 × 8	✓	✓	✓	✓	✓	—	—
512 × 16	✓	✓	✓	✓	✓	—	—
1024 × 9	—	—	—	—	—	✓	✓
512 × 18	—	—	—	—	—	✓	✓

トゥルー・デュアル・ポート・モードでは、M9K メモリ・ブロックは個別の `wren` および `rden` 信号をサポートします。リード動作を実行しないときは、`rden` 信号を Low（非アクティブ）に保持することによって電力を節約できます。ライト中に同一アドレスへのリード動作を実行することにより、そのアドレスに存在する「**New Data**」または「**Old Data**」を出力することができます。希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard Plug-In Manager で、Read-During-Write オプションを `New Data` または `Old Data` のいずれかに設定します。この動作について詳しくは、3-17 ページの「Read-During-Write 動作」を参照してください。

トゥルー・デュアル・ポート・モードでは、ポート A またはポート B からいつでもどのメモリ位置にでもアクセスできます。両方のポートから同一メモリ位置にアクセスする場合は、発生する可能性があるライト競合を回避しなければなりません。ライト競合は、両方のポートから同じアドレス位置に同時に書き込みを試みると発生します。これにより、このアドレス位置に不定のデータが格納されます。Cyclone III デバイス・ファミリの M9K メモリ・ブロックには、競合解決回路は内蔵されていません。アドレス競合は RAM ブロックの外部で処理する必要があります。

図 3-12 に、ポート A でのライト動作とポート B でのリード動作のタイミング波形を示します。RAM の出力をラッチしても、q 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 3-12. Cyclone III デバイス・ファミリのトゥルー・デュアル・ポートのタイミング波形



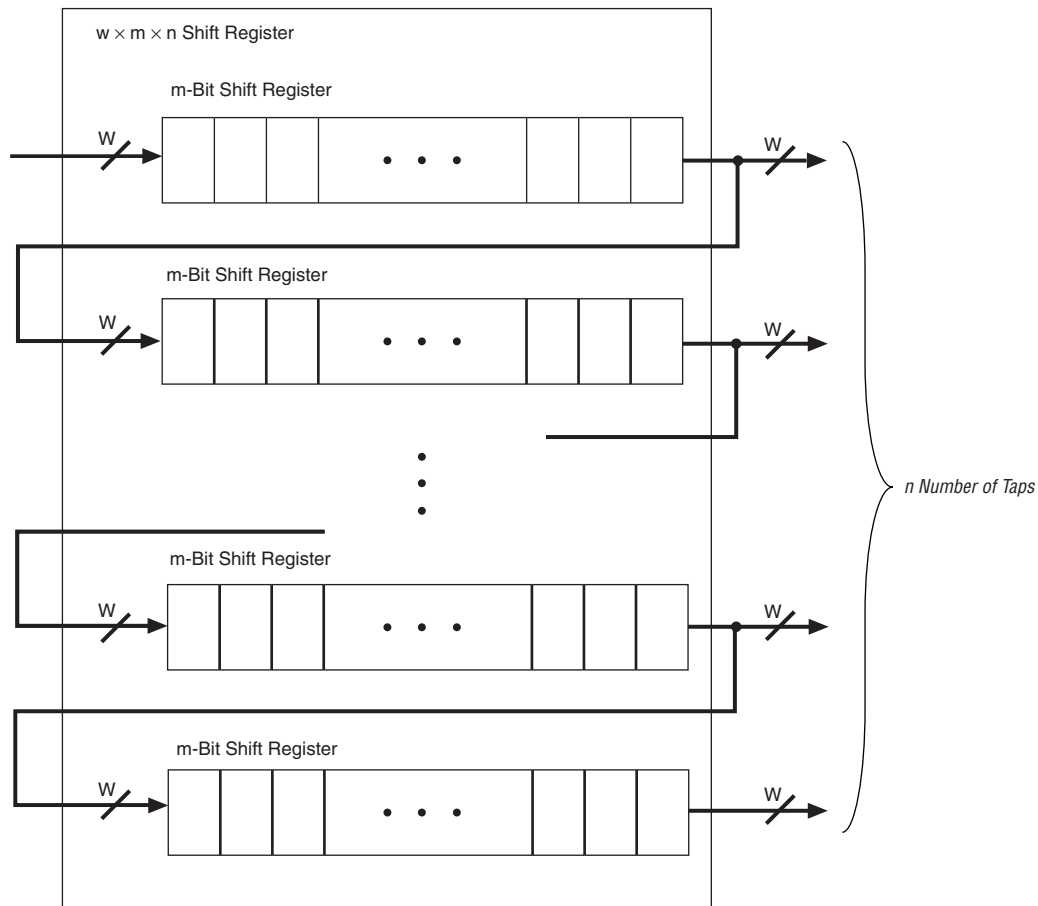
シフト・レジスタ・モード

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、有限インパルス応答 (FIR) フィルタ、擬似ランダム数発生器、マルチチャネル・フィルタリング、自己相関関数および相互相関関数など、デジタル信号処理 (DSP) アプリケーション用のシフト・レジスタを実装できます。これらの DSP アプリケーション、およびその他の DSP アプリケーションには、ローカル・データ・ストレージが必要です。ローカル・データ・ストレージは従来、大きなシフト・レジスタを多数のロジック・セルを消費する標準的なフリップ・フロップで実装していました。より効率的な代替方法は、エンベデッド・メモリをシフト・レジスタ・ブロックとして使用することです。これにより、ロジック・セルと配線リソースが節約されます。

シフト・レジスタのサイズ ($w \times m \times n$) は、入力データ幅 (w)、タップの長さ、(m)、およびタップ数 (n) によって決定され、メモリ・ビットの最大数、つまり 9,216 ビット以下でなければなりません。また、($w \times n$) のサイズは、ブロックの最大幅、つまり 36 ビット以下でなければなりません。さらに大きなシフト・レジスタが必要な場合は、M9K メモリ・ブロックをカスケード接続できます。

図 3-13 に、シフト・レジスタ・モードの Cyclone III デバイス・ファミリの M9K メモリ・ブロックを示します。

図 3-13. Cyclone III デバイス・ファミリのシフト・レジスタ・モードのコンフィギュレーション



ROM モード

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、ROM モードをサポートしています。これらのブロックの ROM コンテンツは、メモリ初期化ファイル (.mif) で初期化されます。ROM のアドレス・ラインはラッチされます。出力はラッチしてもしなくても構いません。ROM のリード動作は、シングル・ポート RAM コンフィギュレーションでのリード動作と同じです。

FIFO バッファ・モード

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、シングル・クロックまたはデュアル・クロック FIFO バッファをサポートしています。デュアル・クロック FIFO バッファは、クロック・ドメイン間でデータを転送する場合に役立ちます。Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、空の FIFO バッファに対するリードおよびライトの同時実行はサポートしていません。




FIFO バッファについて詳しくは、「[Single- and Dual-Clock FIFO Megafunction User Guide](#)」を参照してください。

クロック・モード

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、以下のクロック・モードをサポートしています。

- 独立クロック・モード
- 入力または出力クロック・モード
- リードまたはライトのクロック・モード
- シングル・クロックのクロック・モード

リードまたはライト・クロック・モードを使用するとき、同じアドレスの位置に同時にリードまたはライトを実行すると出力のリード・データは未知です。出力データが既知の値として必要な場合は、シングル・クロック・モードまたは I/O クロック・モードのいずれかを使用して、Megawizard Plug-In Manager での適切な「Read-During-Write」動作を選択してください。

 メモリ・ブロック入力レジスタに対するセットアップまたはホールド・タイムに違反があると、メモリの内容が破壊される可能性があります。これはリードおよびライトの両方の動作に当てはまります。


 非同期クリアは、リード・アドレス・レジスタ、出力レジスタ、および出力ラッチでのみ使用できます。

表 3-5 に、クロック・モードとメモリ・モードのサポート・マトリックスを示します。

表 3-5. Cyclone III デバイス・ファミリのメモリ・クロック・モード

クロック・モード	トゥルー・デュアル・ポート・モード	シンプル・デュアル・ポート・モード	シングル・ポート・モード	ROM モード	FIFO モード
独立	✓	—	—	✓	—
入力または出力	✓	✓	✓	✓	—
リードまたはライト	—	✓	—	—	✓
シングル・クロック	✓	✓	✓	✓	✓

独立クロック・モード

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、トゥルー・デュアル・ポート・メモリ用の独立クロック・モードを実装できます。このモードでは、各ポート（ポート A およびポート B）で個別のクロックを使用できます。clock A はポート A 側のすべてのレジスタをコントロールし、clock B はポート B 側のすべてのレジスタをコントロールします。各ポートは、ポート A および B のレジスタに対する独立したクロック・イネーブルもサポートします。

I/O クロック・モード

Cyclone III デバイス・メモリの M9K メモリ・ブロックは、FIFO、シングル・ポート、トゥルーおよびシンプル・デュアル・ポート・メモリ用の入力/出力クロック・モードを実装できます。このモードでは、入力クロックがデータ、アドレス、byteena、wren、および rden レジスタなど、メモリ・ブロックへのデータ入力に関連するすべての入力レジスタを制御します。出力クロックはデータ出力レジスタを制御します。各メモリ・ブロック・ポートは、入力および出力レジスタに対する独立したクロック・イネーブルもサポートします。

リードまたはライト・クロック・モード

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、シンプル・デュアル・ポート・メモリ用のリードまたはライト・クロック・モードを実装できます。このモードでは、ライト・クロックがデータ入力、ライト・アドレス、および wren レジスタを制御します。同様に、リード・クロックがデータ出力、リード・アドレス、および rden レジスタを制御します。M9K メモリ・ブロックは、リードおよびライト・クロックに対する独立クロック・イネーブルをサポートします。

リードまたはライト・クロック・モードを使用するとき、同じアドレスの位置に同時にリードまたはライトを実行すると出力のリード・データ出力は未知です。出力データが既知の値として必要な場合は、シングル・クロック・モードまたは入力/出力クロック・モードのいずれかを使用して、Megawizard Plug-In Manager での適切な「Read-During-Write」動作を選択してください。

シングル・クロック・モード

Cyclone III デバイス・ファミリの M9K メモリ・ブロックは、FIFO、ROM、トゥルー・デュアル・ポート、シンプル・デュアル・ポート、およびシングル・ポート・メモリ用のシングル・クロック・モードを実装できます。このモードでは、M9K メモリ・ブロックのすべてのレジスタを 1 つのクロックとクロック・イネーブルで制御することができます。

デザインの検討事項

この項では、M9K メモリ・ブロックを使用したデザインのガイドラインについて説明します。

Read-During-Write 動作

3-18 ページの「同一ポートに対する Read-During-Write モード」および 3-20 ページの「混合ポートに対する Read-During-Write モード」では、あるアドレスでのライト動作中に同一アドレスからの読み出しを実行する際の、各種 RAM コンフィギュレーションの機能について説明しています。


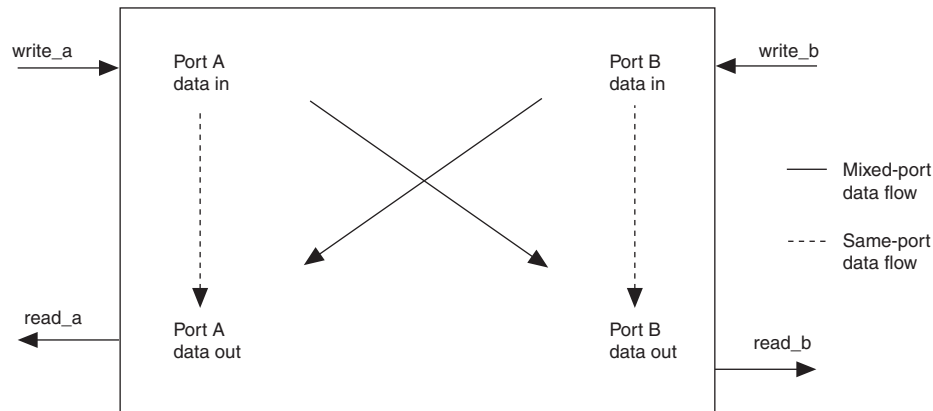
Read-During-Write データ・フローには、同一ポートと混合ポートの 2 つがあります。 3-14 に、これらのフローの違いを示します。

図 3-14. Cyclone III デバイス・ファミリの Read-During-Write のデータ・フロー



同一ポートに対する Read-During-Write モード

このモードは、シングル・ポート RAM または トゥルー・デュアル・ポート RAM の同一ポートに適用されます。同一ポートに対する Read-During-Write モードでは、**New Data** モード（またはフロー・スルー）および **Old Data** モードの 2 つの出力の選択肢があります。**New Data** モードでは、新しいデータを書き込むのに使用したのと同じクロック・サイクルの立ち上がりエッジでそのデータが得られます。**Old Data** モードでは、RAM 出力はライト動作を進める前にそのアドレスで古いデータを反映させます。

New Data モードを *byteena* と併せて使用すると、RAM の出力を制御できます。*byteena* が High の場合、メモリに書き込まれたデータは出力に送られます（フロー・スルー）。*byteena* が High の場合、マスク・オフされたデータはメモリに書き込まれず、メモリの古いデータが出力に現れます。したがって、出力は *byteena* で決定される新しいデータと古いデータの組み合わせにすることができます。

図 3-15 および図 3-16 に、**New Data** および **Old Data** モードの Read-During-Write 動作のサンプル機能波形を示します。

図 3-15. 同一ポートの Read-During-Write: New Data モード

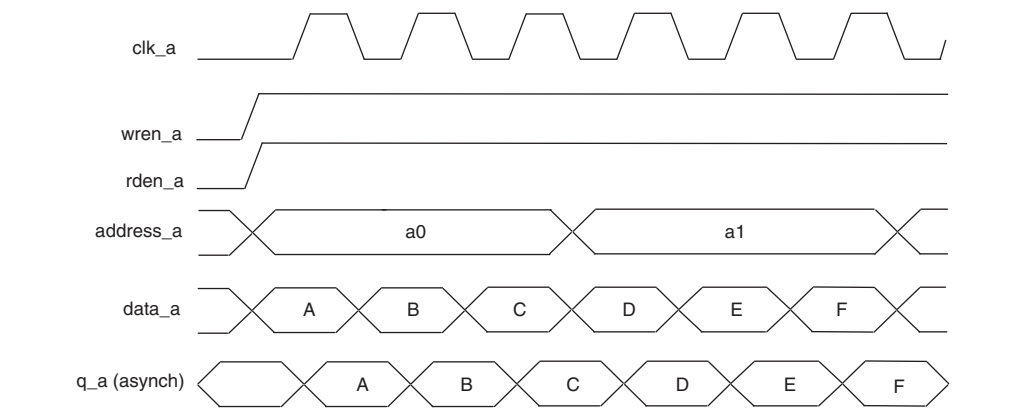
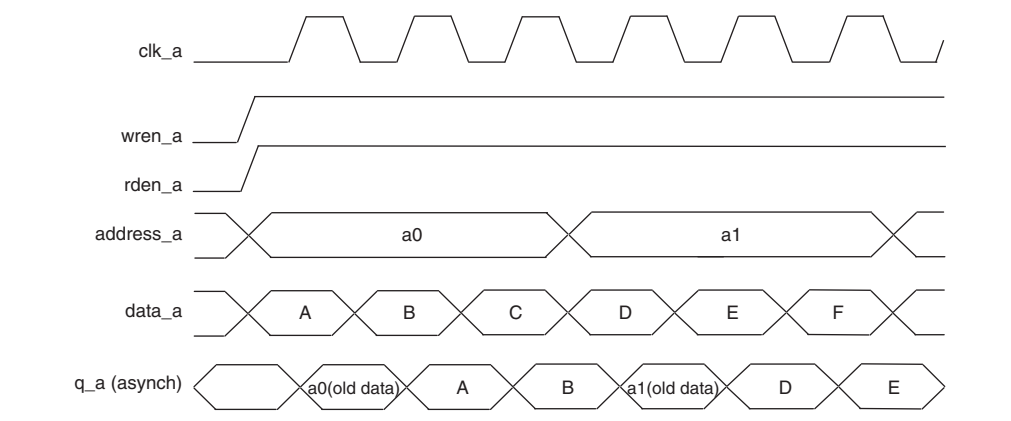


図 3-16. 同一ポートの Read-During-Write: Old Data モード



混合ポートに対する Read-During-Write モード

このモードは、同一クロックで同じアドレス位置に対して1つのポートはリード動作、別のポートはライト動作を実行する、シングルまたはトゥルー・デュアル・ポート・モードの RAM に適用されます。

このモードでも、**Old Data** モードまたは **Don't Care** モードの2つの出力の選択肢があります。**Old Data** モードでは、異なるポートに対する Read-During-Write 動作により、RAM 出力はそのアドレス位置にある古いデータを反映します。**Don't Care** モードでは、同じ動作によって、RAM 出力に「Don't Care」または不定の値が現れます。


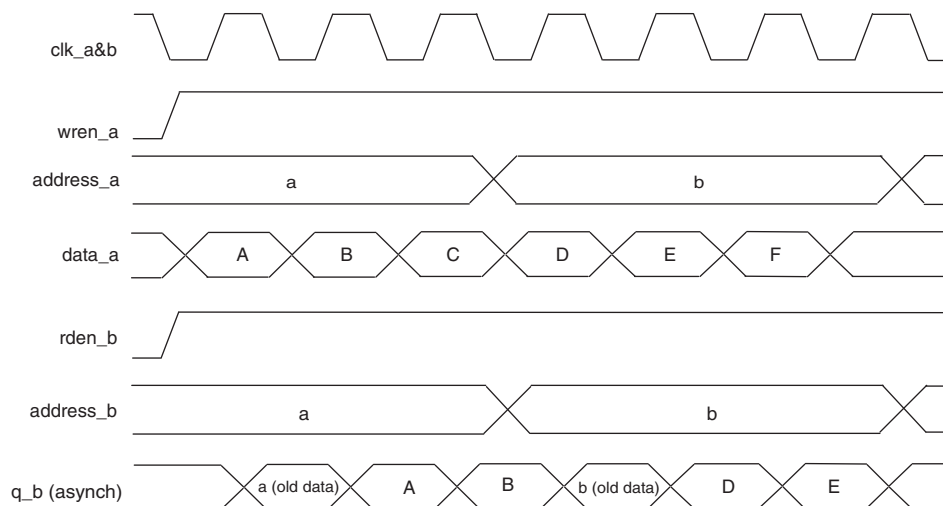

 希望の動作を実装する方法については、「RAM Megafunction User Guide」を参照してください。

図 3-17 に、**Old Data** モードの混合ポートに対する Read-During-Write 動作のサンプル機能波形を示します。**Don't Care** モードでは、Old Data が Don't Care に置き換えられます。

図 3-17. 混在ポートの Read-During-Write: Old Data モード



 デュアル・クロックの混合ポートに対する Read-During-Write 動作では、クロック間の関係がメモリの出力動作を決定します。2つのクロックで同一のクロックを使用する場合、出力はアドレス位置からの古いデータになります。ただし、異なるクロックを使用する場合は、混合ポートに対する Read-During-Write 動作時には出力は不定です。この不定値は、リード動作がライト動作の前か後に実行されるかによって、アドレス位置で古いデータまたは新しいデータになります。

競合の解決

トゥルー・デュアル・ポート・モードで M9K メモリ・ブロックを使用する場合、同じメモリ位置（アドレス）に対して2つのライト動作を試みる事が可能です。M9K メモリ・ブロックには競合解決回路が組み込まれていないため、この位置には不定のデータが書き込まれます。したがって、M9K メモリ・ブロックの外部に競合解決ロジックを実装する必要があります。

パワーアップ条件およびメモリ初期化

Cyclone III デバイス・ファミリの M9K メモリ・ブロック出力は、出力レジスタが使用されるかバイパスされるかに関係なく、パワーアップ時に 0 (クリア) になります。すべての M9K メモリ・ブロックは .mif ファイルによる初期化をサポートしています。デザインでメモリをインスタンス化するときに、Quartus II ソフトウェアで .mif を作成し、RAM MegaWizard Plug-In Manager でそれらのファイルの使用を指定することができます。メモリが (例えば、.mif により) 事前に初期化されない場合でも、出力をクリアした状態でパワーアップします。パワーアップ以降の読み出しによってのみ、事前に初期化された値が出力されます。



.mif について詳しくは、「RAM Megafunction User Guide」および「Quartus II ハンドブック」を参照してください。

消費電力管理

Cyclone III デバイス・ファミリの M9K メモリ・ブロック・クロック・イネーブルにより、各 M9K メモリ・ブロックのクロックを制御して、AC 消費電力を低減できます。rden 信号を使用して、必要な場合にのみリード動作が実行されるようにします。デザインで Read-During-Write 動作が不要な場合は、ライト動作中またはメモリ動作が実行されていない期間に rden 信号をディアサートして消費電力を削減します。Quartus II ソフトウェアは、未使用の M9K メモリ・ブロックを自動的にパワーダウンして、スタティック消費電力を節約します。

改訂履歴

表 3-6 に、本資料の改訂履歴を示します。

表 3-6. 改訂履歴

日付	バージョン	変更内容
2009 年 12 月	2.2	テキストのマイナーな編集。
2009 年 7 月	2.1	パート・ナンバーのマイナー修正。
2009 年 6 月	2.0	<p>Cyclone III LS 情報を追加して更新。</p> <ul style="list-style-type: none"> ■ 資料番号を更新 ■ 「はじめに」の項を更新。 ■ 「概要」の項を更新。 ■ 表 3-1 を更新。 ■ 「コントロール信号」の項を更新。 ■ 「メモリ・モード」の項を更新。 ■ 「シンプル・デュアル・ポート・モード」の項を更新。 ■ 「リードまたはライトのクロック・モード」の項を更新。
2008 年 10 月	1.3	章を新しいテンプレートに更新。
2008 年 5 月	1.2	<ul style="list-style-type: none"> ■ 「はじめに」と「概要」の項、および表 3-1 の M9K ブロックの最大性能を 315MHz に更新。 ■ 「アドレス・クロック・イネーブル・サポート」の項を更新。
2007 年 7 月	1.1	章の目次および「参考資料」の項を追加。
2007 年 3 月	1.0	初版。