

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CIII51001-2.2

Cyclone® III デバイス・ファミリは、多機能性、低消費電力、および低コストの組み合わせを提供します。Cyclone III FPGA ファミリは、TSMC (Taiwan Semiconductor Manufacturing Company) のロー・パワー (LP) プロセス技術で製造されており、シリコンおよびソフトウェアの最適化によって最も低い消費電力を実現し、低コスト、低消費電力の量産アプリケーションに最適なソリューションを提供します。異なるデザイン・ニーズを満たすために、Cyclone III デバイス・ファミリでは 2 種類の製品が提供されています。

- Cyclone III : 最小消費電力と多機能性を最小コストで提供
- Cyclone III LS : セキュリティ機能を備えた最小消費電力 FPGA

Cyclone III デバイス・ファミリは 5K ~ 200K 個のロジック・エレメント (LE) および 0.5M ビット ~ 8M ビットのメモリを ¼ W 未満のスタティック消費電力で提供しており、消費電力要件の達成が容易になります。Cyclone III LS FPGA は、低消費電力と高い機能性を備えるデバイスに、シリコン・レベル、ソフトウェア・レベル、および IP レベルの完全なセキュリティ機能スイートを実現した、業界初の FPGA です。セキュリティ機能は、改ざん、リバース・エンジニアリング、および複製から IP を保護します。また、Cyclone III LS がサポートするデザイン・セパレーションは 1 チップでリダンダンシー (冗長設計) を実現できるため、アプリケーションのサイズ、重さおよび消費電力を削減することができます。

この章は、以下の項で構成されています。

- 1-1 ページの「Cyclone III FPGA デバイス・ファミリの特長」
- 1-6 ページの「Cyclone III デバイス・ファミリのアーキテクチャ」
- 1-13 ページの「製品コード」

Cyclone III FPGA デバイス・ファミリの特長

Cyclone III デバイス・ファミリは、以下の特長を備えています。

最も低消費電力な FPGA

- アルテラは以下の要素で最低消費電力を実現できます。
 - TSMC の低消費電力プロセス技術
 - アルテラの消費電力重視のデザイン・フロー
- 低消費電力動作には次の利点があります。
 - ポータブルおよびハンドヘルド・アプリケーションでバッテリー寿命を延長する
 - 冷却システムのコストをゼロにするかまたは削減する
 - 熱に厳しい環境での動作を可能にする
- ホット・ソケットティング (活線挿抜) をサポートする

デザイン・セキュリティ機能

Cyclone III LS デバイス・ファミリは、以下のデザイン・セキュリティ機能をサポートします。

- 256 ビットの不揮発性キーを使用する高度暗号化規格（Advanced Encryption Standard、略称：AES）コンフィギュレーション・セキュリティ
- Quartus® II ソフトウェアによる、デザイン分離フローに対して最適化された配線アーキテクチャ
 - デザイン分離フローにより、各デザイン・パーティションは物理的と機能的に区別可能。
- 外部 JTAG ポートを無効にする機能
- コアへのエラー検出 (ED) サイクル・インジケータ
 - ED サイクルごとにパスかフェイルかを示す
 - コンフィギュレーション・ランダム・アクセス・メモリ (CRAM) ビットの意図的変化または意図的でない変化を観察できる。
- FPGA ロジック、CRAM、エンベデッド・メモリ、および AES キーの内容をクリアする能力
- 内部オシレータによるシステム・モニタ機能およびヘルス・チェック機能

拡張されたシステム統合能力

- 高いメモリ対ロジック比および乗算器対ロジック比
- より多くのユーザー I/O 数を必要とするアプリケーション向けの高い I/O 数、低集積度および中集積度のデバイス
 - シグナル・インテグリティを改善する調整可能な I/O スルー・レート
 - LVTTTL、LVCMOS、SSTL、HSTL、PCI、PCI-X、LVPECL、bus LVDS (BLVDS)、LVDS、mini-LVDS、RSDS、および PPDS などの I/O 規格をサポート
 - 複数値のチップ内終端 (on-chip termination ; OCT) キャリブレーション機能を備えており、プロセス、電圧、および温度 (PVT) による変動を除去
- デバイスあたりに 4 つの PLL (Phase-Locked Loop) を備えており、デバイス・クロック管理、外部システム・クロック管理、および I/O インタフェースのための強力なクロック・マネージメントおよび合成機能を提供しています。
 - PLL あたりに 5 つの出力
 - I/O 数を節約し、PCB 配線を容易にし、ジッタを減らすカスケード機能
 - デバイスをリコンフィギュレーションしないで位相シフト、周波数通倍 / 分周、入力周波数をインシステムで変更するダイナミック・リコンフィギュレーション機能
- 外部コントローラが不要のリモート・システム・アップグレード機能
- SEU (Single Event Upset) を検出する専用 CRC (Cyclical Redundancy Code) チェック回路
- Cyclone III デバイス・ファミリ対応の Nios®II エンベデッド・プロセッサは、低コストおよびカスタム・フィットのエンベデッド処理ソリューションを提供する

- アルテラおよび Altera Megafunction Partners Program (AMPP) パートナからの構築済み、検証済み IP (Intellectual Property) コアを数多く備えている。
- DDR、DDR2、SDR SDRAM、および QDR II SRAM などの高速外部メモリ・インタフェースをサポートする。
 - オートキャリプレート PHY 機能は、タイミング・クロージャ・プロセスを容易にし、DDR、DDR2、SDRAM、QDR II SRAM インタフェースの PVT の変動を除去する。

Cyclone III デバイスはバーティカル・マイグレーションをサポートしており、専用ピン、コンフィギュレーション・ピン、および電源ピンが同じ配置で、異なる集積度のデバイスにマイグレーションすることができます。これにより、デザインの進化に合わせてデバイス集積度とコストを最適化することができます。

表 1-1 に、Cyclone III デバイス・ファミリの特長を示します。

表 1-1. Cyclone III デバイス・ファミリの特長

| ファミリ | デバイス | ロジック・エレメント | M9K ブロック数 | 合計 RAM メモリ・ ビット数 | 18 x 18 乗算器の数 | PLL 数 | グローバル・ クロック・ ネットワーク | 最大ユーザー I/O 数 |
|-------------------|-----------|------------|--------------|------------------------|------------------|-------|---------------------------|-----------------|
| Cyclone III | EP3C5 | 5,136 | 46 | 423,936 | 23 | 2 | 10 | 182 |
| | EP3C10 | 10,320 | 46 | 423,936 | 23 | 2 | 10 | 182 |
| | EP3C16 | 15,408 | 56 | 516,096 | 56 | 4 | 20 | 346 |
| | EP3C25 | 24,624 | 66 | 608,256 | 66 | 4 | 20 | 215 |
| | EP3C40 | 39,600 | 126 | 1,161,216 | 126 | 4 | 20 | 535 |
| | EP3C55 | 55,856 | 260 | 2,396,160 | 156 | 4 | 20 | 377 |
| | EP3C80 | 81,264 | 305 | 2,810,880 | 244 | 4 | 20 | 429 |
| | EP3C120 | 119,088 | 432 | 3,981,312 | 288 | 4 | 20 | 531 |
| Cyclone III LS | EP3CLS70 | 70,208 | 333 | 3,068,928 | 200 | 4 | 20 | 413 |
| | EP3CLS100 | 100,448 | 483 | 4,451,328 | 276 | 4 | 20 | 413 |
| | EP3CLS150 | 150,848 | 666 | 6,137,856 | 320 | 4 | 20 | 413 |
| | EP3CLS200 | 198,464 | 891 | 8,211,456 | 396 | 4 | 20 | 413 |

表 1-2 に、Cyclone III デバイス・ファミリのパッケージ・オプション、I/O ピン数、および差動チャンネル数を示します。

表 1-2. Cyclone III デバイス・ファミリのパッケージ・オプション、I/O ピン数、および差動チャンネル数
(注 1)、(2)、(3)、(4)、(5)

| ファミリ | パッケージ | E144 (7) | M164 | P240 | F256 | U256 | F324 | F484 | U484 | F780 |
|--------------------|-----------|-------------|---------|---------|---------|---------|---------|----------|----------|--------------|
| Cyclone III (8) | EP3C5 | 94, 22 | 106, 28 | — | 182, 68 | 182, 68 | — | — | — | — |
| | EP3C10 | 94, 22 | 106, 28 | — | 182, 68 | 182, 68 | — | — | — | — |
| | EP3C16 | 84, 19 | 92, 23 | 160, 47 | 168, 55 | 168, 55 | — | 346, 140 | 346, 140 | — |
| | EP3C25 | 82, 18 | — | 148, 43 | 156, 54 | 156, 54 | 215, 83 | — | — | — |
| | EP3C40 | — | — | 128, 26 | — | — | 195, 61 | 331, 127 | 331, 127 | 535, 227 (6) |
| | EP3C55 | — | — | — | — | — | — | 327, 135 | 327, 135 | 377, 163 |
| | EP3C80 | — | — | — | — | — | — | 295, 113 | 295, 113 | 429, 181 |
| | EP3C120 | — | — | — | — | — | — | 283, 106 | — | 531, 233 |
| Cyclone III LS | EP3CLS70 | — | — | — | — | — | — | 278, 113 | 278, 113 | 413, 181 |
| | EP3CLS100 | — | — | — | — | — | — | 278, 113 | 278, 113 | 413, 181 |
| | EP3CLS150 | — | — | — | — | — | — | 210, 87 | — | 413, 181 |
| | EP3CLS200 | — | — | — | — | — | — | 210, 87 | — | 413, 181 |

表 1-2 の注：

- (1) 各デバイス・パッケージ欄の左側の数値は I/O ピン数を示しており、右側の数値は差動チャンネル数を示しています。
- (2) デバイス・パッケージの仕様について詳しくは、[「Altera Device Package Information Data Sheet」](#)を参照してください。
- (3) I/O ピン数は、デバイスとパッケージの組み合わせでサポートされている最大 I/O 数（クロック入力ピンを含む）を記載していますが、デバイスのコンフィギュレーション方法により変動します。
- (4) すべてのパッケージは、無鉛および有鉛のオプションを提供しています。
- (5) Cyclone III および Cyclone III LS デバイス間のパーティカル・マイグレーションはサポートされません。
- (6) F780 パッケージの EP3C40 のパーティカル・マイグレーションのサポートには制約があります。電圧リファレンス形式の I/O 規格を使用しているデザインにおいて、EP3C120 にマイグレーションした場合には、最大ユーザー I/O 数は 510 本に制限されます。電圧リファレンス形式の I/O 規格を使用しない場合、この最大 I/O 数を増やすことができます。
- (7) E144 パッケージは、パッケージの裏面に露出パッドを備えています。この露出パッドは、PCB のグランド・プレーンに接続する必要のあるグランド・パッドです。このエクスポーズド・パッドは放熱用ではなく、電気的接続のために使用されています。
- (8) EP3C16 デバイス以外のすべての UBGA パッケージは、Quartus II ソフトウェア v7.1 SP1 以降でサポートされています。EP3C16 の UBGA パッケージは、Quartus II ソフトウェアの v7.2 でサポートされます。

表 1-3 に、Cyclone III デバイス・ファミリのパッケージ・サイズを示します。

表 1-3. Cyclone III デバイス・ファミリのパッケージ・サイズ

| ファミリ | パッケージ | ピッチ (mm) | 表面積 (mm ²) | 長さ x 幅 (mm x mm) | 高さ (mm) |
|----------------|-------|----------|------------------------|------------------|---------|
| Cyclone III | E144 | 0.5 | 484 | 22 x 22 | 1.60 |
| | M164 | 0.5 | 64 | 8 x 8 | 1.40 |
| | P240 | 0.5 | 1197 | 34.6 x 34.6 | 4.10 |
| | F256 | 1.0 | 289 | 17 x 17 | 1.55 |
| | U256 | 0.8 | 196 | 14 x 14 | 2.20 |
| | F324 | 1.0 | 361 | 19 x 19 | 2.20 |
| | F484 | 1.0 | 529 | 23 x 23 | 2.60 |
| | U484 | 0.8 | 361 | 19 x 19 | 2.20 |
| | F780 | 1.0 | 841 | 29 x 29 | 2.60 |
| Cyclone III LS | F484 | 1.0 | 529 | 23 x 23 | 2.60 |
| | U484 | 0.8 | 361 | 19 x 19 | 2.20 |
| | F780 | 1.0 | 841 | 29 x 29 | 2.60 |

表 1-4 に、Cyclone III デバイス・ファミリのスピード・グレードを示します。

表 1-4. Cyclone III デバイス・ファミリのスピード・グレード

| ファミリ | デバイス | E144 | M164 | P240 | F256 | U256 | F324 | F484 | U484 | F780 |
|----------------|-----------|-----------------|--------------|------|--------------------|--------------------|--------------------|--------------------|--------------------|-----------------|
| Cyclone III | EP3C5 | C7、C8、 I7、A7 | C7、C8、 I7 | — | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7、A7 | — | — | — | — |
| | EP3C10 | C7、C8、 I7、A7 | C7、C8、 I7 | — | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7、A7 | — | — | — | — |
| | EP3C16 | C7、C8、 I7、A7 | C7、C8、 I7 | C8 | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7、A7 | — | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7、A7 | — |
| | EP3C25 | C7、C8、 I7、A7 | — | C8 | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7、A7 | — | — | — |
| | EP3C40 | — | — | C8 | — | — | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7、A7 | C6、C7、 C8、I7 |
| | EP3C55 | — | — | — | — | — | — | C6、C7、 C8、I7 | C6、C7、 C8、I7 | C6、C7、 C8、I7 |
| | EP3C80 | — | — | — | — | — | — | C6、C7、 C8、I7 | C6、C7、 C8、I7 | C6、C7、 C8、I7 |
| | EP3C120 | — | — | — | — | — | — | C7、C8、I7 | — | C7、C8、 I7 |
| Cyclone III LS | EP3CLS70 | — | — | — | — | — | — | C7、C8、I7 | C7、C8、I7 | C7、C8、 I7 |
| | EP3CLS100 | — | — | — | — | — | — | C7、C8、I7 | C7、C8、I7 | C7、C8、 I7 |
| | EP3CLS150 | — | — | — | — | — | — | C7、C8、I7 | — | C7、C8、 I7 |
| | EP3CLS200 | — | — | — | — | — | — | C7、C8、I7 | — | C7、C8、 I7 |

表 1-5 に、Cyclone III デバイス・ファミリのコンフィギュレーション手法を示します。

表 1-5. Cyclone III デバイス・ファミリのコンフィギュレーション手法

| コンフィギュレーション手法 | Cyclone III | Cyclone III LS |
|--------------------------------|-------------|----------------|
| アクティブ・シリアル (AS) | ✓ | ✓ |
| アクティブ・パラレル (AP) | ✓ | — |
| パッシブ・シリアル (PS) | ✓ | ✓ |
| ファースト・パッシブ・パラレル (FPP) | ✓ | ✓ |
| JTAG (Joint Test Action Group) | ✓ | ✓ |

Cyclone III デバイス・ファミリのアーキテクチャ

Cyclone III デバイス・ファミリは、ポータブル・アプリケーション向けに最適化されたユーザーの声を反映させた機能セットを備えており、集積度、メモリ、エンベデッド・マルチプライヤおよび I/O のオプションを幅広く提供しています。

Cyclone III デバイス・ファミリは、量産アプリケーションに共通の多数の外部メモリ・インタフェースおよび I/O プロトコルをサポートしています。Quartus II ソフトウェアの機能およびパラメータ設定可能な IP コアにより、Cyclone III インタフェースとプロトコルが使いやすいものになっています。

次の項では、Cyclone III デバイス・ファミリの機能の概要を提供します。

ロジック・エレメントおよびロジック・アレイ・ブロック

ロジック・アレイ・ブロック (LAB) は、16 個のロジック・エレメントと 1 個の LAB ワイド・コントロール・ブロックで構成されています。LE は、Cyclone III デバイス・ファミリ・アーキテクチャにおけるロジックの最小単位です。各 LE には 4 本の入力、4 入力ルックアップ・テーブル (LUT)、レジスタ、および出力ロジックがあります。4 入力 LUT は、4 入力変数のいずれかのファンクションを実装できるファンクション・ジェネレータです。




LE および LAB について詳しくは、[「Logic Elements and Logic Array Blocks in Cyclone III Devices」](#) を参照してください。

メモリ・ブロック

Cyclone III デバイス・ファミリの各 M9K メモリ・ブロックは 9K ビットのオンチップ・メモリを提供します。これらのオンチップ・メモリは Cyclone III デバイスでは最大 315MHz で動作し、Cyclone III LS デバイスでは最大 274MHz で動作することができます。エンベデッド・メモリ構造は、RAM、FIFO (First-In First-Out) バッファ、ROM としてコンフィギュレーション可能な M9K メモリ・ブロックのカラムで構成されています。Cyclone III デバイス・ファミリのメモリ・ブロックは、高スループット・パケット処理、エンベデッド・プロセッサ・プログラム、エンベデッド・データ・ストレージなどのアプリケーションに最適化されています。

Quartus II ソフトウェアにより、専用メガファンクション・ウィザードを使用してメモリをインスタンス化するか、VHDL または Verilog ソース・コードから直接メモリを推定して、M9K メモリ・ブロックを活用することができます。

M9K メモリ・ブロックはシングル・ポート、シンプル・デュアル・ポート、および トゥルー・デュアル・ポート（双方向デュアル・ポート）のモードをサポートします。シングル・ポート・モードおよびシンプル・デュアル・ポート・モードはすべてのポート幅（**x1**、**x2**、**x4**、**x8**、**x9**、**x16**、**x18**、**x32**、および **x36**）でサポートされています。トゥルー・デュアル・ポートは **x1**、**x2**、**x4**、**x8**、**x9**、**x16**、および **x18** のポート幅でサポートされています。

 メモリ・ブロックについて詳しくは、[「Memory Blocks in Cyclone III Devices」](#) の章を参照してください。


エンベデッド・マルチプライヤおよびデジタル信号処理のサポート

Cyclone III デバイスは最大 288 個のエンベデッド乗算器をサポートし、Cyclone III LS デバイスは最大 396 個のエンベデッド乗算器をサポートします。ブロックあたりに 1 個の **18 x 18** ビット乗算器または 2 個の **9 x 9** 個の乗算器をサポートします。

QuartusII ソフトウェアには、ユーザーのパラメータ設定に基づき、エンベデッド・乗算器ブロックの動作モードを制御するのに使用するメガファンクションが含まれています。マルチプライヤは、VHDL または Verilog ソース・コードから直接推定することもできます。Cyclone III デバイス・ファミリには、エンベデッド・マルチプライヤの他に、オンチップ・リソースと外部インタフェースの組み合わせも含まれており、性能を向上させ、システム・コストを削減し、デジタル信号処理（DSP）システムの消費電力を低減するのに最適なデバイスとなっています。Cyclone III デバイス・ファミリは単独で使用するか、あるいは DSP システムの価格対性能比を改善するための DSP デバイスのコプロセッサとして使用できます。

Cyclone III デバイス・ファミリの DSP システム・デザインでは、以下の機能がサポートされます。


- DSP IP コア
 - 有限インパルス応答（FIR）、高速フーリエ変換（FFT）、数値制御オシレータ（NCO）ファンクションなどの共通 DSP 処理ファンクション
 - 一般的なビデオおよび画像処理ファンクション・スイート
- エンド・マーケット・アプリケーション向けの完全なリファレンス・デザイン
- The MathWorks Simulink および MATLAB デザイン環境と QuartusII ソフトウェア間の DSP Builder インタフェース・ツール
- DSP 開発キット

 エンベデッド・乗算器および DSP のサポートについて詳しくは、[「Embedded Multipliers in Cyclone III Devices」](#) の章を参照してください。

クロック・ネットワークおよび PLL

Cyclone III デバイス・ファミリは、最大 20 本のグローバル・クロック・ネットワークを備えています。グローバル・クロック信号は、専用クロック・ピン、兼用クロック・ピン、ユーザー・ロジック、PLL からドライブできます。Cyclone III デバイス・ファミリは 5 つの出力を持つ PLL を最大 4 個内蔵し、堅牢なクロック管理と合成を実行します。PLL はデバイス・クロック管理、外部システム・クロック管理、および I/O インタフェースに使用できます。

Cyclone III PLL はデバイスの動作中にダイナミックにリコンフィギュレーションして、外部メモリ・インタフェースの自動キャリブレーションをイネーブルすることができます。この機能により、複数の入力ソースの周波数と対応する通倍、分周、位相シフト要件のサポートも可能になります。Cyclone III デバイス・ファミリの PLL をカスケード接続すると、1つの外部クロック・ソースから最大 10 個の内部クロックと 2 個の外部クロックを出力ピンに生成できます。

 PLL の仕様および情報について詳しくは、「[Cyclone III Device Data Sheet](#)」、「[Cyclone III LS Device Data Sheet](#)」、および「[Clock Networks and PLLs in Cyclone III Devices](#)」の章を参照してください。

I/O 機能

Cyclone III デバイス・ファミリは 8 個の I/O バンクを備えています。すべての I/O バンクは、[表 1-6](#) に示すシングル・エンドおよび差動 I/O 規格をサポートします。

表 1-6. Cyclone III デバイス・ファミリの I/O 規格サポート

| タイプ | I/O 規格 |
|--------------|--|
| シングル・エンド I/O | LVTTTL, LVCMOS, SSTL, HSTL, PCI, および PCI-X |
| 差動 I/O | SSTL, HSTL, LVPECL, BLVDS, LVDS, mini-LVDS, RSDS, および PPDS |

Cyclone III デバイス・ファミリの I/O は、プログラマブル・バス・ホールド、プログラマブル・プルアップ抵抗、プログラマブル遅延、プログラマブル・ドライブ強度、シグナル・インテグリティを最適化するためのプログラマブル・スルー・レート・コントロール、およびホット・ソケットもサポートします。Cyclone III デバイス・ファミリは、各サイドにチップ内直列終端 (OCT) キャリブレーション・ブロックを 1 つ配置したシングル・エンド I/O 規格に、キャリブレーションされた OCT またはドライバ・インピーダンス・マッチング (R) をサポートします。

 詳細については、「[Cyclone III Device I/O Features](#)」の章を参照してください。

高速差動インタフェース

Cyclone III デバイス・ファミリは、BLVDS、LVDS、mini-LVDS、RSDS、および PPDS などの高速差動インタフェースをサポートします。Cyclone III デバイス・ファミリのこのような高速 I/O 規格は、比較的少数の I/O ピンを使用して高いデータ・スループットを実現するため、低コスト・アプリケーションに適しています。レフトおよびライト I/O バンクにある専用の差動出力ドライバは、外部抵抗なしで Cyclone III デバイスでは最大 875Mbps、Cyclone III LS デバイスでは最大 740Mbps のデータ・レートで送信することが可能になります。これで、ボード・スペースが削減され、PCB の配線が簡単になります。Cyclone III と Cyclone III LS デバイスの両方でも、トップおよびボトム I/O バンクは、最大 640Mbps のデータ・レートで差動送信機能 (外部抵抗ネットワークを含む) をサポートします。

 詳細については、「[High-Speed Differential Interfaces in Cyclone III Devices](#)」の章を参照します。

外部メモリ・インタフェースのオート・キャリブレート

Cyclone III デバイス・ファミリは、DDR、DDR2、SDR SDRAM、QDR II SRAM などの一般的なメモリ・タイプをサポートします。Cyclone III デバイスは 333Mbps の DDR2 SDRAM メモリ・インタフェースをサポートし、Cyclone III LS デバイスは 400Mbps の DDR2 SDRAM メモリ・インタフェースをサポートします。メモリ・インタフェースは、Cyclone III デバイス・ファミリのすべてのサイドでサポートされます。Cyclone III FPGA は、OCT、DDR 出力レジスタおよび 8 ~ 36 ビット・プログラマブル DQ グループ幅などの機能を内蔵し、各種メモリ規格の迅速かつ堅牢な実装を可能にします。


オート・キャリブレーション・メガファンクションは、Quartus II ソフトウェアの DDR および QDR メモリ・インタフェース PHY で利用できます。このメガファンクションは、Cyclone III デバイス・ファミリの I/O 構造を活用し、タイミング・クロージャ要件を簡素化し、Cyclone III PLL デバイス・ファミリのダイナミック・リコンフィギュレーション機能を活用して、PVT の変動をキャリブレーションするように最適化されます。

 詳細については、「[External Memory Interfaces in Cyclone III Devices](#)」の章を参照してください。

業界標準のエンベデッド・プロセッサのサポート

Cyclone III デバイス・ファミリでシステム・レベル・デザインを迅速かつ容易に作成するためには、SOPC Builder ツールで 50 個の IP ブロックと共に Freescale® V1 Coldfire、ARM® Cortex M1、または Altera Nios® II の x32 ビット・ソフトコア・プロセッサのいずれかを使用することができます。SOPC Builder は、IP ブロックのシステム統合を容易にする Altera Quartus II デバイス・ツールです。SOPC Builder は、インタコネク・ロジックを自動的に生成し、機能を検証するためのテストベンチも自動的に作成するため、貴重なデザイン時間を節約できます。

Cyclone III デバイス・ファミリは、ペリフェラル・セット、メモリ、I/O、またはレガシー・エンベデッド・プロセッサの性能を拡張します。Cyclone III デバイス・ファミリ内に 1 つまたは複数の Nios II エンベデッド・プロセッサを組み込んで、コプロセッシング・パワーの増強や、ユーザー・システムの既存のエンベデッド・プロセッサの置き換えも可能です。Cyclone III デバイス・ファミリおよび Nios II を組み合わせて使用することにより、製品のライフ・サイクルの延長や、標準製品ソリューションよりも早い市場投入が可能な、低コスト、高性能のエンベデッド処理ソリューションを実現できます。


 Freescale および ARM のエンベデッド・プロセッサには個別のライセンスが必要です。

ホット・ソケットおよびパワー・オン・リセット

Cyclone III デバイス・ファミリは、外部デバイスを使用せずに、ホット・プラグイン、ホット・インサートまたはホット・スワップとしても知られるホット・ソケット（活線挿抜）およびパワー・シーケンスをサポートします。ユーザーは、動作中のシステム・パスやシステムに実装されたボードに影響を与えることなく、システムの動作中に 1 つまたは複数の Cyclone III デバイス・ファミリが実装されたボードをシステムに取り付けたり、取り外すことができます。

ホット・ソケット機能により、3.3V、2.5V、1.8V、1.5V、および 1.2V デバイスが混在して実装されたプリント基板（PCB）上の FPGA の使用が可能になります。

Cyclone III デバイス・ファミリのホット・ソケット機能により、FPGA を正しく動作させるために、ボード上で他のデバイスのパワーアップ・シーケンスを確保する必要があります。

 ホット・ソケットおよびパワー・オン・リセットについては、[「Hot-Socketing and Power-on-Reset in Cyclone III Devices」](#) の章を参照してください。


SEU 対策

Cyclone III デバイスはエラー検出回路を内蔵し、CRAM セル内のソフト・エラーによるデータ破壊を検出します。この機能により、CRAM のすべての内容を読み出して検証し、コンフィギュレーション計算済みの CRC 値に一致させることができます。QuartusII ソフトウェアは、Cyclone III LS デバイスの一部となるビルトイン 32 ビット CRC チェッカーをアクティブにします。

 SEU の緩和については、[「SEU Mitigation in Cyclone III Devices」](#) の章を参照してください。

JTAG バウンダリ・スキャン・テスト


Cyclone III デバイスは、JTAG IEEE Std. 1149.1 規格をサポートしています。バウンダリ・スキャン・テスト（BST）アーキテクチャでは、物理的なテスト・プローブを使用せずにピンの接続をテストすることができ、またはデバイスの通常動作中に機能データをキャプチャします。Cyclone III デバイス・ファミリのバウンダリ・スキャン・セルは信号をピンに強制的に出力するか、ピンまたはロジック・アレイ信号からデータをキャプチャします。強制テスト・データはバウンダリ・スキャン・セルにシリアルにシフト・インされます。キャプチャされたデータはシリアルにシフト・アウトされ、外部で期待値と比較されます。BST に加えて、Cyclone III デバイスのイン・サーキット・リコンフィギュレーション（ICR）に IEEE Std. 1149.1 コントローラを使用することができます。

 JTAG バウンダリ・スキャン・テストについては、[「IEEE 1149.1 \(JTAG\) Boundary Scan Testing for Cyclone III Devices」](#) の章を参照してください。

Quartus II ソフトウェア・サポート

QuartusII ソフトウェアは、性能および生産性に優れた業界をリードする開発ソフトウェアです。CPLD、FPGA および ASIC に対応する業界で唯一の完全なデザイン・ソリューションです。QuartusII ソフトウェアの統合開発環境は、システム・レベルのデザインと先進のサードパーティ・ソフトウェア・ツールおよびフローとのシームレスな統合を促進します。

Cyclone III LS デバイスでは、セキュリティ重視なデザイン・パーティション間の物理的な分離および機能的な分離の両方が可能です。Cyclone III LS デバイスでは、デザイン・パーティション間の分離をサポートします。これで、デバイス・エラーが別のパーティションに影響を及ぼさないことが保証されます。LogicLock 領域間の配線を厳密にコントロールすることにより、Quartus II 分離デザイン・フローは Cyclone III LS 機能における分離領域の作成を容易にします。使いやすさのために、分離デザイン・フローは既存のインクリメンタル・コンパイル・フローに統合されています。

 Quartus II ソフトウェアの機能について詳しくは、「[Quartus II Handbook](#)」を参照してください。

コンフィギュレーション

Cyclone III デバイス・ファミリは、SRAM セルを使用してコンフィギュレーション・データを格納します。コンフィギュレーション・データは、デバイスに電源を投入するたびに、Cyclone III デバイス・ファミリにダウンロードされます。低コストのコンフィギュレーション・オプションには、アルテラの EPCS ファミリ・シリアル・フラッシュ・デバイスおよび汎用パラレル・フラッシュ・コンフィギュレーション・オプションがあります。これらのオプションは、汎用アプリケーションに対する柔軟性、アプリケーションの特定のコンフィギュレーションやウェイクアップ時間要件を満たす能力を提供します。Cyclone III デバイス・ファミリは AS、PS、FPP、および JTAG コンフィギュレーション手法をサポートします。AP コンフィギュレーション手法は Cyclone III デバイスでのみサポートされます。

 コンフィギュレーションについて詳しくは、「[Configuration, Design Security, and Remote System Upgrades in Cyclone III Devices](#)」の章を参照してください。

リモート・システム・アップグレード

Cyclone III デバイス・ファミリは、外部コントローラなしでリモート・システム・アップグレードを提供します。Cyclone III デバイス・ファミリのリモート・システム・アップグレード機能により、遠隔地からのシステム・アップグレードが可能です。Cyclone III デバイス・ファミリに実装されるソフト・ロジック (NiosII エンベデッド・プロセッサまたはユーザー・ロジック) は、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、専用のリモート・システム・アップグレード回路に指示してリコンフィギュレーション・サイクルを開始することができます。この専用回路は、コンフィギュレーション・プロセス中およびプロセスの後にエラー検出を実行し、安全なコンフィギュレーション・イメージに戻ることによってエラー状態から回復します。また、この専用回路はエラー・ステータス情報を提供しています。Cyclone III デバイスでは、リモート・システム・アップデートは AS および AP コンフィギュレーション手法でサポートされます。Cyclone III LS デバイスでは、リモート・システム・アップデートは AS コンフィギュレーション手法でのみサポートされます。

 詳細については、「[Configuration, Design Security, and Remote System Upgrades in Cyclone III Devices](#)」の章を参照してください。

デザイン・セキュリティ (Cyclone III LS デバイスのみ)

Cyclone III LS デバイスはデザイン・セキュリティ機能を提供しています。競争の激しい一般用および軍用環境におけるより大規模かつ条件の厳しいデザインでは、セキュリティ機能が重要な役割を担うこととなります。Cyclone III LS デバイスはコンフィギュレーション・ビットストリーム暗号化機能および改ざん防止機能により、デザインを複製、リバース・エンジニアリング、および改ざんから保護します。Cyclone III LS デバイスのコンフィギュレーション・セキュリティは 256 ビットのセキュリティ・キーを使用する AES を使用しています。

 詳細については、「[Configuration, Design Security, and Remote System Upgrades in Cyclone III Devices](#)」の章を参照してください。

製品コード

図 1-1 および図 1-2 に、Cyclone III および Cyclone III LS の製品コードを示します。

図 1-1. Cyclone III デバイスの製品コード

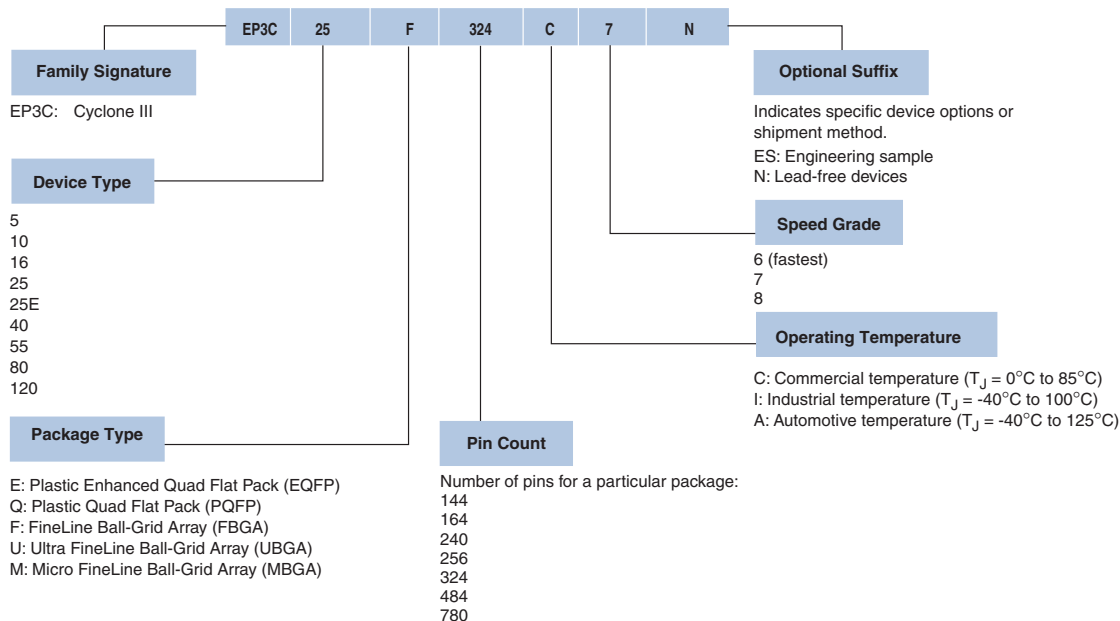
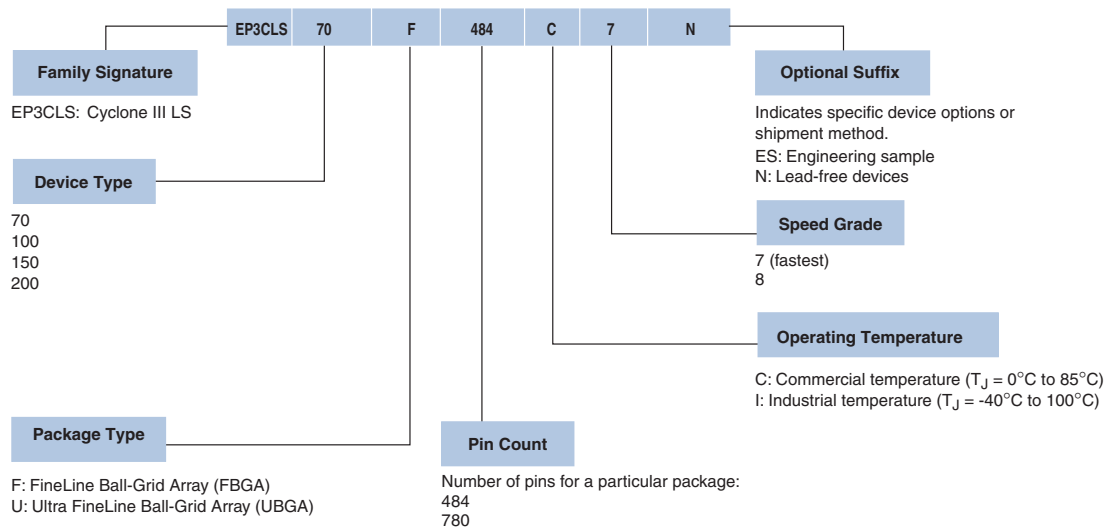


図 1-2. Cyclone III LS デバイスの製品コード



改訂履歴

表 1-7 に、本資料の改訂履歴を示します。

表 1-7. 改訂履歴

| 日付 | バージョン | 変更内容 |
|-------------|------------|--|
| 2009 年 12 月 | 2.2 | テキストのマイナーな編集 |
| 2009 年 7 月 | 2.1 | リンクのマイナーな編集 |
| 2009 年 6 月 | 2.0 | <ul style="list-style-type: none"> ■ 表 1-5 を追加 ■ 表 1-1、表 1-2、表 1-3、および表 1-4 を更新 ■ Updated 「はじめに」、「Cyclone III デバイス・ファミリ・アーキテクチャ」、「エンベデッド乗算器および DSP のサポート」、「クロック・ネットワークおよび PLL」、「I/O 機能」、「高速差動インタフェース」、「外部メモリ・インタフェースのオート・キャリブレート」、「Quartus II ソフトウェア・サポート」、「コンフィギュレーション」、および「デザイン・セキュリティ (Cyclone III LS デバイスのみ)」を更新 ■ 「参考資料」の項を削除 |
| 2008 年 10 月 | 1.3 | <ul style="list-style-type: none"> ■ 「拡張されたシステム統合能力」の項を更新 ■ 「メモリ・ブロック」の項を更新 ■ 章を新しいテンプレートに更新 |
| 2008 年 5 月 | 1.2 | <ul style="list-style-type: none"> ■ 164 ピン Micro FineLine ボール・グリッド・アレイ (MBGA) の詳細を、表 1-2、表 1-3、および表 1-4 に追加 ■ 図 1-2 を更新。オートモータイク温度グレードの情報を追加 ■ 「拡張されたシステム統合能力」の項、表 1-6、および「高速差動インタフェース」の項を更新。BLVDS の情報を追加 |
| 2007 年 7 月 | 1.1 | <ul style="list-style-type: none"> ■ 「拡張されたシステム統合能力」および「コンフィギュレーション」の項から Spanion を削除 ■ 「MultiTrack インタコネク」の項の MultiTrack から登録商標のマークを削除 ■ 「エンベデッド乗算器および DSP のサポート」の項から Simulink および MATLAB の登録商法マークを削除 ■ 「参考資料」の項に章の目次を追加 |
| 2007 年 3 月 | 1.0 | 初版 |