

この資料は更新された最新の英語版が存在します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CI151014-1.0

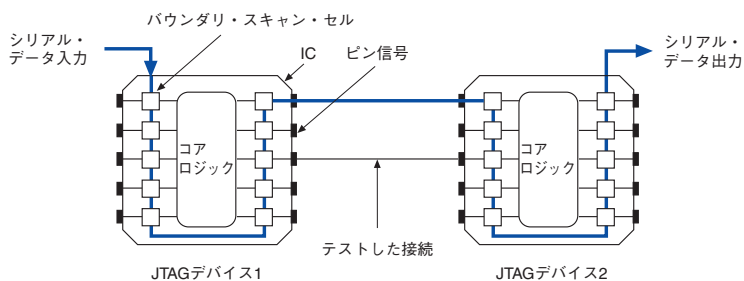
はじめに

プリント基板 (PCB) の複雑化に伴って、徹底的なテストがますます重要になっています。表面実装パッケージおよび PCB 製造の進歩によってボードの小型化が進み、従来型の試験方法 (外部テスト・プローブや「Bed-of-nails」テスト治具など) の実装が困難になっています。その結果、PCB スペースの削減によるコストの節約が、従来型の試験方法でのコスト増によって相殺されてしまうこともあります。

1980 年代に、JTAG (Joint Test Action Group) は、バウンダリ・スキャン・テストの仕様を開発し、これが後に IEEE Std. 1149.1 規格として標準化されました。このバウンダリ・スキャン・テスト (BST) アーキテクチャは、PCB 上に狭いリード間隔で実装されているコンポーネントを効率的にテストする機能を提供します。

BST アーキテクチャでは、物理的なテスト・プローブを使用しないでピンの接続をテストでき、またデバイスの通常動作中に機能データをキャプチャすることができます。デバイスのバウンダリ・スキャン・セルは信号をピンに強制的に出力するか、あるいはピンまたはロジック・アレイ信号からデータをキャプチャします。強制テスト・データはバウンダリ・スキャン・セルにシリアルにシフト・インされます。キャプチャされたデータはシリアルにシフト・アウトされ、外部で期待値と比較されます。図 14-1 にバウンダリ・スキャン・テストの概念を示します。

図 14-1. IEEE Std. 1149.1 バウンダリ・スキャン・テスト



この章では Cyclone™ II デバイスでの IEEE Std. 1149.1 BST 回路の使用方法を説明します。内容は以下のとおりです。

- IEEE Std. 1149.1 BST アーキテクチャ
- IEEE Std. 1149.1 バウンダリ・スキャン・レジスタ
- IEEE Std. 1149.1 BST 動作コントロール
- JTAG チェインでの I/O 電圧のサポート
- IEEE Std. 1149.1 BST 回路の使用
- IEEE Std. 1149.1 BST 回路のディセーブル
- IEEE Std. 1149.1 バウンダリ・スキャン・テストのガイドライン
- BSDL (Boundary Scan Description Language) のサポート

BST に加えて、Cyclone II デバイスのイン・サーキット・リコンフィギュレーション (ICR) に IEEE Std. 1149.1 コントローラを使用することができます。ただし、この章では IEEE Std. 1149.1 回路の BST 機能についてのみ説明します。



IEEE Std. 1149.1 回路を使用した Cyclone II デバイスのコンフィギュレーションの詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II デバイスのコンフィギュレーション」の章を参照してください。

IEEE Std. 1149.1 BST アーキテクチャ

IEEE Std. 1149.1 BST モードで動作する Cyclone II デバイスは、TDI、TDO、TMS、および TCK の 4 本の専用ピンを使用します。Cyclone II デバイスには、オプションの TRST ピンはありません。TCK ピンは内部ウィーク・プルダウン抵抗を備えています。TDI ピンと TMS ピンは内部ウィーク・プルアップ抵抗を備えています。すべてのユーザ I/O ピンは、JTAG コンフィギュレーション中にトライ・ステートとなります。表 14-1 に、これらの各ピンの機能をまとめます。

表 14-1. IEEE Std. 1149.1 ピンの説明 (1 / 2)

ピン	説明	機能
TDI	テスト・データ入力	命令、テストおよびプログラミング・データ用のシリアル入力ピン。TDI に印加される信号は、TCK の立ち下がりエッジで状態を変化させることが予測されます。データは TCK の立ち上がりエッジでシフト・インされます。
TDO	テスト・データ出力	命令、テストおよびプログラミング・データ用のシリアル・データ出力ピン。データは TCK の立ち下がりエッジでシフト・アウトされます。このピンは、データがデバイスからシフト・アウトされない場合はトライ・ステートになります。

表 14-1. IEEE Std. 1149.1 ピンの説明 (2 / 2)

ピン	説明	機能
TMS	テスト・モード選択	TAP コントローラ・ステート・マシンの遷移を決定するコントロール信号を提供する入力ピン。ステート・マシン内での遷移は、TCK の立ち上がりエッジで発生します。このため、TCK の立ち上がりエッジの前に TMS を設定する必要があります。TMS は、TCK の立ち上がりエッジで評価されます。JTAG 動作以外では、TMS を High にドライブすることを推奨します。
TCK	テスト・クロック入力	BST 回路へのクロック入力。立ち上がりエッジで発生する動作と、立ち下がりエッジで発生する動作があります。クロック入力波形はデューティ・サイクルが 50% でなければなりません。

IEEE Std. 1149.1 BST 回路には、以下のレジスタが必要です。

- インストラクション・レジスタは、実行するアクションとアクセスするデータ・レジスタを決定します。
- バイパス・レジスタは、1 ビット長のデータ・レジスタで、TDI と TDO の間に最小長のシリアル・パスを提供します。
- バウンダリ・スキャン・レジスタは、デバイス内のすべてバウンダリ・スキャン・セルで構成されるシフト・レジスタです。

図 14-2 に、IEEE Std. 1149.1 回路の機能モデルを示します。

図 14-2. IEEE Std. 1149.1 回路

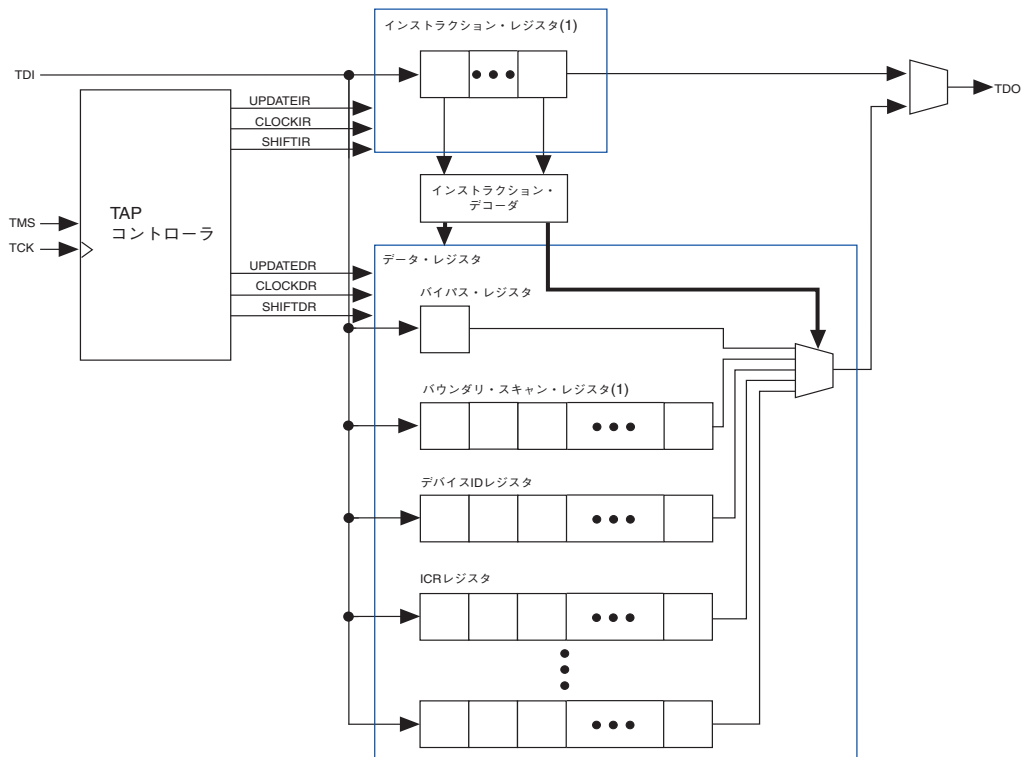


図 14-2 の注：

- (1) レジスタの長さについては、「Cyclone II デバイス・ハンドブック Volume 1」の「コンフィギュレーション & テスト」の章にあるデバイス・データシートを参照してください。

IEEE Std. 1149.1 バウンダリ・スキャン・テストは、テスト・アクセス・ポート (TAP) コントローラによって制御されます。TAP コントローラの詳細については、14-9 ページの「IEEE Std. 1149.1 BST 動作コントロール」を参照してください。TMS ピンと TCK ピンが TAP コントローラを制御し、TDI ピンと TDO ピンでデータ・レジスタにシリアル・パスを提供します。また、TDI ピンはインストラクション・レジスタにデータを提供し、それによってデータ・レジスタに対するコントロール・ロジックが生成されます。

IEEE Std. 1149.1 バウンダリ・ スキャン・ レジスタ

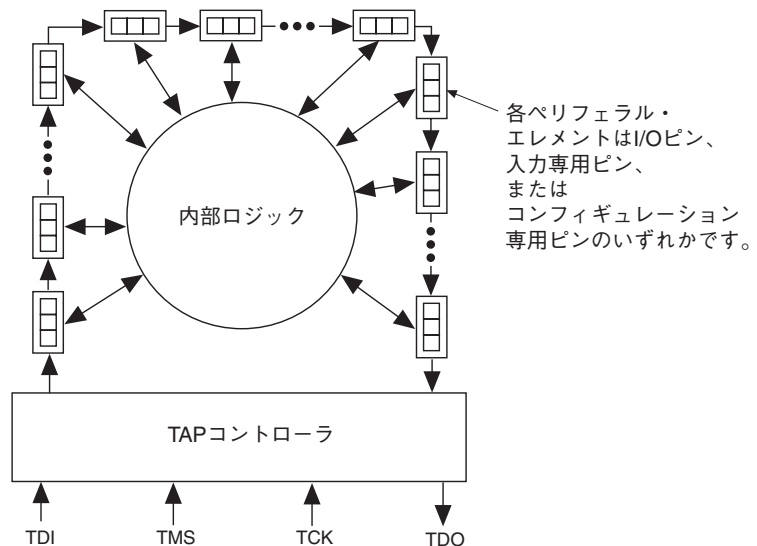
バウンダリ・スキャン・レジスタは、TDI ピンを入力、TDO ピンを出力として使用する大きなシリアル・シフト・レジスタです。バウンダリ・スキャン・レジスタは、Cyclone II の I/O ピンに関連付けられている 3 ビットのペリフェラル・エレメントで構成されています。バウンダリ・スキャン・レジスタを使用して、外部ピンの接続をテストしたり、内部データをキャプチャすることができます。



Cyclone II デバイスのバウンダリ・スキャン・レジスタの長さについては、「Cyclone II デバイス・ハンドブック Volume 1」の「コンフィギュレーション & テスト」の章を参照してください。

図 14-3 に、IEEE Std. 1149.1 デバイスの周辺にテスト・データをシリアルにシフトする方法を示します。

図 14-3. バウンダリ・スキャン・レジスタ



Cyclone II デバイスのI/Oピンのバウンダリ・スキャン・セル

Cyclone II デバイスの3ビット・バウンダリ・スキャン・セル (BSC) は、キャプチャ・レジスタおよびアップデート・レジスタのセットで構成されています。キャプチャ・レジスタは OUTJ 信号と OEJ 信号によって内部デバイス・データに接続することができ、また、PIN_IN 信号によって外部デバイス・データに接続することができ、アップデート・レジスタは PIN_OUT 信号と PIN_OE 信号を介して外部データに接続することができます。IEEE Std. 1149.1 BST レジスタ (シフト、クロック、アップデートなど) に対するグローバル・コントロール信号は、TAP コントローラによって内部で生成されます。MODE 信号は、インストラクション・レジスタのデコーダによって生成されます。バウンダリ・スキャン・レジスタ用のデータ信号パスは、シリアル・データ入力 (SDI) 信号からシリアル・データ出力 (SDO) 信号までとなります。スキャン・レジスタは、デバイスの TDI ピンから始まり、TDO ピンで終わります。

図 14-4 に、Cyclone II デバイスのユーザ I/O バウンダリ・スキャン・セルを示します。

図 14-4. Cyclone II の IEEE Std. 1149.1 BST 回路のユーザ I/O BSC

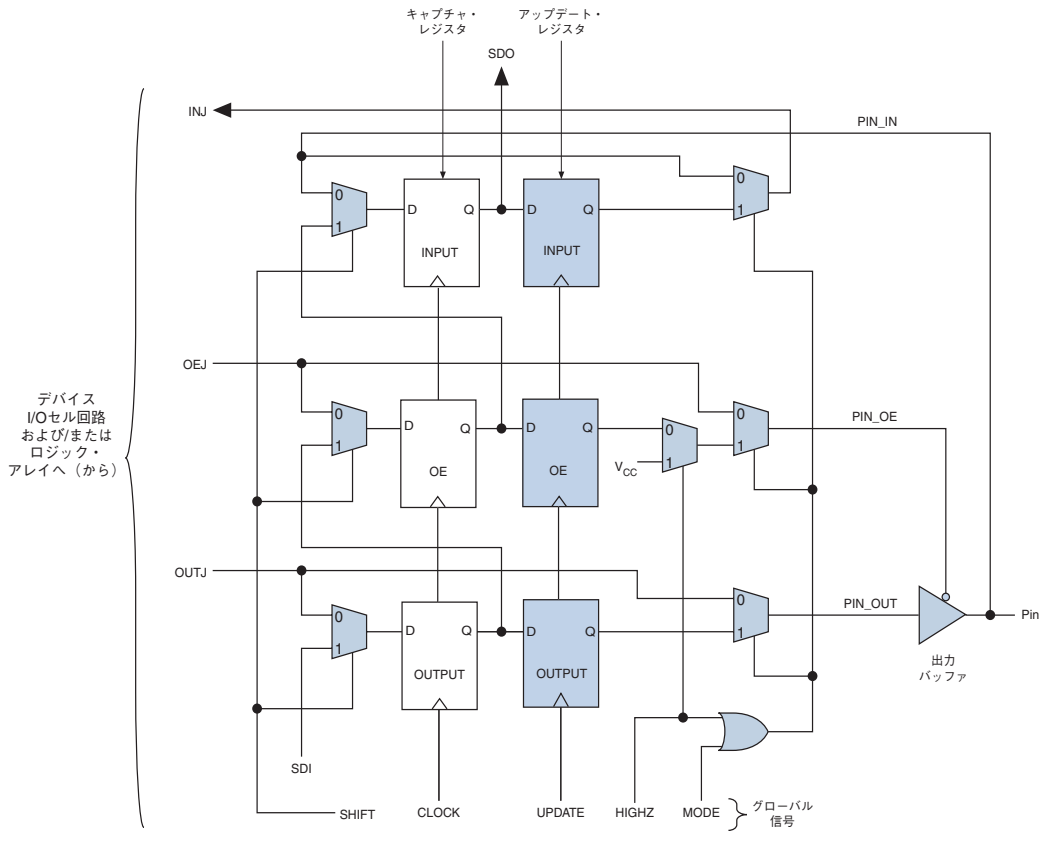


表 14-2 では、Cyclone II デバイス内のすべてのタイプのバウンダリ・スキャン・セルのキャプチャおよびアップデート・レジスタの機能を説明します。

ピン・タイプ	キャプチャ			ドライブ			コメント
	出力 キャプチャ・ レジスタ	OE キャプチャ・ レジスタ	入力 キャプチャ・ レジスタ	出力 アップ デート・ レジスタ	OE アップ デート・ レジスタ	入力 アップ デート・ レジスタ	
ユーザ I/O ピン	OUTJ	OEJ	PIN_IN	PIN_OUT	PIN_OE	INJ	
専用 クロック 入力	0	1	PIN_IN	N.C. (2)	N.C. (2)	N.C. (2)	PIN_IN は クロック・ネッ トワークまたは ロジック・ア レイにドライ ブします。
専用 入力 (3)	0	1	PIN_IN	N.C. (2)	N.C. (2)	N.C. (2)	PIN_IN は コントロール・ ロジックにド ライブします。
専用 双方向 (4)	0	OEJ	PIN_IN	N.C. (2)	N.C. (2)	N.C. (2)	PIN_IN は コンフィギュ レーション・コ ントロール・ロ ジックにドラ イブします。
専用 出力 (5)	OUTJ	0	0	N.C. (2)	N.C. (2)	N.C. (2)	OUTJ は出力 バッファにド ライブします。

表 14-2 の注：

- (1) TDI、TDO、TMS、TCK、すべての V_{CC}、および GND ピン・タイプには BSC はありません。
- (2) N.C.: 接続なし
- (3) これには、nCONFIG、MSEL0、MSEL1、および nCE ピンが含まれます。
- (4) これには、CONF_DONE ピンおよび nSTATUS ピンが含まれます。
- (5) これには、nCEO ピンが含まれます。

IEEE Std. 1149.1 BST 動作コント ロール

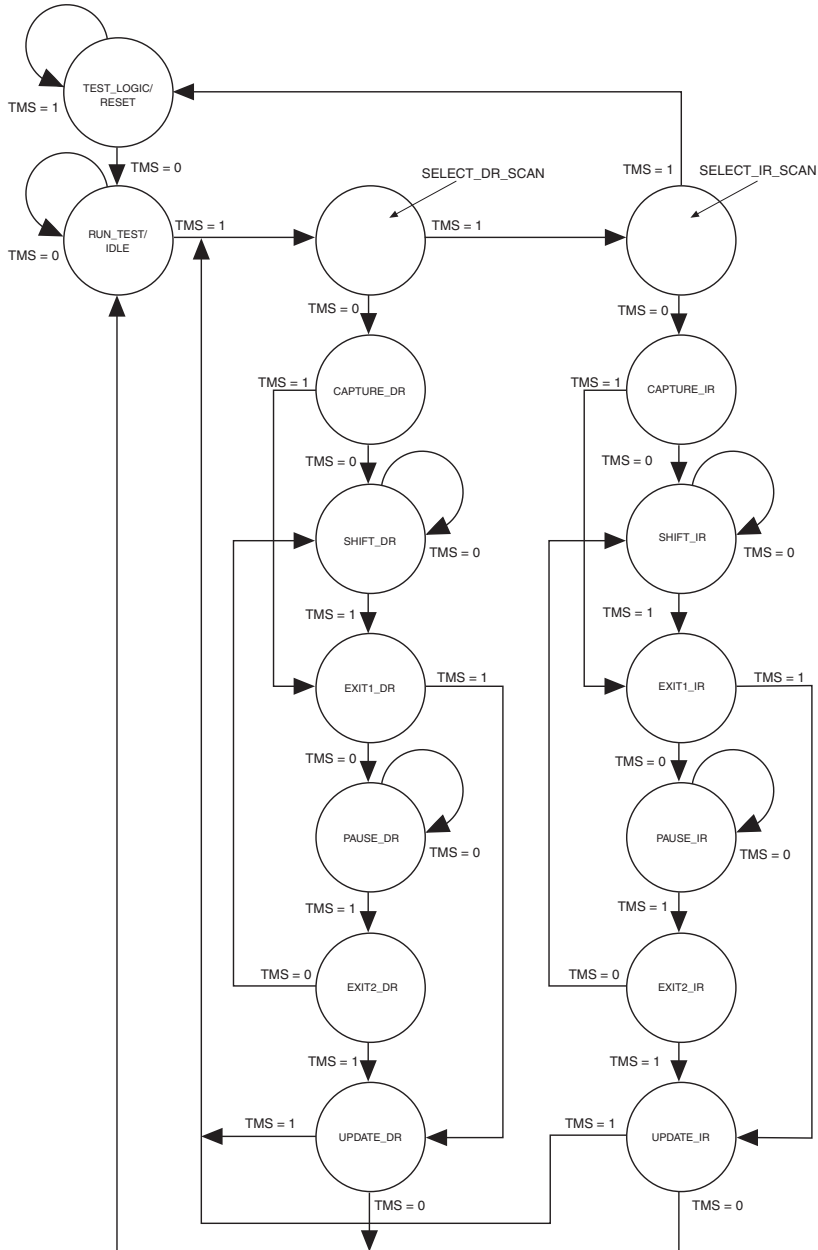
Cyclone II デバイスは、複数の IEEE Std. 1149.1 BST 命令 (SAMPLE/PRELOAD、EXTEST、BYPASS、IDCODE、USERCODE、CLAMP、および HIGHZ) が用意されています。BST 命令の長さは 10 ビットです。これらの命令については本章の後半で説明します。



BST 命令および命令コードの概要については、「Cyclone II デバイス・ハンドブック Volume 1」の「コンフィギュレーション & テスト」の章を参照してください。

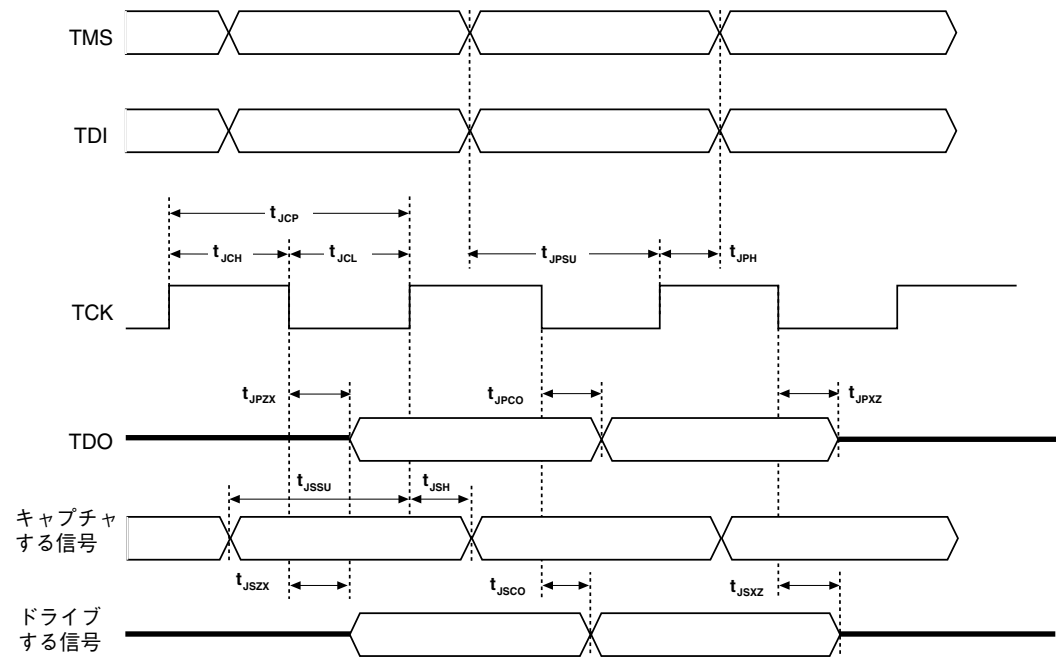
TCK の立ち上がりエッジでクロック駆動される 16 のステートを持つステート・マシンである IEEE Std. 1149.1 テスト・アクセス・ポート (TAP) コントローラは、TMS ピンを使用してデバイスの IEEE Std. 1149.1 動作を制御します。図 14-5 に、TAP コントローラ・ステート・マシンを示します。

図 14-5. IEEE Std. 1149.1 TAP コントローラ・ステート・マシン



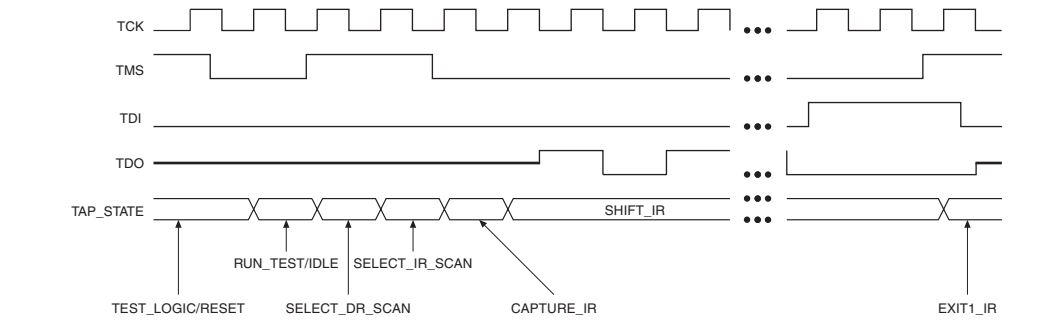
TAP コントローラが TEST_LOGIC/RESET ステートのときには、BST 回路がディセーブルされ、デバイスは通常の動作を行う状態となり、インストラクション・レジスタは初期命令として IDCODE で初期化されます。デバイスのパワー・アップ時には、TAP コントローラはこの TEST_LOGIC/RESET ステートで起動します。さらに、TMS を 5 TCK クロック・サイクルの間 High に保持すると、TAP コントローラは TEST_LOGIC/RESET ステートに強制的に入ります。TAP コントローラは、一度 TEST_LOGIC/RESET ステートになると、TMS が High に保持されている限り (TCK にクロックが供給されている間)、このステートを維持します。図 14-6 に、IEEE Std. 1149.1 信号のタイミング要求を示します。

図 14-6. IEEE Std. 1149.1 のタイミング波形



IEEE Std. 1149.1 動作を開始するには、TAP コントローラをシフト・インストラクション・レジスタ (SHIFT_IR) ステートに進め、TDI ピンに適切な命令コードをシフトすることで、インストラクション・モードを選択します。図 14-7 の波形図は、インストラクション・レジスタへの命令コードの入力を表します。TCK、TMS、TDI、TDO、および TAP コントローラのステートの値を示します。RESET ステートから、SHIFT_IR へ TAP コントローラを進めるために、TMS には 01100 のパターンを入力します。

図 14-7. インストラクション・モードの選択



TDO ピンは、SHIFT_IR および SHIFT_DR ステートを除くすべてのステートでトライ・ステートになります。TDO ピンは、いずれかのシフト・ステートに入った後のTCKの最初の立ち下がりエッジでアクティブになり、いずれかのシフト・ステートを終了した後のTCKの最初の立ち下がりエッジでトライ・ステートになります。

SHIFT_IR ステートがアクティブになると、TDO はトライ・ステートを抜け、インストラクション・レジスタの初期ステートがTCKの立ち下がりエッジでシフト・アウトされます。TDO は、SHIFT_IR ステートがアクティブになっている限り、継続してインストラクション・レジスタの内容をシフト・アウトします。TAP コントローラは、TMS が Low のときは SHIFT_IR ステートになったままです。

SHIFT_IR ステートの間、TCKの立ち上がりエッジで、TDI ピン上のデータをシフトすることによって、命令コードが入力されます。命令コードの最終ビットは、次のステート EXIT1_IR がアクティブになると同時にクロック駆動されなければなりません。EXIT1_IR ステートをアクティブにするために、TMS を High に設定します。一度EXIT1_IR ステートになると、TDO は再びトライ・ステートになります。TDO は、SHIFT_IR ステートと SHIFT_DR ステートを除いて、常にトライ・ステートになります。命令コードが正しく入力されると、TAP コントローラは後述する7つのモード (SAMPLE/PRELOAD、EXTEST、BYPASS、IDCODE、USERCODE、CLAMP、または HIGHZ) の1つで、テスト・データをシリアルにシフト・インします。

SAMPLE/PRELOAD インストラクション・モード

SAMPLE/PRELOAD インストラクション・モードにより、通常のデバイス動作を中断することなく、デバイス・データのスナップショットをとることができます。この命令を使用して、EXTEST 命令をロードする前に、アップデート・レジスタにテスト・データをプリロードすることもできます。図 14-8 に、SAMPLE/PRELOAD モードのキャプチャ、シフト、およびアップデート・フェーズを示します。

図 14-8. IEEE Std. 1149.1 BST SAMPLE/PRELOAD モード

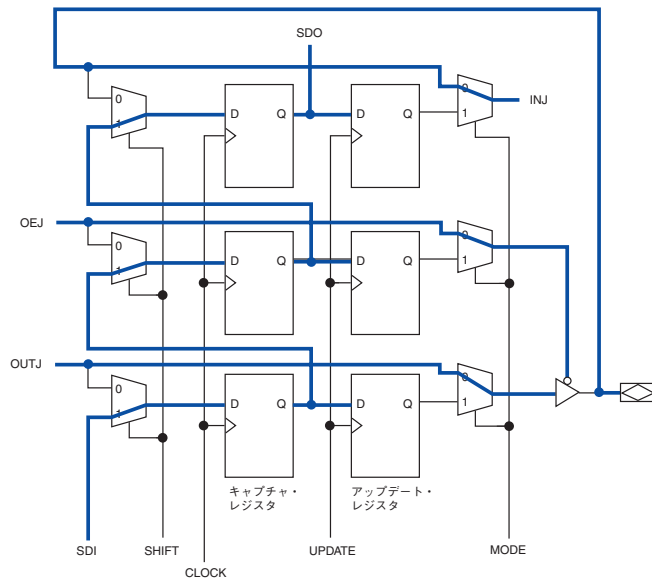
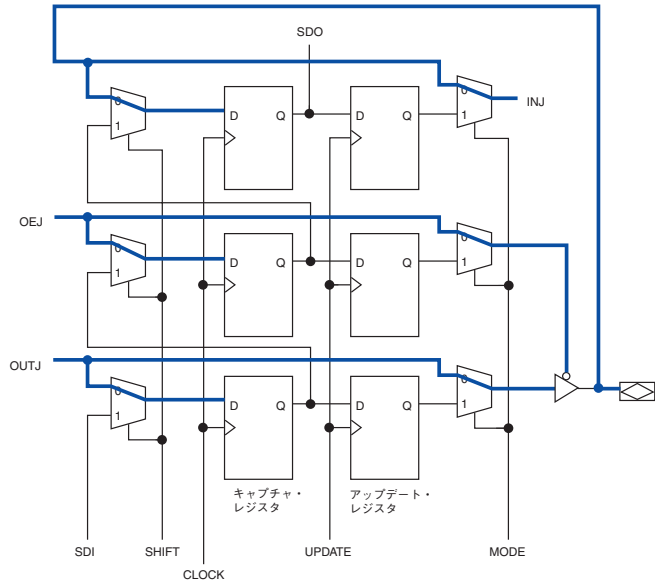
キャプチャ・フェーズ

キャプチャ・フェーズでは、ピンの信号、OEJ および OUTJ がキャプチャ・レジスタにロードされます。CLOCK 信号は TAP コントローラの CLOCKDR 出力から供給されます。これらのレジスタに保持されるデータは、通常のデバイス動作からの信号で構成されます。

シフトおよびアップデート・フェーズ

シフト・フェーズでは、ピンで以前にキャプチャされた信号、OEJ および OUTJ は、CLOCK を使用し TDO ピンを通して、バウンダリ・スキャン・レジスタからシフト・アウトされます。データがシフト・アウトされると、TDI ピンを通して次のテスト用のパターンをシフト・インすることができます。

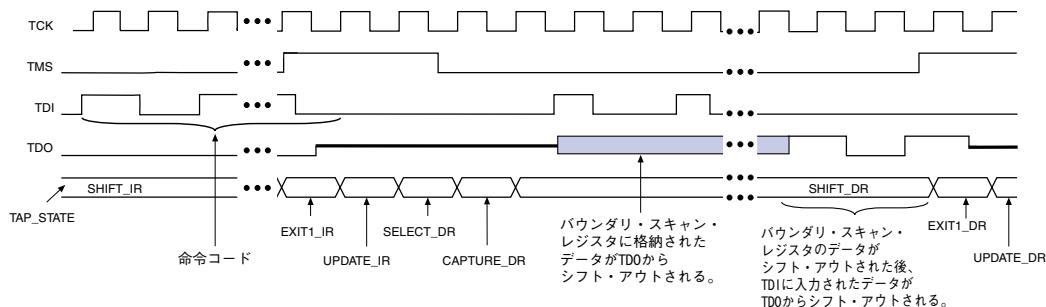
アップデート・フェーズでは、データは UPDATE クロックを使用して、キャプチャ・レジスタから UPDATE レジスタに転送されます。UPDATE レジスタに格納されたデータは、EXTEST 命令に使用できます。



キャプチャ・フェーズでは、キャプチャ・レジスタの前段にあるマルチプレクサがアクティブなデバイスのデータ信号を選択します。このデータはクロックに同期してキャプチャ・レジスタに入力されます。アップデート・レジスタの出力にあるマルチプレクサは、デバイスへの機能的な割り込みを防ぐために、アクティブなデバイスのデータも選択します。シフト・フェーズ中には、デバイス周辺のキャプチャ・レジスタを通してデータをクロック駆動することによってバウンダリ・スキャン・シフト・レジスタが形成され、TDO ピンから出力されます。デバイスは同時に新しいテスト・データを TDI にシフト・インし、キャプチャ・レジスタの内容を置き換えることができます。アップデート・フェーズでは、キャプチャ・レジスタ内のデータはアップデート・レジスタに転送されます。このデータは次に、EXTEST インストラクション・モードで使用できます。詳細については、14-15 ページの「EXTEST インストラクション・モード」を参照してください。

図 14-9 に、SAMPLE/PRELOAD 波形を示します。SAMPLE/PRELOAD 命令コードは、TDI ピンを通してシフト・インされます。TAP コントローラは、CAPTURE_DR ステートから SHIFT_DR ステートに進み、TMS が Low に保持されている間は、SHIFT_DR ステートにとどまります。キャプチャ・フェーズ後にキャプチャ・レジスタ内に存在していたデータは、TDO ピンからシフト・アウトされます。TDI ピンにシフト・インされた新しいテスト・データが、バウンダリ・スキャン・レジスタ全体をクロックで周期化された後、TDO ピンに出力されます。図 14-9 は、キャプチャ・レジスタのデータがシフトアウトされるまで、TDI の命令コードは TDO ピンに出力されないことを示しています。TMS が 2 連続 TCK クロック・サイクルの間 High に保持されると、TAP コントローラはアップデート・フェーズのために UPDATE_DR ステートに進みます。

図 14-9. SAMPLE/PRELOAD シフト・データ・レジスタの波形



EXTEST インストラクション・モード

EXTEST 命令モードは、デバイス間の外部ピン接続をチェックするために使用されます。SAMPLE/PRELOAD モードとは異なり、EXTEST によってテスト・データを強制的にピン信号に出力することができます。出力ピンに既知の High および Low のロジック・レベルを与えることによって、スキャン・チェイン内の任意のデバイスのピンでオープンおよび短絡を検出することができます。

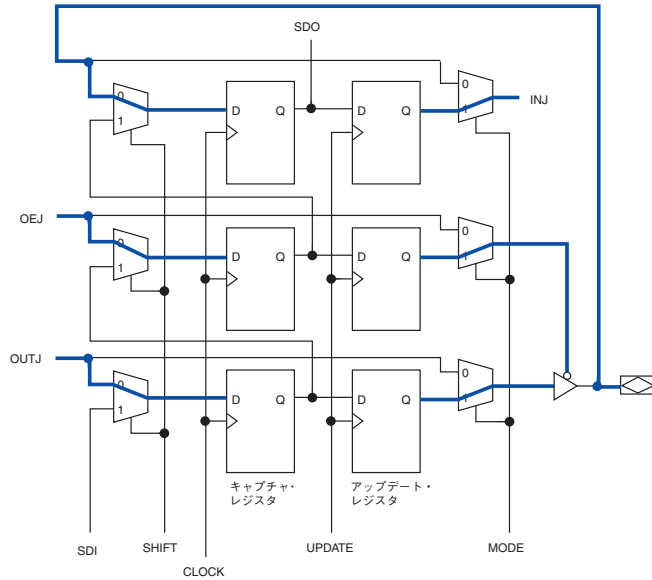
図 14-10 に、EXTEST モードのキャプチャ、シフト、およびアップデート・フェーズを示します。

図 14-10. IEEE Std. 1149.1 BST EXTEST モード

キャプチャ・フェーズ

キャプチャ・フェーズでは、ピンの信号、OEJ および OUTJ がキャプチャ・レジスタにロードされます。CLOCK 信号は TAP コントローラの CLOCKDR 出力から供給されます。以前にアップデート・レジスタに保持されたデータは PIN_IN、INJ をドライブし、それによって I/O ピンはトライ・ステートになるか、または信号を出力することができます。

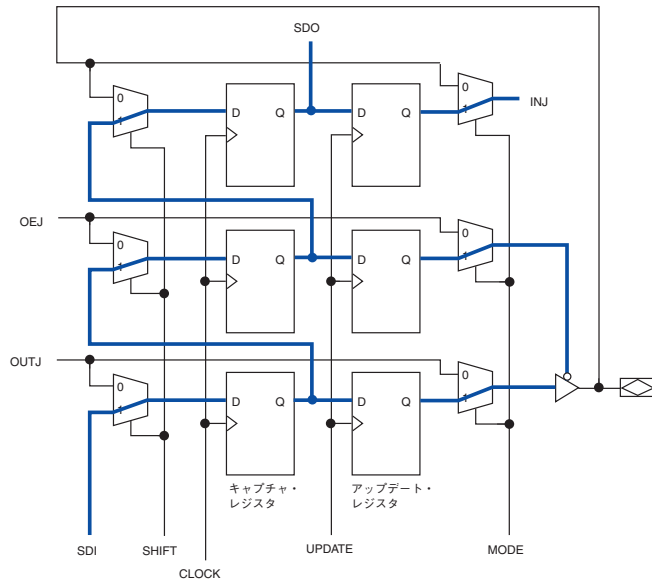
OEJ アップデート・レジスタ内の 1 は出力バッファをトライ・ステートにします。



シフトおよびアップデート・フェーズ

シフト・フェーズでは、ピンで以前にキャプチャされた信号、OEJ および OUTJ は、CLOCK を使用し TDO ピンを通して、バウンダリ・スキャン・レジスタからシフト・アウトされます。データがシフト・アウトされると、TDI ピンを通して次のテスト用のパターンをシフト・インすることができます。

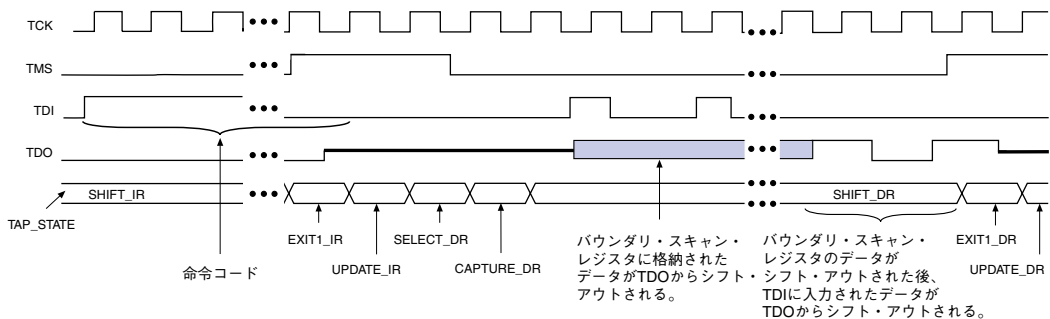
アップデート・フェーズでは、データは UPDATE クロックを使用して、キャプチャ・レジスタからアップデート・レジスタに転送されます。アップデート・レジスタは、次に PIN_IN、INJ をドライブし、I/O ピンがトライ・ステートになるか、または信号を出力できるようにします。



EXTEST は、SAMPLE/PRELOAD とは異なる方法でデータを選択します。EXTEST は、出力および出力イネーブル信号のソースとして、アップデート・レジスタからデータを選択します。EXTEST 命令コードが入力されると、マルチプレクサはアップデート・レジスタのデータを選択します。これによって、以前の EXTEST または SAMPLE/PRELOAD テスト・サイクルからこれらのレジスタに格納されていたデータは、強制的にピン信号として出力することができます。キャプチャ・フェーズでは、このテスト・データの結果はキャプチャ・レジスタに格納され、シフト・フェーズ中に TDO からシフト・アウトされます。新しいテスト・データは、アップデート・フェーズ中にアップデート・レジスタに格納できます。

図 14-11 の EXTEST 波形図は、命令コードを除いて、SAMPLE/PRELOAD 波形図に似ています。TDO ピンからシフト・アウトされたデータは、キャプチャ・フェーズ後にキャプチャ・レジスタに格納されていたデータで構成されます。TDI ピンにシフト・インされた新しいテスト・データが、バウンダリ・スキャン・レジスタ全体をクロックで同期化された後、TDO ピンに出力されます。

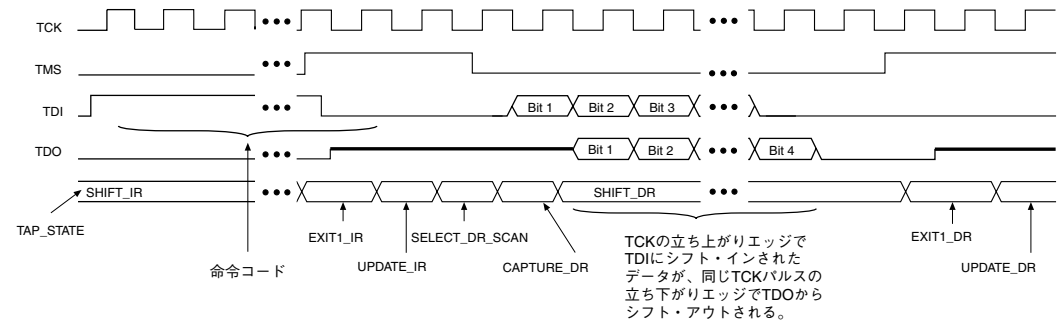
図 14-11. EXTEST シフト・データ・レジスタ波形



BYPASS インストラクション・モード

BYPASS モードは、命令レジスタにすべて 1 の命令コードがロードされるとアクティブになります。図 14-12 の波形は、TAP コントローラが SHIFTR ステートになったときに、スキャン・データがデバイスを通り抜ける方法を示しています。このステートでは、データ信号は TCK の立ち上がりエッジで TDI からバイパス・レジスタにクロックを同期させて入力し、同じクロック・パルスの立ち下がりエッジで TDO から出力されます。

図 14-12. BYPASS シフト・データ・レジスタ波形



IDCODE インストラクション・モード

IDCODE インストラクション・モードは、IEEE Std. 1149.1 チェイン内のデバイスを識別するために使用されます。IDCODE が選択されると、デバイス識別レジスタに32ビットのベンダ定義識別コードがロードされます。デバイス ID レジスタは、TDI ポートと TDO ポートの間に接続され、デバイスの IDCODE がシフト・アウトされます。Cyclone II デバイスの IDCODE については、「Cyclone II デバイス・ハンドブック Volume 1」の「コンフィギュレーション & テスト」の章に記載されています。

USERCODE インストラクション・モード

USERCODE インストラクション・モードは、IEEE Std. 1149.1 チェインに沿ってデバイス内のユーザ電子署名 (UES) を調べるのに使用されます。この命令が選択されると、TDI ポートと TDO ポート間にデバイス識別レジスタが接続されます。ユーザ定義の UES は、32 ビット USERCODE レジスタからパラレルにデバイス ID レジスタにシフト・インされます。UES はデバイス ID レジスタを通してシフト・アウトされます。UES 値はデバイスがコンフィギュレーションされるまで、ユーザ定義値にはなりません。コンフィギュレーション前では、UES 値はデフォルト値に設定されます。

CLAMP インストラクション・モード

CLAMP インストラクション・モードによって、バウンダリ・スキャン・レジスタはピンからドライブされる信号の状態を判断することができます。CLAMP インストラクション・モードでは、TDI ポートと TDO ポート間のシリアル・パスとして、バイパス・レジスタが選択されます。

コンフィギュレーション後にデバイスをテストする場合、プログラマブルなウィーク・プルアップ抵抗またはバス・ホールド機能によって、ピンの CLAMP 値（バウンダリ・スキャン・セルのアップデート・レジスタに格納されている値）は無効になります。

HIGHZ インストラクション・モード

HIGHZ インストラクション・モードは、すべてのユーザ I/O ピンを非アクティブなドライブ状態に設定するのに使用されます。これらのピンは新しい JTAG 命令が実行されるまでトライ・ステートになります。この命令がインストラクション・レジスタにロードされると、TDI ポートと TDO ポートの間にバイパス・レジスタが接続されます。

コンフィギュレーション後にデバイスをテストする場合、プログラマブルなウィーク・プルアップ抵抗またはバス・ホールド機能によって、ピンの HIGHZ 値は無効になります。

JTAG チェインでの I/O 電圧のサポート

JTAG チェインには数種類のデバイスを含めることができます。ただし、チェインに V_{CCIO} レベルが異なるデバイスが含まれている場合は注意が必要です。TDO ピンの出力電圧レベルは、ドライブする TDI ピンの仕様に適合する必要があります。Cyclone II デバイスの場合、TDO ピンには V_{CCIO} 電源から電力が供給されます。 V_{CCIO} 電源が 3.3 V の場合、TDO ピンは 3.3 V を出力します。

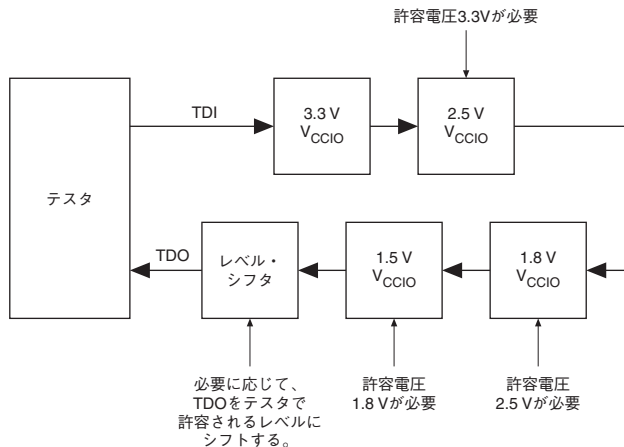
デバイスの V_{CCIO} レベルが異なる場合でも、互いにインタフェースすることが可能です。例えば、3.3 V TDO ピンを持つデバイスは、5.0 V TDI ピンを持つデバイスをドライブできます。これは、3.3 V が 5.0 V TDI ピンの最小 TTL レベルである V_{IH} に適合するためです。Cyclone II デバイスの JTAG ピンは、2.5 または 3.3 V 入力レベルをサポートできます。



MultiVolt I/O サポートの詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II アーキテクチャ」の章を参照してください。

デバイス間にレベル・シフトを挿入して、 V_{CCIO} レベルが異なるデバイスの TDI ラインと TDO ラインをインタフェースさせることもできます。可能な限り、 V_{CCIO} レベルがより高いデバイスから V_{CCIO} レベルが同等以下のデバイスをドライブするよう JTAG チェインを構築するのが望ましいです。このため、TDO レベルを JTAG テスタで許容されるレベルにシフトするためにのみレベル・シフトが必要な場合があります。図 14-13 に、電圧レベルが混在した JTAG チェインとチェイン内へのレベル・シフトの挿入方法を示します。

図 14-13. 電圧レベルが混在した JTAG チェイン



IEEE Std. 1149.1 BST 回路の使用

Cyclone II デバイスには、専用の JTAG ピンがあり、IEEE Std. 1149.1 BST 回路はデバイスのパワー・アップ時にイネーブルされます。コンフィギュレーションの前後だけでなくコンフィギュレーションの実行中にも、Cyclone II FPGA 上で BST を実行できます。Cyclone II FPGA は、コンフィギュレーション中にコンフィギュレーションを中断することなく、BYPASS、IDCODE、および SAMPLE 命令をサポートします。他のすべての JTAG 命令を送出するには、CONFIG_IO 命令を使用してコンフィギュレーションを中断しなければなりません。

CONFIG_IO 命令を使用すると、JTAG ポートを通して I/O バッファをコンフィギュレーションでき、命令が発行されるとコンフィギュレーションを中断します。この命令では、Cyclone II FPGA をコンフィギュレーションする前、またはコンフィギュレーション・デバイスがコンフィギュレーションを完了するのを待たずに、ボード・レベルのテストを実行できます。コンフィギュレーションが中断されて JTAG BST が完了した場合は、デバイスを JTAG により (PULSE_CONFIG 命令)、または nCONFIG で Low パルスを発生させて、デバイスをリコンフィギュレーションする必要があります。

コンフィギュレーションの前に JTAG バウンダリ・スキャン・テストを実行するときは、nCONFIG ピンを Low に保持しなければなりません。

Cyclone II デバイス上のデバイス・ワイドのリセット (DEV_CLRn) ピンとデバイス・ワイドの出力イネーブル (DEV_OE) ピンは、JTAG バウンダリ・スキャン動作やコンフィギュレーション動作に影響を与えません。これらのピンをトグルしても、通常以上に BST 動作を中断することはありません。

Cyclone II デバイスの JTAG コンフィギュレーション用ボードを設計する場合、専用コンフィギュレーション・ピンの接続を考慮する必要があります。



デバイス・コンフィギュレーション用 IEEE Std.1149.1 回路の使用方法の詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II デバイスのコンフィギュレーション」の章を参照してください。

IEEE Std. 1149.1 BST 回路のディ セーブル

Cyclone II デバイス用 IEEE Std. 1149.1 BST 回路は、デバイスのパワー・アップ時にイネーブルされます。この回路は BST またはイン・サーキット・リコンフィギュレーションで使用できるので、14-20 ページの「IEEE Std. 1149.1 BST 回路の使用」で説明するとおり、特定のタイミングでのみイネーブルにしなければなりません。

IEEE Std. 1149.1 回路をまったく利用しない場合は、永久にディセーブルにする必要があります。表 14-3 に、Cyclone II デバイスの IEEE Std. 1149.1 回路をディセーブルして、不要なときに回路が誤ってイネーブルされないようにするのに必要なピン接続を示します。

表 14-3. IEEE Std. 1149.1 回路のディセーブルする方法

JTAG ピン (1)	ディセーブルするための接続
TMS	V _{CC}
TCK	GND
TDI	V _{CC}
TDO	オープンのまま

表 14-3 の注：

- (1) Cyclone II デバイスの JTAG をディセーブルするソフトウェア・オプションはありません。JTAG ピンは専用ピンです。

IEEE Std. 1149.1 バウン ダリ・スキャン ・テストの ガイドライン

IEEE Std. 1149.1 デバイスでバウンダリ・スキャン・テストを実行するときは、以下のガイドラインを使用してください。

- SHIFT_IR ステートの最初のクロック・サイクル中に、10 ビットのチェッカーボード・パターン“1010101010”が TDO ピンを通してインストラクション・レジスタからシフト・アウトされない場合、TAP コントローラはまだ所定のステートに達していません。この問題を解決するには、以下の手順のいずれかを試みてください。
 - TAP コントローラが SHIFT_IR ステートに正しく達したことを確認します。TAP コントローラを SHIFT_IR ステートに進めるには、RESET ステートに戻って、TMS ピンにコード 01100 を入力します。
 - デバイスの V_{CC}、GND、JTAG、および専用のコンフィギュレーション・ピンの接続をチェックします。
- EXTEST モードに入ったときに、あらかじめ確定したデータがデバイス・ピンに存在するように、最初の EXTEST テスト・サイクルの前に、SAMPLE/PRELOAD テスト・サイクルを実行します。OEJ アップデート・レジスタに 0 がストアされている場合、OUTJ アップデート・レジスタのデータが出力されます。システム内の他のデバイスとの競合を回避するために、確定した正しいステートでなければなりません。
- ICR 中に EXTEST テストを実行しないでください。この命令は ICR の前または後にサポートされますが、ICR 中はサポートされません。CONFIG_IO 命令を使用して、コンフィギュレーションを中断し、テストを実行するか、またはコンフィギュレーションが完了するのを待ってください。
- コンフィギュレーション前にテストを実行する場合は、nCONFIG ピンを Low に保持してください。
- コンフィギュレーション後には、差動ピン・ペアのどのピンもテストできません。したがって、コンフィギュレーション後に BST を実行するには、これらの差動ピン・ペアに対応する BSC グループの定義を編集する必要があります。BSC グループは、内部セルとして再定義しなければなりません。編集に関する詳細については、BSDL ファイルを参照してください。

バウンダリ・スキャン・テストの詳細については、アルテラ・アプリケーションにお問い合わせください。

BSDL のサポート

VHDL のサブセットである BSDL (Boundary-Scan Description Language) は、テスト可能な IEEE Std. 1149.1 BST 対応デバイスの機能を記述できる構文を提供します。テスト・ソフトウェア開発システムは、テスト生成、解析、および障害診断に BSDL ファイルを使用します。IEEE Std. 1149.1 に準拠する Cyclone II デバイス用の BSDL ファイルの詳細や入手については、アルテラの Web サイト www.altera.co.jp をご覧ください。

まとめ

Cyclone II デバイスで利用可能な IEEE Std. 1149.1 BST 回路は、リード間隔が狭いデバイスを搭載したシステムをテストするための経済的かつ効率的な方法を提供します。アルテラおよび他社の IEEE Std. 1149.1 準拠デバイスを実装した回路ボードは、EXTEST、SAMPLE/PRELOAD、BYPASS、IDCODE、USERCODE、CLAMP、および HIGHZ モードを使用して、デバイス間のピン接続をテストするシリアル・パターンを内部で作成し、デバイス動作をチェックします。

参考文献

Bleeker, H., P. van den Eijnden, and F. de Jong. *Boundary-Scan Test: A Practical Approach*. Eindhoven, The Netherlands: Kluwer Academic Publishers, 1993.

Institute of Electrical and Electronics Engineers, Inc. *IEEE Standard Test Access Port and Boundary-Scan Architecture* (IEEE Std 1149.1-2001). New York: Institute of Electrical and Electronics Engineers, Inc., 2001.

Maunder, C. M., and R. E. Tulloss. *The Test Access Port and Boundary-Scan Architecture*. Los Alamitos: IEEE Computer Society Press, 1990.

