

この資料は更新された最新の英語版が存在します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CI151011-1.1

### はじめに

低電圧差動シグナリング (LVDS) は、高速バックプレーン・アプリケーションからハイエンドのスイッチ・ボックスに至るまで、さまざまなアプリケーションに最適なテクノロジーです。LVDS は、低電圧差動シグナリング規格であり、シングル・エンド I/O テクノロジーより高いノイズ耐性を実現できます。低電圧振幅により、高速データ転送、低消費電力、低電磁妨害 (EMI) が可能になります。LVDS の I/O シグナリングは、TIA/EIA-644 と IEEE Std. 1596.3 仕様で規定されるデータ・インタフェース規格です。

RSDS (Reduced Swing Differential Signaling) および mini-LVDS 規格は、LVDS 規格から派生した規格です。RSDS および mini-LVDS 標準 I/O 規格は、電気的特性については LVDS と同様ですが、電圧振幅が小さいため消費電力の点で有利であり EMI も減少します。National Semiconductor Corporation と Texas Instruments は、それぞれ RSDS 規格と mini-LVDS 規格を発表しました。現在多くの設計者がこれらの規格を、ディスプレイ・カラム・ドライバを駆動するドライバとコントローラとの間のフラット・パネル・ディスプレイ・リンクに使用しています。Cyclone™ II デバイスは、トランスミッタ側では、RSDS および mini-LVDS 標準 I/O 規格を最大 170 Mbps の速度でサポートしています。RSDS および mini-LVDS の場合、最大内部クロック周波数は 85 MHz です。

アルテラの Cyclone II デバイスは、LVDS 信号によりデータを送受信できます。送信時のデータ・レートは最大 622 Mbps、受信時は最大 805 Mbps です。LVDS トランスミッタおよびレシーバの場合、Cyclone II デバイスの入力ピンと出力ピンは、内部ロジックを通してシリアル化とパラレル化をサポートします。

この章では、Cyclone II デバイスの I/O ピンを差動シグナリングに使用する方法を説明します。トピックは以下のとおりです。

- Cyclone II 高速 I/O バンク
- Cyclone II 高速 I/O インタフェース
- Cyclone II デバイスでの LVDS、RSDS、mini-LVDS、LVPECL、差動 HSTL、および差動 SSTL の各標準 I/O 規格のサポート
- Cyclone II デバイスの高速 I/O タイミング
- デザイン・ガイドライン

## Cyclone II 高速 I/O バンク

図 11-1 および 11-2 に、Cyclone II デバイスの I/O バンクを示します。EP2C5 デバイスと EP2C8 デバイスには 4 つの I/O バンクがあり、EP2C20、EP2C35、EP2C50、および EP2C70 の各デバイスには 8 つの I/O バンクがあります。(ロウとカラムの両方の) 各 I/O バンク内のピンのサブセットは、高速 I/O インタフェースをサポートします。Cyclone II ピンの表に、高速 I/O インタフェースをサポートするピンを示します。

図 11-1. EP2C5 および EP2C8 デバイスの I/O バンク

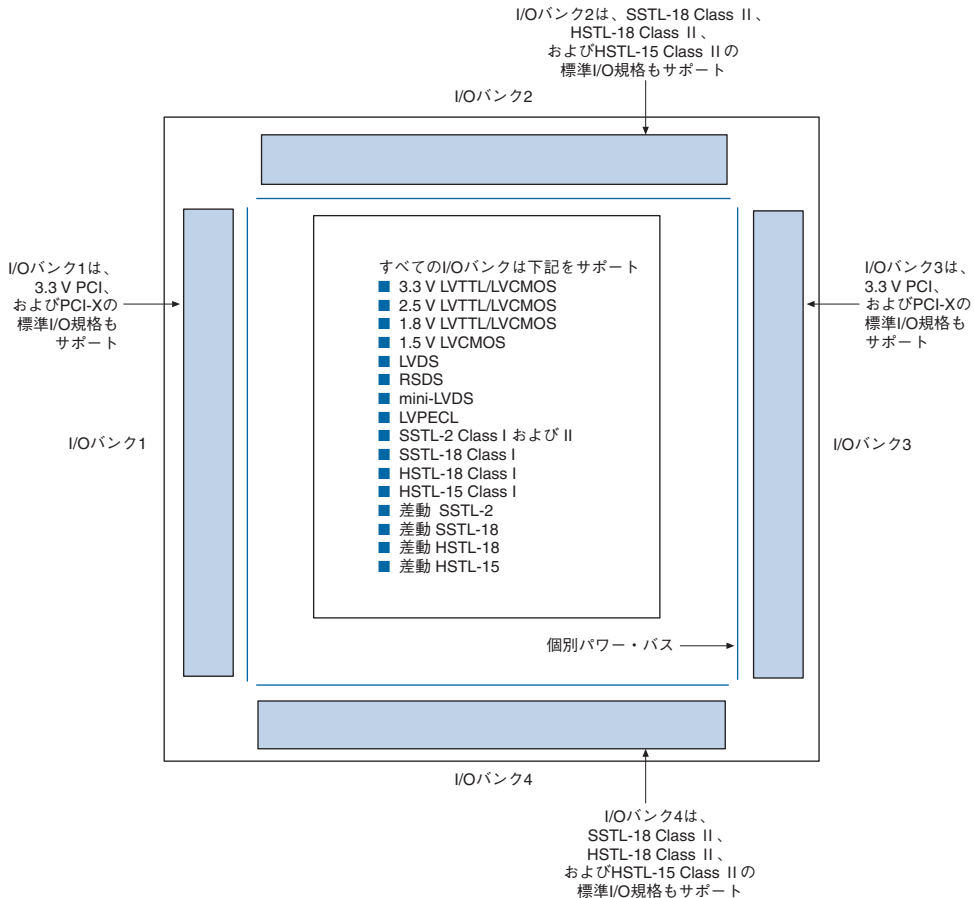
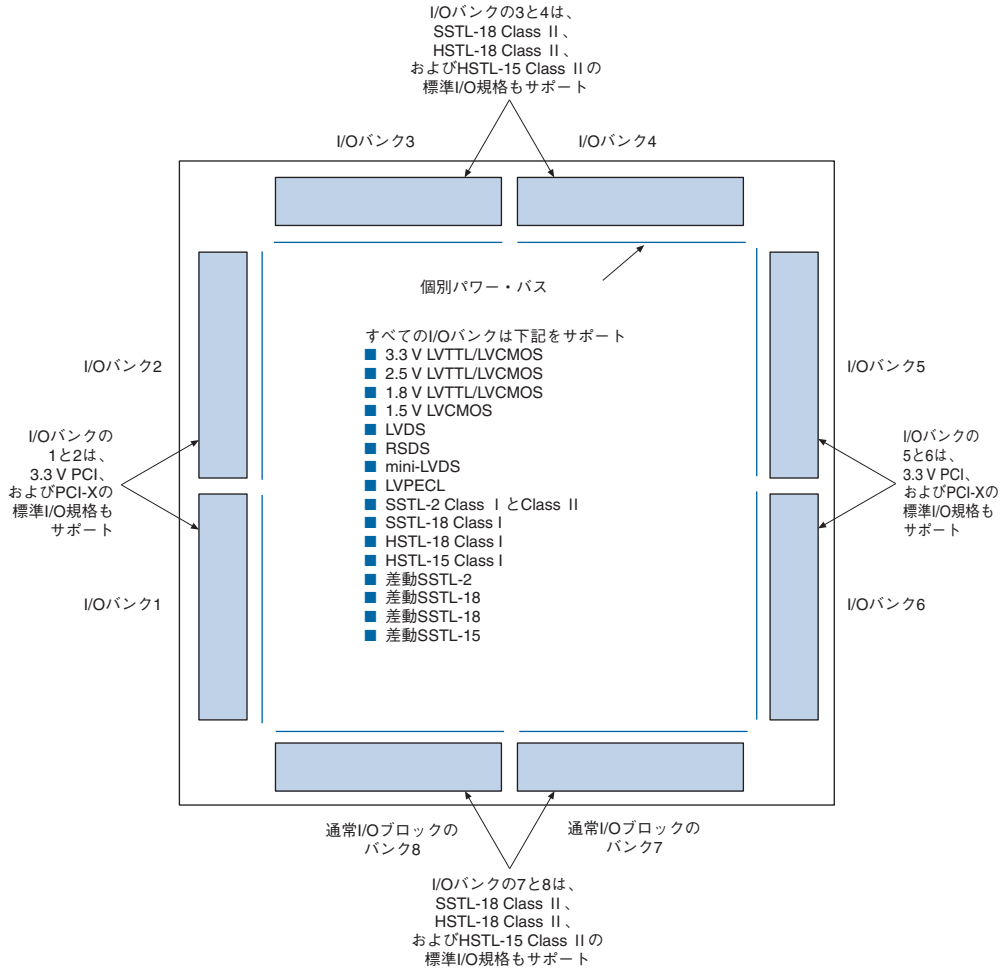


図 11-2. EP2C20、EP2C35、EP2C50、EP2C70 の各デバイスの I/O バンク



## Cyclone II 高速 I/O イン タフェース

Cyclone II デバイスは、LVDS、RSDS、mini-LVDS、差動 HSTL、差動 SSTL を含む、さまざまな標準 I/O 規格間での通信を可能にするマルチ・プロトコル・インタフェースを提供します。この機能により、Cyclone II デバイス・ファミリーは、プロトコル変換など複数の標準 I/O 規格を必要とするアプリケーションに最適なものとなります。

I/O ピンと内部ロジックを使用して、Cyclone II デバイスに高速 I/O レシーバおよびトランスミッタを実装できます。Cyclone II デバイスは、専用のシリアル / パラレル変換回路を備えていません。したがって、受信データのシリアル / パラレル変換、送信データのパラレル / シリアル変換には、シフト・レジスタ、内部グローバル PLL (Phase-Locked-Loop)、および I/O セルが使用されます。

## 標準 I/O 規格のサポート

このセクションでは、Cyclone II デバイスがサポートする標準 I/O 規格について説明します。

### Cyclone II デバイスでの LVDS 規格のサポート

LVDS 標準 I/O 規格は、高速、低電圧振幅、低電力の汎用 I/O インタフェース規格です。Cyclone II デバイスは、以下の例外を除き、ANSI/TIA/EIA-644 規格に適合しています。

- 最大  $V_{OD}$  は 600 mV に増加。
- 700 Mbps 未満のデータ・レートでの入力電圧範囲は、最小 0.5 V、最大 1.85 V に減少。700 Mbps を超えるデータ・レートでの入力電圧範囲は、最小 1.0 V、最大 1.6 V に減少。

Cyclone II デバイスの 4 つの I/O バンクすべてで、LVDS チャネルがサポートされます。各種ファミリ・メンバでサポートされている LVDS チャネル数については、アルテラの Web サイトにあるピン・テーブルを参照してください。Cyclone II デバイスでサポートされるデータ・レートは、LVDS レシーバ (入力) で最大 805 Mbps、LVDS トランスミッタ (出力) で最大 622 Mbps です。レシーバの最大内部クロック周波数は、402.5 MHz です。トランスミッタの最大クロック周波数は、311 MHz です。DDIO レジスタ使用時のみ、最大データ・レート 805 Mbps が達成されます。LVDS 規格では入力リファレンス電圧は要求されませんが、入力バッファの 2 つの信号間に 100  $\Omega$  終端抵抗が必要です。表 11-1 に LVDS の I/O 規格を示します。

シンボル	パラメータ	条件	最小	標準	最大	単位
$V_{CCINT}$	電源電圧		1.15	1.2	1.25	V
$V_{CCIO}$	I/O 電源電圧		2.375	2.5	2.625	V
$V_{OD}$	差動出力電圧	$R_L = 100 \Omega$	247		600	mv
$\Delta V_{OD}$	$V_{OD}$ の High と Low の変化量	$R_L = 100 \Omega$			50	mv

表 11-1. LVDS I/O 規格 ( 2 / 2 )

シンボル	パラメータ	条件	最小	標準	最大	単位
$V_{OS}$	出力オフセット電圧	$R_L = 100 \Omega$	1.125	1.25	1.375	V
$\Delta V_{OS}$	$V_{OS}$ の High と Low の変化量	$R_L = 100 \Omega$			50	mv
$V_{IN}$	レシーバ入力電圧範囲	データ・レート $\leq 700$ Mbps	0.5		1.85	V
		データ・レート $> 700$ Mbps	1.0		1.6	V
$R_L$	レシーバ差動入力抵抗値		90	100	110	$\Omega$

## LVDS レシーバおよびトランスミッタ

図 11-3 に、データ・ソースが LVDS トランスミッタである、シンプルなポイント・ツー・ポイントの LVDS アプリケーションを示します。これらの LVDS 信号は通常、プリント基板 (PCB) の配線パターン上で送信されますが、PCB 配線パターン、コネクタ、ケーブルを組み合わせると一般的なアプリケーションがセットアップされます。

図 11-3. 一般的な LVDS アプリケーション

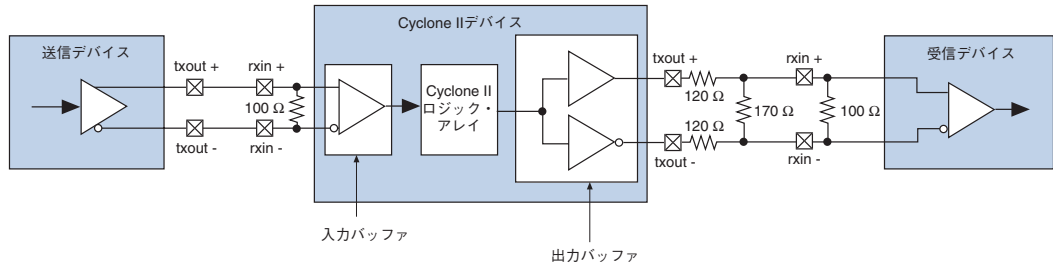


図 11-4 と 11-5 に、それぞれ LVDS のレシーバ入力とトランスミッタ出力のシグナリング・レベルを示します。

図 11-4. LVDS 差動標準 I/O 規格のレシーバ入力波形

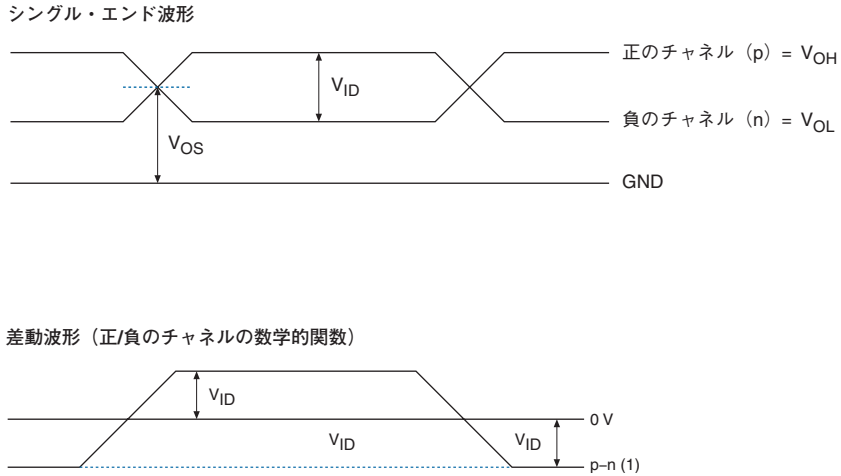


図 11-4 の注：

(1) p-n 波形は、正のチャンネル (p) と負のチャンネル (n) の関数です。

図 11-5. LVDS 差動標準 I/O 規格のトランスミッタ出力波形

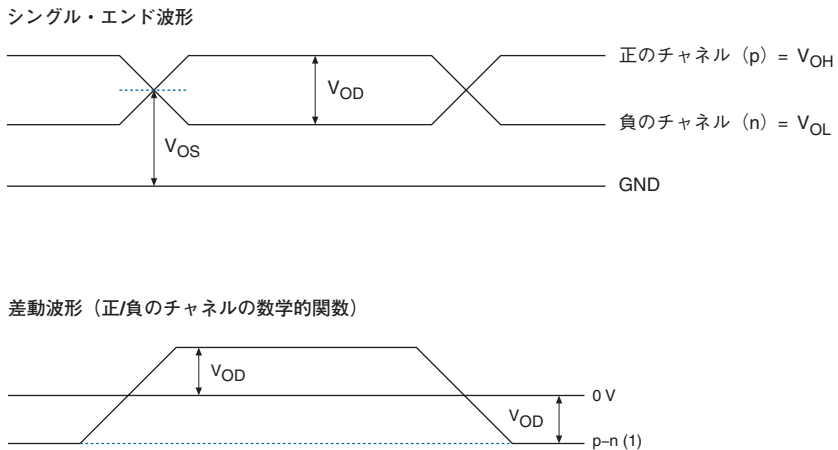


図 11-5 の注：

(1) p-n 波形は、正のチャンネル (p) と負のチャンネル (n) の関数です。

## Cyclone II デバイスでの RSDS 標準 I/O 規格のサポート

RSDS 規格は、タイミング・コントローラとディスプレイ・パネル上のコラム・ドライバとの間のチップ・ツー・チップ・アプリケーションに使用されます。Cyclone II デバイスは、National Semiconductor Corporation の RSDS インタフェース仕様に適合し、RSDS 出力規格をサポートします。

表 11-2 に、Cyclone II デバイスの RSDS 電気的特性を示します。

シンボル	パラメータ	条件	最小	標準	最大	単位
$V_{CCIO}$	出力電源電圧		2.375	2.5	2.625	V
$V_{OD}$ (1)	差動出力電圧	$R_L = 100 \Omega$	100	200	600	mv
$V_{OS}$ (2)	出力オフセット電圧	$R_L = 100 \Omega$	0.5	1.2	1.5	V
$T_r/T_f$	遷移時間	$C_{load} = 5 \text{ pF}$		500		ps

表 11-2 の注：

- (1)  $V_{OD} = V_{OH} - V_{OL}$   
 (2)  $V_{OS} = (V_{OH} + V_{OL}) / 2$

図 11-6 に、RSDS トランスミッタ出力信号波形を示します。

図 11-6. RSDS のトランスミッタ出力信号レベル波形

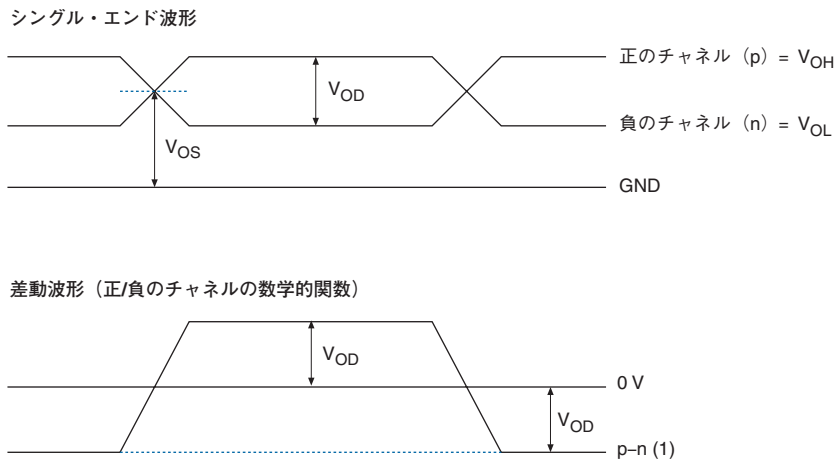


図 11-6 の注：

- (1) p-n 波形は、正のチャンネル (p) と負のチャンネル (n) の関数です。

## RSDS による設計

Cyclone II デバイスは、LVDS I/O バッファ・タイプを使用して RSDS 出力規格をサポートします。トランスミッタの場合、LVDS 出力バッファは、[図 11-7](#) に示す外部抵抗ネットワークを接続して使用できます。

図 11-7. RSDS 抵抗ネットワーク 注 (1)

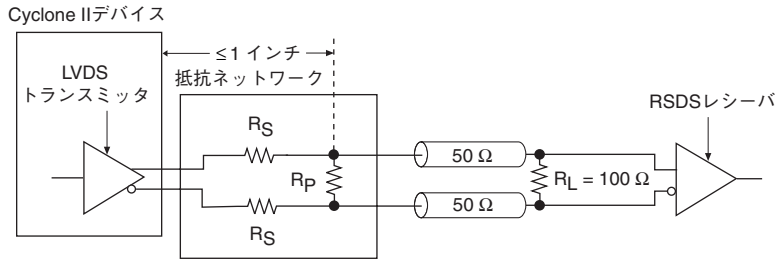


図 11-7 の注：

(1) 実際の  $R_S$  および  $R_P$  の値は、デバイス特性では未決定となっています。



RSDS 標準 I/O 規格の詳細については、National Semiconductor の Web サイト ([www.national.com](http://www.national.com)) で、RSDS 規格を参照してください。

抵抗ネットワークでは、LVDS 出力電源振幅を減衰させて RSDS 規格に適合させる必要があります。抵抗ネットワークの値を変更して、消費電力を低減したり、ノイズ・マージンを改善することができます。選択する抵抗値は、以下の式を満たさなければなりません。

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50 \Omega$$

ユーザ設定の抵抗値が RSDS 要件に適合するかどうかを検証するには、IBIS モデルを使用した追加シミュレーションを実行する必要があります。

## RSDS ソフトウェア・サポート

RSDS 標準 I/O 規格対応デザインでは、Quartus® II ソフトウェアで LVDS 標準 I/O 規格を RSDS 用 I/O ピンに割り当てます。リファレンス・デザインについては、アルテラにお問い合わせください。

## Cyclone II デバイスでの mini-LVDS 規格のサポート

mini-LVDS 規格は、タイミング・コントローラとディスプレイ・パネル上のカラム・ドライバとの間のチップ・ツー・チップ・アプリケーションでの用途を定義します。Cyclone II デバイスは、Texas Instruments の mini-LVDS インタフェース仕様と適合し、mini-LVDS 出力規格をサポートします。表 11-3 に、Cyclone II デバイスの mini-LVDS 電気的特性を示します。

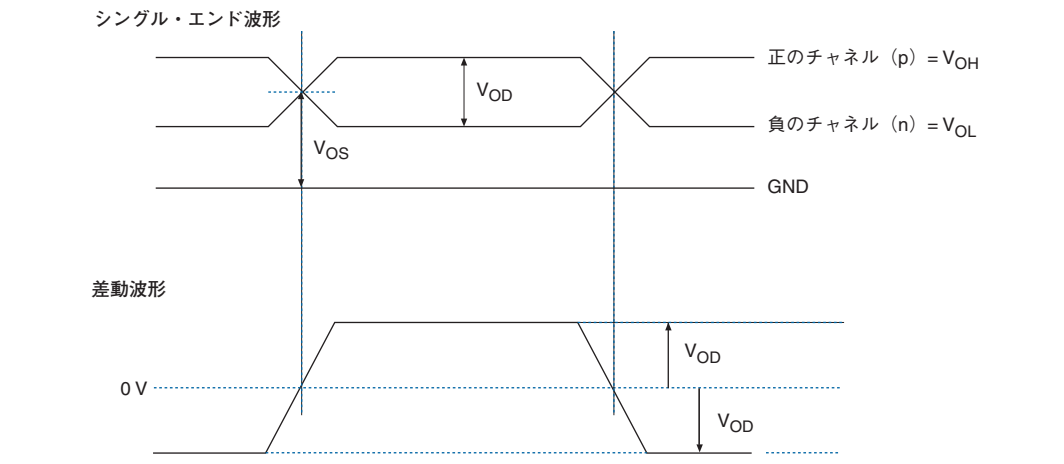
シンボル	パラメータ	条件	最小	標準	最大	単位
$V_{CCIO}$	出力電源電圧		2.375	2.5	2.625	V
$V_{OD}$ (1)	差動出力電圧	$R_L = 100 \Omega$	300		600	mV
$V_{OS}$ (2)	出力オフセット電圧	$R_L = 100 \Omega$	1	1.2	1.4	mV
$T_r / T_f$	遷移時間	20 ~ 80%			500	ps

表 11-3 の注：

- (1)  $V_{OD} = V_{OH} - V_{OL}$   
 (2)  $V_{OS} = (V_{OH} + V_{OL}) / 2$

図 11-8 に、mini-LVDS レシーバおよびトランスミッタの信号波形を示します。

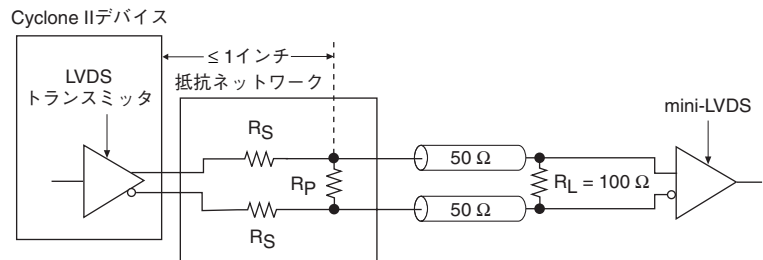
図 11-8. mini-LVDS のトランスミッタ出力信号レベル波形



## mini-LVDS によるデザイン

Cyclone II デバイスは、RSDS と同様に、LVDS I/O バッファ・タイプを使用して mini-LVDS 出力規格をサポートします。トランスミッタの場合、LVDS 出力バッファは、[図 11-9](#) に示す外部抵抗ネットワークを接続して使用できます。選択する抵抗値は、11-8 ページの式を満たさなければなりません。

**図 11-9. mini-LVDS 抵抗ネットワーク**



**図 11-9 の注：**

- (1)  $R_S$  および  $R_P$  の値は、シリコン特性では未決定となっています。

## mini-LVDS ソフトウェア・サポート

mini-LVDS 標準 I/O 規格対応のデザインでは、Quartus II ソフトウェアで LVDS 標準 I/O 規格を mini-LVDS 用 I/O ピンに割り当てます。リファレンス・デザインについては、アルテラにお問い合わせください。

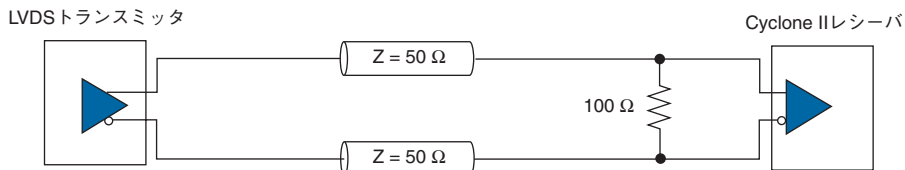
## Cyclone II での LVPECL のサポート

LVPECL 標準 I/O 規格は、3.3 V  $V_{CCIO}$  を必要とする差動インタフェース規格で、ビデオ・グラフィックス、テレコミュニケーション、データ通信、クロック分配に関連するアプリケーションで使用されます。高速、低電圧振幅の LVPECL 標準 I/O 規格は、正電源を使用する LVDS に類似した規格です。ただし、LVPECL は LVDS よりも差動出力電圧振幅が大きくなっています。Cyclone II デバイスは、LVPECL 入力規格をクロック入力ピンでのみサポートします。表 11-4 に、Cyclone II デバイスの LVPECL 電気的特性を示します。図 11-10 に LVPECL I/O インタフェースを示します。

表 11-4. Cyclone II デバイスの LVPECL 電気的特性

シンボル	パラメータ	条件	最小	標準	最大	単位
$V_{CCIO}$	出力電源電圧		3.135	3.3	3.465	V
$V_{IH}$	入力 High 電圧		2,100		2,880	mV
$V_{IL}$	入力 Low 電圧		0		2,200	mV
$V_{ID}$	差動入力電圧	ピーク・トゥ・ピーク	100	600	950	mV

図 11-10. LVPECL I/O インタフェース



## Cyclone II デバイスでの差動 SSTL のサポート

差動 SSTL 標準 I/O 規格は、高速 DDR (Double Data Rate) SDRAM インタフェースなどのアプリケーションに使用されるメモリ・バス規格です。差動 SSTL 標準 I/O 規格は、リファレンス電圧を使用する SSTL に類似しており、終端抵抗の接続部の外部終端電圧 ( $V_{TT}$ ) が  $0.5 \times V_{CCIO}$  である 2 つの差動入力を必要とします。差動 SSTL-2 には 2.5 V の出力ソース電圧が必要ですが、差動 SSTL-18 には 1.8 V の出力電圧が必要です。差動 SSTL 出力規格は、反対極性を持つようにプログラムされた 2 つのシングル・エンド SSTL 出力バッファを使用した、PLLCLKOUT ピンでのみサポートされます。

差動 SSTL 入力規格は、グローバル・クロック (GCLK) ピンでのみサポートされ、差動入力を 2 つのシングル・エンド SSTL として扱い、片方のみデコードします。



SSTL シグナリング特性については、「Cyclone II デバイス・ハンドブック、Volume 1」の「DC 特性とタイミング仕様」および「Cyclone II デバイスの選択可能な標準 I/O 規格」の章を参照してください。

図 11-11 および 11-12 に差動 SSTL class I および class II インタフェースを示します。

図 11-11. 差動 SSTL Class I インタフェース

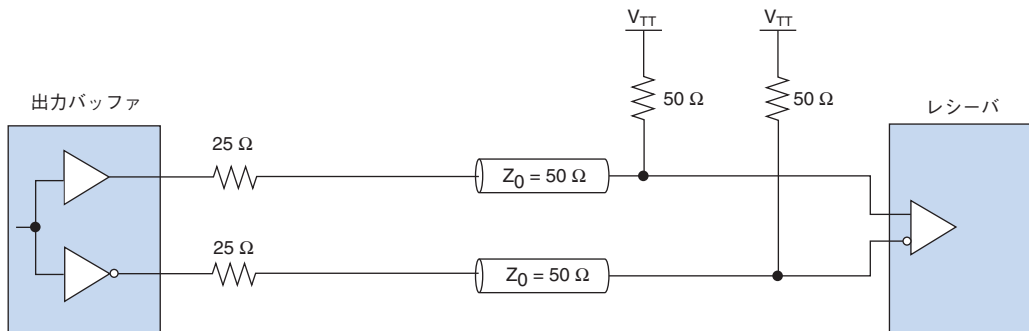
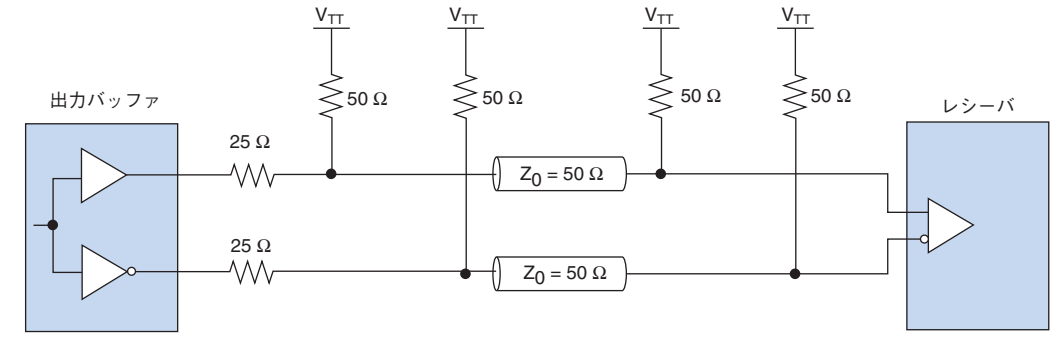


図 11-12. 差動 SSTL Class II インタフェース



### Cyclone II デバイスでの差動 HSTL のサポート

差動 HSTL の AC および DC 仕様は、HSTL シングル・エンド仕様と同じです。差動 HSTL 標準 I/O 規格は、GCLK ピンでのみ対応可能で、差動入力を 2 つのシングル・エンド HSTL として扱い、いずれか 1 つのみをデコードします。差動 HSTL 出力の標準 I/O 規格は、2 つのシングル・エンド HSTL 出力バッファを使用し、第 2 の出力は反転としてプログラムされた PLLCLKOUT ピンでのみサポートされます。この規格は、終端抵抗の接続部の外部終端電圧 ( $V_{TT}$ ) が  $0.5 \times V_{CCIO}$  である 2 つの差動入力を必要とします。



HSTL シグナリング特性については、「Cyclone II デバイス・ハンドブック Volume 1」の「DC 特性とタイミング仕様」および「Cyclone II デバイスで選択可能な標準 I/O 規格」を参照してください。

図 11-13 および 11-14 に差動 HSTL class I および class II インタフェースを示します。

図 11-13. 差動 HSTL Class I インタフェース

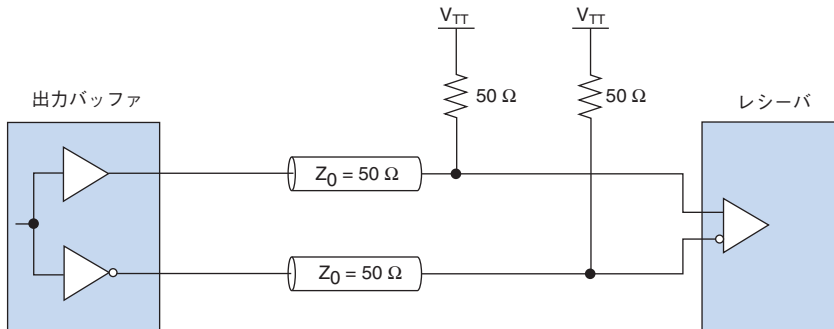
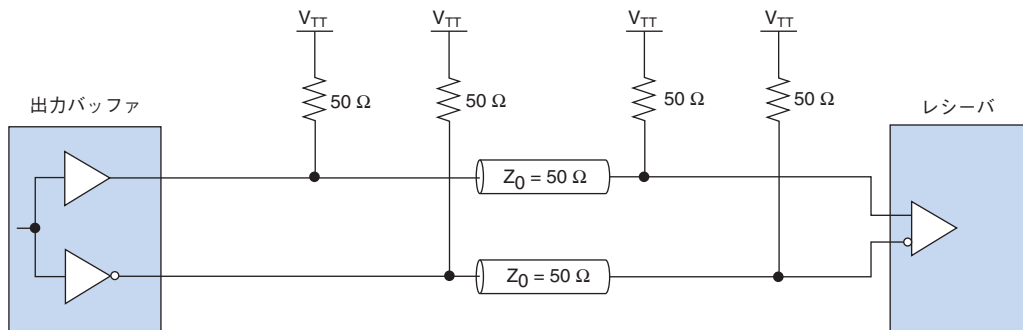


図 11-14. 差動 HSTL Class II インタフェース



## Cyclone II デバイスの高速 I/O タイミング

このセクションでは、Cyclone II デバイスでのソース同期シグナリングのタイミング見積り、波形、および仕様について説明します。LVDS、LVPECL、RSDS、および mini-LVDS の標準 I/O 規格では、高速データ伝送が可能になります。これらの高速信号のタイミングは、データ信号とクロック信号間のスキューに基づきます。

高速差動データ伝送では、集積回路 (IC) のベンダが提供するタイミング・パラメータが必要であり、ボード・スキュー、ケーブル・スキュー、およびクロック・ジッタを考慮する必要があります。このセクションでは、Cyclone II デバイスの高速標準 I/O 規格のタイミング・パラメータについて詳細に説明します。

表 11-5 では、図 11-15 に示すタイミング図のパラメータを定義します。  
図 11-16 には、Cyclone II 高速 I/O タイミング見積りを示します。

パラメータ	シンボル	説明
トランスミッタのチャンネル間スキュー	TCCS	$t_{CO}$ の変動やクロック・スキューを含む、最高速と最低速出力エッジ間のタイミングの相違。クロックは TCCS 測定に含まれます。
サンプリング・ウィンドウ	SW	正しくキャプチャするためにデータが有効でなければならない期間。セットアップ・タイムとホールド・タイムによって、サンプリング・ウィンドウ内の最適なストロブ位置が決まります。 $T_{SW} = T_{SU} + T_{hd} + \text{PLL ジッタ}$
レシーバ入力スキュー・マージン	RSKM	RSKM は、サンプリング・ウィンドウと TCCS の計上後に残された合計マージンで定義されます。RSKM の算出式は、以下のとおりです。 $RSKM = (TUI - SW - TCCS) / 2$
入力ジッタの許容差 (ピーク・ツー・ピーク)		PLL ロックを維持しながら許容される PLL に対する入力クロックの許容入力ジッタ。
出力ジッタ (ピーク・ツー・ピーク)		PLL からのピーク・ツー・ピーク出力ジッタ。

図 11-15. 高速 I/O タイミング図

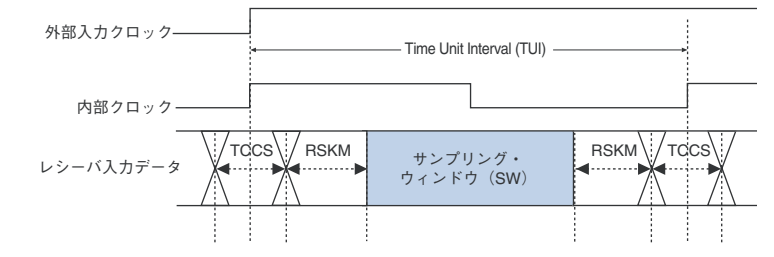


図 11-16. Cyclone II 高速 I/O タイミング見積り 注 (1)

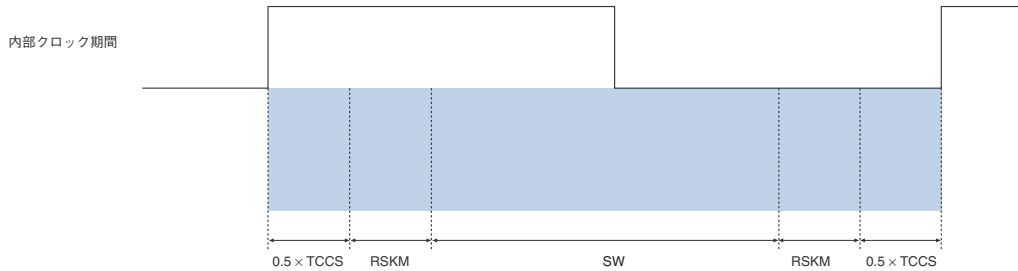


図 11-16 の注：

(1) 高速 I/O タイミング見積りの式は、以下のとおりです。期間 =  $0.5/TCCS + RSKM + SW + RSKM + 0.5/TCCS$

## デザイン・ガイドライン

このセクションでは、Cyclone II デバイスを使用したデザインのガイドラインについて説明します。

### 差動パッド配置のガイドライン

$V_{CCIO}$  電源で許容可能なノイズ・レベルを維持するために、差動パッドに対するシングル・エンド I/O ピンの配置に関する制限があります。



Cyclone II デバイスでの差動パッドに対するシングル・エンド・パッドの配置については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II デバイスで選択可能な標準 I/O 規格」のガイドラインを参照してください。

### ボード・デザインの検討事項

このセクションでは、Cyclone II デバイスの I/O インタフェースから最適性能を引き出す方法、および最適な信号品質を持つ機能デザインを実装する際に初回で確実に成功する方法について説明します。IC から最適性能を引き出すには、配線パターンとコネクタの制御インピーダンス、差動配線、終端手法といった重要な問題について考慮する必要があります。Cyclone II デバイスは、メディア上を最大周波数 805 Mbps で伝送される信号を生成します。信号品質を改善するには、以下の一般的なガイドラインに従ってください。

- 制御差動インピーダンスに基づいてボード・デザインを行う。配線パターンの幅、配線パターンの厚さ、2つの差動配線パターン間の距離など、すべてのパラメータを計算し比較する。

- LVDS ペアの配線パターン間で可能な限り等しい距離を保つ。配線パターンのペアを互いに接近させて配線すると、コモン・モード除去比 (CMRR) が最大になる。
- 配線パターンを長くすると、インダクタンスおよびキャパシタンスが増加する。これらの配線パターンはできる限り短くして、シグナル・インテグリティの問題を抑制する必要がある。
- 終端抵抗は、できる限りレシーバの入力ピン近くに配置する。
- 表面実装コンポーネントを使用する。
- 90° または 45° のコーナは避ける。
- 高性能コネクタを使用する。
- 配線パターンのインピーダンスがコネクタや終端のインピーダンスとマッチングするように、バックプレーンとカード配線パターンを設計する。
- 両方の信号配線パターンのビア数を等しくする。
- 長さが等しい配線パターンを作成して、信号間のスキューを回避する。配線パターンの長さが異なると、クロス・ポイントの配置に不具合が生じ、チャンネル間スキュー (TCCS) 値が増大するほど、システム・マージンが減少する。
- 不連続性が生じるので、ビア数を制限する。
- 0.001、0.01、0.1  $\mu\text{F}$  など、一般的なバイパス・コンデンサ容量を使用して、高速 PLL の電源プレーンとグランド・プレーンをデカップリングする。
- TTL (トランジスタ・トランジスタ・ロジック) 信号を差動信号から離し、可能性があるノイズ結合を回避する。
- TTL クロック信号は、差動信号の上下の領域に配線しない。
- システム・レベルの信号を解析する。

PCB レイアウトのガイドラインについては、「AN 224: 高速ボード・レイアウト・ガイドライン Ver. 1.1」を参照してください。

## まとめ

Cyclone II デバイスの差動 I/O 機能を使用すると、ますます複雑化するデザインに対応できます。LVDS、LVPECL、RSDS、mini-LVDS、差動 SSTL、差動 HSTL を含む標準 I/O 規格のサポートにより、Cyclone II デバイスはさまざまなアプリケーションに適合できます。これらの I/O 機能と Cyclone II の価格設定により、最新のテクノロジーを維持しながらデザイン・コストを削減することができます。

