

この資料は更新された最新の英語版が存在します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CI151009-1.1

はじめに

ボード・デザインを複雑化しないでシステム性能を向上させたい場合、データ帯域幅の改善がデザインにおける重要な検討事項となります。従来、システムのデータ帯域幅を2倍にするには、システム周波数を2倍にするか、データ I/O ピンの数を2倍にする必要がありました。どちらの方法も、全体的なシステム・デザインが複雑になり、I/O ピン数が増加するため、好ましいものではありません。DDR (Double Data Rate) I/O ピンを使用してデータを送受信すれば、I/O 数を少数に抑えながらデータ帯域幅を2倍にすることができます。DDR アーキテクチャはクロックの両方のエッジを使用してデータを送信するため、I/O ピン数を増やすことなく、同じクロック・スピードを使用する SDR (Single Data Rate) アーキテクチャの2倍のレートにデータ送信を高速化します。ネットワークング、通信、ストレージ、画像処理など、高速データ伝送が要求される広範なアプリケーションで、DDR 送信を使用することが必要です。

Cyclone™ II デバイスは、SDR SDRAM、DDR SDRAM、DDR2 SDRAM、QDR II SRAM など、多様な外部メモリ・インタフェースをサポートしています。専用のクロック遅延コントロール回路によって、Cyclone II デバイスは、DDR および DDR2 SDRAM デバイスの場合は最大 167 MHz/333 Mbps、QDR II SRAM デバイスの場合は最大 167 MHz/667 Mbps のクロック・スピードで、外部メモリ・デバイスとインタフェースできます。Cyclone II デバイスは SDR SDRAM もサポートしていますが、この章では Cyclone II デバイスで利用可能なハードウェア機能を使用した DDR I/O インタフェースの実装に的を絞って、各メモリ規格で Cyclone II 機能を使用する方法について簡単に説明します。

外部メモリ・ インタフェース 規格

以下のセクションでは、Cyclone II デバイスの外部メモリ・インタフェース機能の使用方法について説明します。

DDR および DDR2 SDRAM

DDR SDRAM とは、2倍のクロック・スピードでデータを送受信するメモリ・アーキテクチャです。これらのデバイスは、クロック信号の立ち上がりエッジと立ち下がりエッジの両方でデータを転送します。DDR2 SDRAM は、DDR SDRAM アーキテクチャをベースにした第2世代のメモリで、最大 533 Mbps のデータ転送レートが可能です。Cyclone II デバイスは、最大 333 Mbps のレートで DDR および DDR2 SDRAM をサポートします。

インタフェース・ピン

DDR および DDR2 SDRAM デバイスは、データ (DQ)、データ・ストロープ (DQS)、クロック、コマンド、アドレス・ピンなどのインタフェース・ピンを使用して、メモリ・コントローラと通信します。データをクロックの正エッジと負エッジで転送することによって、データはシステム・クロック・レートの2倍のレートで送信およびキャプチャされます。コマンドとアドレスは、クロックの1つのアクティブな (正の) エッジのみを使用します。

DDR SDRAM はシングル・エンドのデータ・ストロープ DQS を使用しますが、DDR2 SDRAM には差動データ・ストロープ DQS および DQS# を使用するオプションが用意されています。Cyclone II デバイスは、DDR2 SDRAM インタフェースに対しては、オプションの差動データ・ストロープは使用しません。クロック遅延コントロール回路でシフトされた DQS 信号のみがデータをキャプチャするため、DDR2 SDRAM メモリの DQS# ピンは接続しないでおくことができます。DDR および DDR2 SDRAM×16 デバイスは2本の DQS ピンを使用し、各 DQS ピンは8本の DQ ピンに関連付けられています。ただし、これは Cyclone II デバイスの ×16/×18 モードと同じではありません。Cyclone II デバイスは、2組のピンを ×8 モードで使用するようによりコンフィギュレーションする必要があります。同様に、×72 メモリ・モジュールで9本の DQS ピンを使用し、各 DQS ピンが8本の DQ ピンに関連付けられている場合は、Cyclone II デバイスを、×8 モードで9組の DQS/DQ グループを使用するようによりコンフィギュレーションする必要があります。

Cyclone II ピン・テーブルに示すように、メモリ・デバイスの DQ ピンと DQS ピンをそれぞれ Cyclone II の DQ ピンと DQS ピンに接続します。また、DDR および DDR2 SDRAM は、書き込みにアクティブ High のデータ・マスク (DM) ピンを使用します。DM ピンは事前に Cyclone II デバイスのピン配置に割り当てられており、これらが優先ピンとなります。ただし、メモリ・デバイスの DM ピンを、FPGA の DQ ピンと同じバンクの Cyclone II I/O ピンのいずれかに接続することは可能です。DQS/DQ グループごとに1本の DM ピンがあります。DDR または DDR2 SDRAM デバイスが ECC をサポートする場合、デザインは ECC ピンに DQS/DQ グループを余分に使用します。

いずれのユーザ I/O ピンもコマンドおよびアドレスに使用できます。メモリ・デバイスでは、コマンド・ピンとアドレス・ピンのセットアップ・タイムとホールド・タイムは対称になっているため、これらの信号は場合によってはシステム・クロックの負エッジから生成する必要があります。

SDRAM デバイスへのクロックには、CK と CK# の名前が付いています。ユーザ I/O ピンのいずれかを DDR レジスタを介して使用し、DDR SDRAM または DDR2 SDRAM デバイスの t_{DQSS} 要件に適合する CK 信号および CK# 信号を生成します。メモリ・デバイスの t_{DQSS} は、ライト DQS 信号の正エッジが、DDR SDRAM および DDR2 SDRAM クロック入力の正エッジの 25% 以内であることが必要です。CK 信号と CK# 信号の間に厳密なスキュー要件があるため、隣接するピンを使用してクロック・ペアを生成します。V_{CC} に接続されたバッファ・ピンとグラウンドに接続されたピンでペアを囲み、他の信号からの雑音余裕度を向上させます。

リードおよびライト動作

メモリから読み出すときに、DDR および DDR2 SDRAM デバイスは、データ・ストロブにエッジを揃えたデータを送出します。データを正しく読み出すには、データ・ストロブを FPGA 内部でデータの中央に揃える必要があります。Cyclone II デバイスは、データ・ストロブをデータ・ウィンドウの中央にシフトするクロック遅延コントロール回路を備えています。図 9-1 に、B2 (burst-of-two) 動作でメモリがデータとデータ・ストロブを送出する方法を示します。

図 9-1. LE で中央に揃えた DQS 信号の例

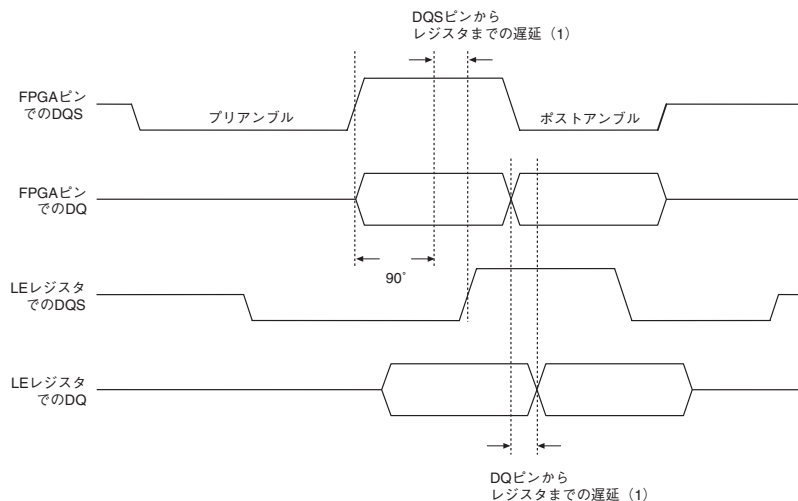
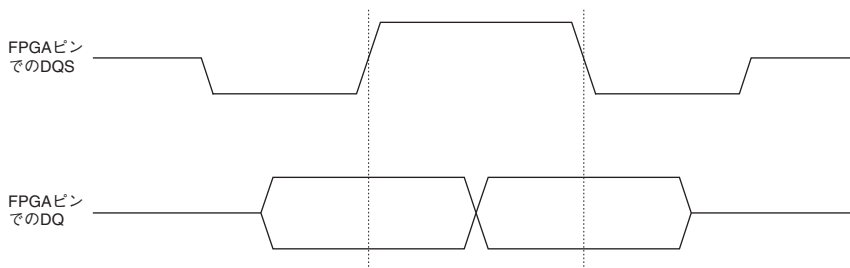


図 9-1 の注：

(1) DQS ピンおよび DQ ピンからレジスタまでの遅延は同じではありません。

DDR または DDR2 SDRAM デバイスへのライト動作中に、FPGA はデータ・ストロブをデータの中央に揃えてメモリに送出する必要があります。Cyclone II デバイスは、これを実現するために PLL を使用してデータ・ストロブのための 0° 位相シフトのシステム・クロックとデータ・ピンに対する -90° 位相シフトのライト・クロックを生成し、データ・ストロブを中央に配置します。図 9-2 に、B2 (burst-of-two) ライト時におけるデータとデータ・ストロブとの関係の例を示します。

図 9-2. DDR および DDR2 SDRAM ライト時における DQ と DQS の関係



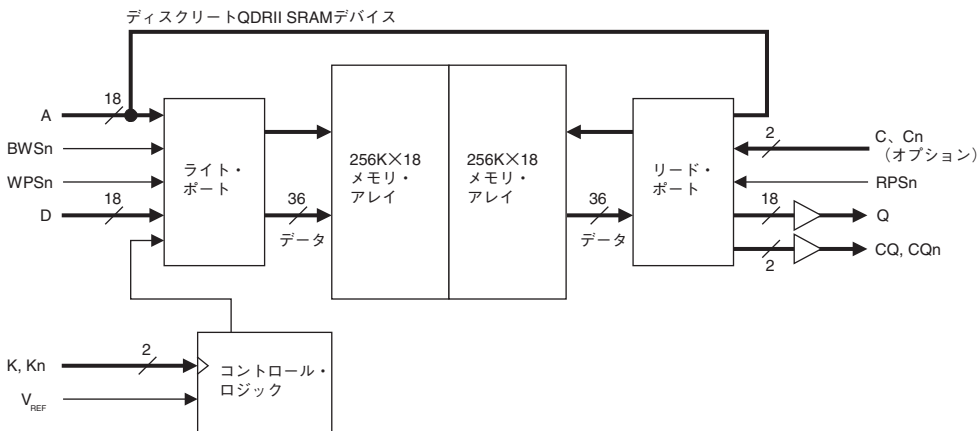
QDR II SRAM

QDR II SRAM は第 2 世代の QDR SRAM デバイスです。QDR II SRAM デバイスは、1 クロック・サイクルあたり 4 ワードを転送でき、次世代通信システム的设计者の要求に応えます。QDR II SRAM デバイスは、リードとライトの同時実行、ゼロ・レイテンシ、およびデータ・スループットの増大を実現し、同じアドレス位置への同時アクセスを可能にします。

インタフェース・ピン

QDR II SRAM デバイスは、2 つの独立した単方向のデータ・ポートをリードおよびライト動作に使用し、シングル・データ・レート・デバイスと比較して 4 倍のデータ転送を可能にします。QDR II SRAM デバイスは、リードおよびライト動作に共通のコントロール・ラインとアドレス・ラインを使用します。図 9-3 に、QDR II SRAM B2 アーキテクチャのブロック図を示します。

図 9-3. QDRII SRAM B2 アーキテクチャのブロック図



QDRII SRAM B2 デバイスは、クロックの立ち上がりエッジ上でリード・アドレスを、クロックの立ち下がりエッジ上でライト・アドレスをサンプリングします。QDRII SRAM B4 (burst-of-four) デバイスは、クロックの立ち上がりエッジ上でリード・アドレスとライト・アドレスの両方をサンプリングします。メモリ・デバイスの Q ポート（リード・データ）は、Cyclone II DQ ピンに接続します。Cyclone II デバイスのトップおよびボトム I/O バンクにあるユーザ I/O ピンはいずれも、D ポート（ライト・データ）、コマンド、およびアドレスに使用できます。スキューを最小にするために DQ ピンは事前に割り当てられているため、アルテラは D ポート（ライト・データ）を Cyclone II DQ ピンに接続して、性能を最大限に高めることを推奨しています。

QDRII SRAM デバイスは、以下のクロック信号を使用します。

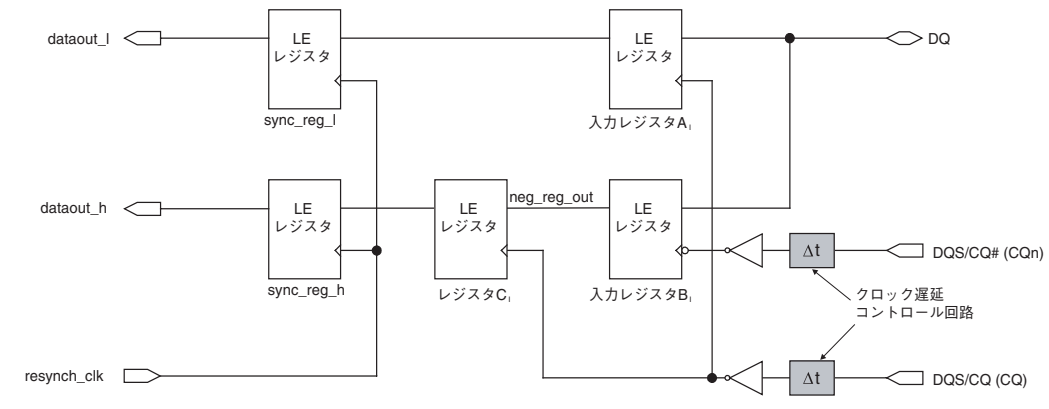
- 入力クロック K および Kn
- オプションの出力クロック C および Cn
- エコー・クロック CQ および CQn

クロック Cn、Kn、および CQn は、それぞれクロック C、K、および CQ の論理補数です。クロック C、Cn、K、および Kn は、QDRII SRAM への入力、クロック CQ および CQn は QDRII SRAM からの出力です。Cyclone II デバイスは、QDRII SRAM のインタフェースに、シングル・クロック・モードを使用します。K および Kn クロックはリード動作とライト動作の両方に使用され、C および Cn クロックは使用されません。

C、Cn、K、および Kn クロックは、DDR レジスタを介して任意の I/O レジスタを使用して生成することができます。K 信号と Kn 信号の間に厳密なスキュー要件があるため、隣接するピンを使用してクロック・ペアを生成します。V_{CC} に接続されたバッファ・ピンとグラウンドに接続されたピンでペアを囲み、他の信号からの雑音余裕度を向上させます。

Cyclone II デバイスでは、別の DQS ピンが QDRII SRAM メモリ・インタフェースの CQn ピンを実装します。これらのピンは、ピン・テーブルで DQS/CQ# で表されます。CQ ピンおよび CQn ピンは、同じ DQ グループの Cyclone II DQS/CQ ピンおよび DQS/CQ# ピンにそれぞれ接続します。DQS/CQ および DQS/CQ# は、双方向ピンとしてコンフィギュレーションしなければなりません。ただし、CQ ピンおよび CQn ピンは、メモリ・デバイスからの出力専用ピンなので、Cyclone II デバイスの QDRII SRAM メモリ・インタフェースでは、DQS/CQ および DQS/CQ# 出力イネーブルをグラウンドに接続する必要があります。メモリ・デバイスから供給されるデータをキャプチャするには、シフトされた CQ 信号をレジスタ C_I および入力レジスタ A_I に接続します。シフトされた CQn を入力レジスタ B_I に接続します。図 9-4 に、QDRII SRAM リード用の CQ および CQn の接続を示します。

図 9-4. QDRII SRAM リード用の CQ および CQn の接続



リードおよびライト動作

図 9-5 に、リード中のメモリ・ピンにおける QDRII SRAM デバイスのデータとクロックとの関係を示します。QDRII SRAM デバイスは、マルチ・クロック・モードではリード・クロック C または C_n 、シングル・クロック・モードでは入力クロック K または K_n の各立ち上がりエッジから t_{CO} 時間内にデータを送出します。データは、マルチ・クロック・モードではリード・クロック C または C_n 、シングル・クロック・モードでは入力クロック K または K_n の各立ち上がりエッジから t_{DOH} 時間が経過するまで有効です。CQ クロックおよび CQ_n クロックは、リード・データ信号にエッジが揃えられます。これらのクロックは Cyclone II デバイスでは、データ・キャプチャ用のリード・データを伴います。

図 9-5. QDRII SRAM レポート時のデータとクロックの関係

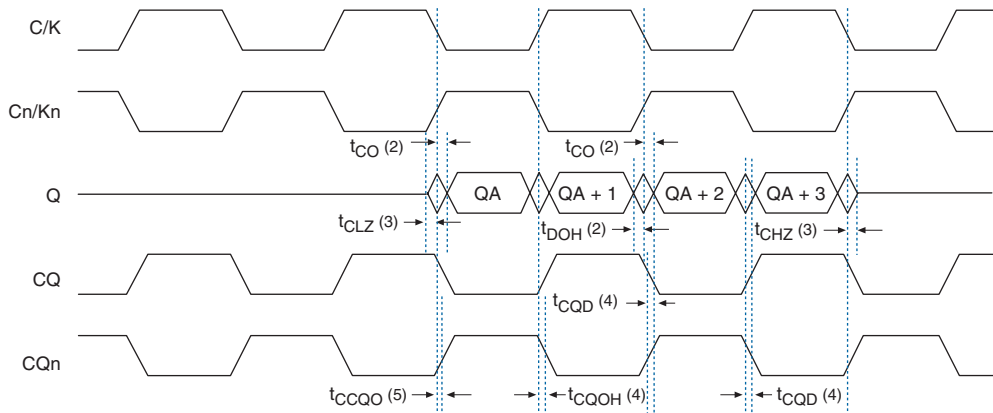


図 9-5 の注：

- (1) タイミング・パラメータの専門用語は、CY7C1313V18用 Cypress QDRII SRAM データ・シートに基づきます。
- (2) t_{CO} はデータのクロック出力タイム、 t_{DOH} はバースト間のデータ出力ホールド・タイムです。
- (3) t_{CLZ} および t_{CHZ} は、それぞれバス・ターンオン・タイムおよびターンオフ・タイムです。
- (4) t_{CQD} は CQ_n エッジとデータ・エッジ間のスキューです。
- (5) t_{CCQO} および t_{CQOH} は、C または C_n クロック (あるいはシングル・クロック・モードでの K または K_n クロック) と CQ または CQ_n クロック間のスキュー測定値です。

QDRII SRAM デバイスに書き込むとき、ライト・クロックは、K クロックがライト・クロックから 90°シフトされている間にデータを生成し、中央揃えに構成します。

Cyclone II DDR メモリ・ サポートの概要

表9-1にCyclone IIデバイスでサポートされる外部メモリ・インタフェースを示します。

メモリ規格	標準 I/O 規格	最大バス幅	サポートされる最大クロック・レート (MHz)	サポートされる最大データ・レート (Mbps)
DDR SDRAM	SSTL-2 class I (2)	72	167	333 (1)
	SSTL-2 class II (2)	72	133	267 (1)
DDR2 SDRAM	SSTL-18 class I (2)	72	167	333 (1)
	SSTL-18 class II (3)	72	125	250 (1)
QDR II SRAM (4)	1.8-V HSTL class I (2)	36	167	667 (1)
	1.8-V HSTL class II (3)	36	100	400 (1)

表 9-1 の注：

- (1) このデータ・レートは、クロック遅延コントロール回路を使用するデザイン用です。
- (2) これらの標準 I/O 規格は、Cyclone II デバイスのすべての I/O バンクでサポートされます。
- (3) これらの標準 I/O 規格は、Cyclone II デバイスのトップおよびボトムにある I/O バンクでのみサポートされます。
- (4) 最高性能を実現するには、I/O ドライブ能力に優れた 1.8 V HSTL 標準 I/O 規格を使用することを推奨します。QDR II SRAM デバイスは、1.5 V HSTL 標準 I/O 規格もサポートします。

Cyclone II デバイスは、着信した DQS 信号をシフトしてデータ・ウィンドウの中央に配置するクロック遅延コントロール回路を備えた DDR SDRAM で使用される、データ・ストロープまたはリード・クロック信号 (DQS) をサポートします。DDR 動作を実現するために、内部ロジック・エレメント (LE) レジスタを使用して、DDR 入力および出力レジスタが実装されます。Quartus® II 開発ソフトウェアの altdqs および altdq メガファンクションを使用して、それぞれ DQS および DQ 信号に使用される DDR レジスタを実装する必要があります。

DDR メモリ・ インタフェース・ ピン

Cyclone II デバイスは、外部メモリのインタフェースにデータ (DQ)、データ・ストロープ (DQS)、およびクロック・ピンを使用します。図 9-6 に x8/x9 モードの DQ および DQS ピンを示します。

図 9-6. Cyclone II デバイスの $\times 8/\times 9$ モードでの DQ および DQS グループ 注 (1)、(3)

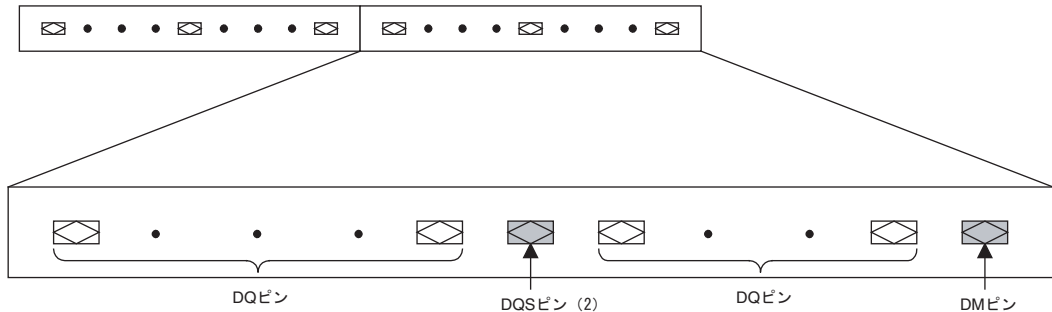


図 9-6 の注：

- (1) 各 DQ グループは、1本の DQS ピン、1本の DM ピン、および最大 9本の DQ ピンで構成されます。
- (2) QDRII メモリ・インタフェースの場合、その他の DQS ピンで CQn ピンを実装します。これらのピンは、ピン・テーブルで DQS/CQ# で表されます。
- (3) これは理想的なピン・レイアウトです。実際のピン・レイアウトについては、「Cyclone II デバイス・ハンドブック Volume 1」の「PCB レイアウトのガイドライン」のセクションのピン・テーブルを参照してください。

データおよびデータ・ストロープ・ピン

DDR メモリ・インタフェース用の Cyclone II データ・ピンは、DQ ピンと呼ばれます。Cyclone II デバイスは、双方向のデータ・ストロープまたは単一方向のリード・クロックのいずれかを使用できます。外部メモリ・インタフェースに応じて、メモリ・デバイスのリード・データ・ストロープまたはリード・クロックのいずれかが DQS ピンに供給されます。

Cyclone II デバイスでは、すべての I/O バンクが DDR および DDR2 SDRAM、QDRII SRAM メモリを最大 167 MHz でサポートします。すべての I/O バンクは、 $\times 8/\times 9$ または $\times 16/\times 18$ の DQ バス・モードで DQS 信号をサポートします。Cyclone II デバイスは、双方向のデータ・ストロープまたは単一方向のリード・クロックのいずれかをサポートできます。

$\times 8$ および $\times 16$ モードでは、1本の DQS ピンでグループ内のそれぞれ最大 8 本または 16 本の DQ ピンをドライブします。 $\times 9$ および $\times 18$ モードでは、DQS ピンのペア (CQ および CQ#) が、グループ内の最大 9 本または 18 本の DQ ピンをドライブし、1 つまたは 2 つのパリティ・ビットと対応するデータ・ビットをサポートします。パリティ・ビットまたはいずれかのデータ・ビットを使用しない場合、余分な DQ ピンは通常のユーザー I/O ピンとして使用できます。 $\times 9$ および $\times 18$ モードは、QDRII メモリ・インタフェースをサポートするために使用されます。表 9-2 に、各 Cyclone II の集積度 / パッケージの組み合わせでサポートされる DQS/DQ グループの数を示します。

デバイス	パッケージ	x8 モードの グループ数	x9 モードの グループ数 (5)	x16 モードの グループ数	x18 モードの グループ数 (5)
EP2C5	144 ピン TQFP (2)	3	3	0	0
	208 ピン PQFP	7 (3)	4	3	3
EP2C8	144 ピン TQFP (2)	3	3	0	0
	208 ピン PQFP	7 (3)	4	3	3
	256 ピン FineLine BGA®	8 (3)	4	4	4
EP2C20	256 ピン FineLine BGA	8	4	4	4
	484 ピン FineLine BGA	16 (4)	8	8	8
EP2C35	484 ピン FineLine BGA	16 (4)	8	8	8
	672 ピン FineLine BGA	20 (4)	8	8	8
EP2C50	484 ピン FineLine BGA	16 (4)	8	8	8
	672 ピン FineLine BGA	20 (4)	8	8	8
EP2C70	672 ピン FineLine BGA	20 (4)	8	8	8
	896 ピン FineLine BGA	20 (4)	8	8	8

表 9-2 の注：

- (1) 値は暫定仕様です。
- (2) 144 ピン TQFP パッケージの EP2C5 および EP2C8 デバイスには、I/O バンク 1 に DQ ピン・グループがありません。
- (3) 利用可能なクロック・リソースに制限があるため、実装できる DQ/DQS グループは合計で 6 つのみです。
- (4) 利用可能なクロック・リソースに制限があるため、実装できる DQ/DQS グループは合計で 14 のみです。
- (5) x9 DQS/DQ グループは x8 DQS/DQ グループとしても使用されます。x18 DQS/DQ グループは x16 DQS/DQ グループとしても使用されます。

Cyclone II ピン・テーブルにおいて、DQS ピンは EP2C5 および EP2C8 デバイスに対しては DQS[1..0]T、DQS[1..0]B、DQS[1..0]L、および DQS[1..]R、これより大規模なデバイスに対しては DQS[5..0]T、DQS[5..0]B、DQS[5..0]L、および DQS[5..0]R として記載されています。T はデバイスのトップのピン、B はデバイスのボトムのピン、L はデバイスの左サイドのピン、R はデバイスの右サイドのピンを示します。対応する DQ ピンは DQ[5..0]T[8..0] として記載されています。ここで、[5..0] はピンが属する DQS グループを示します。

Cyclone II のピン構成では、9 本の DQ ピンからなる DQ グループは、対応する DQS ピンを使用した x8 モードでも使用され、未使用の DQ ピンは通常の I/O ピンとして使用できます。18 本の DQ ピンからなる DQ グループは、対応する DQS ピンを使用した x16 モードでも使用され、未使用の 2 本の DQ ピンは通常の I/O ピンとして使用できます。例えば、DQ1T[8..0] は、DQS1T とともに使用する場合は、x8 モードで使用できます。残りの未使用の DQ ピン DQ1T8 は、通常の I/O ピンとして利用可能です。

DQ ピンまたは DQS ピンとして使用しない場合、これらのピンは通常の I/O ピンとして利用できます。表 9-3 に、各 Cyclone II デバイス集積度において、各 I/O バンクでサポートされる DQS ピン数を示します。

デバイス	トップ I/O バンク	ボトム I/O バンク	左 I/O バンク	右 I/O バンク
EP2C5、EP2C8	DQS[1..0]T	DQS[1..0]B	DQS[1..0]L	DQS[1..0]R
EP2C20、EP2C35、 EP2C50、EP2C70	DQS[5..0]B	DQS[5..0]T	DQS[3..0]L	DQS[3..0]R

表 9-3 の注：

(1) 値は暫定仕様です。

DQ ピンの番号体系は x8/x9 モードに基づきます。EP2C5 および EP2C8 の I/O バンクには、x8 モードの DQS/DQ グループが最大 8 つ、または x9 モードの DQS/DQ グループが最大 4 つ存在します。これより大きなデバイスでは、x8 モードの DQS/DQ グループが最大 20、または x9 モードの DQS/DQ グループが最大 8 つ存在します。大型 Cyclone II デバイスでは、x8 モードの DQS/DQ グループを最大 20 利用できますが、Cyclone II デバイスで利用可能なクロック・リソースには制限があるため、外部メモリ・インタフェースに利用できるのは 16 の DQS/DQ グループのみです。DQS 信号の供給には、合計 16 のグローバル・クロック・バスが利用できますが、これらのうち 2 つは既に、-90°のライト・クロックおよびシステム・クロックを外部メモリ・デバイスに供給するために使用されています。これによって、グローバル・クロック・リソースは、DQS 信号を供給するための 14 のグローバル・クロック・バスに減少します。着信した DQS 信号は、すべてクロック・コントロール・ブロックに供給され、次にグローバル・クロック・バスに送られて、DDR LE レジスタをクロック駆動します。EP2C5 および EP2C8 デバイスの場合、DQS 信号はクロック・コントロール・ブロックに直接供給されます。これより大型の Cyclone II デバイスの場合、コーナ DQS 信号は多重化された後でクロック・コントロール・ブロックに供給されます。コーナ DQS ピンを DDR 実装に使用すると、メモリ・インタフェースの性能が低下します。クロック・コントロール・ブロックは、多数の入力クロック・ソース（この場合は、PLL クロック出力または DQS ピン）からグローバル・クロック・バスにドライブするソースを選択するために使用されます。図 9-7 に、EP2C20 から EP2C70 までのデバイスのコーナ DQS 信号のマッピングを示します。

図 9-7. EP2C20 から EP2C70 までのデバイスのコーナ DQS 信号のマッピング

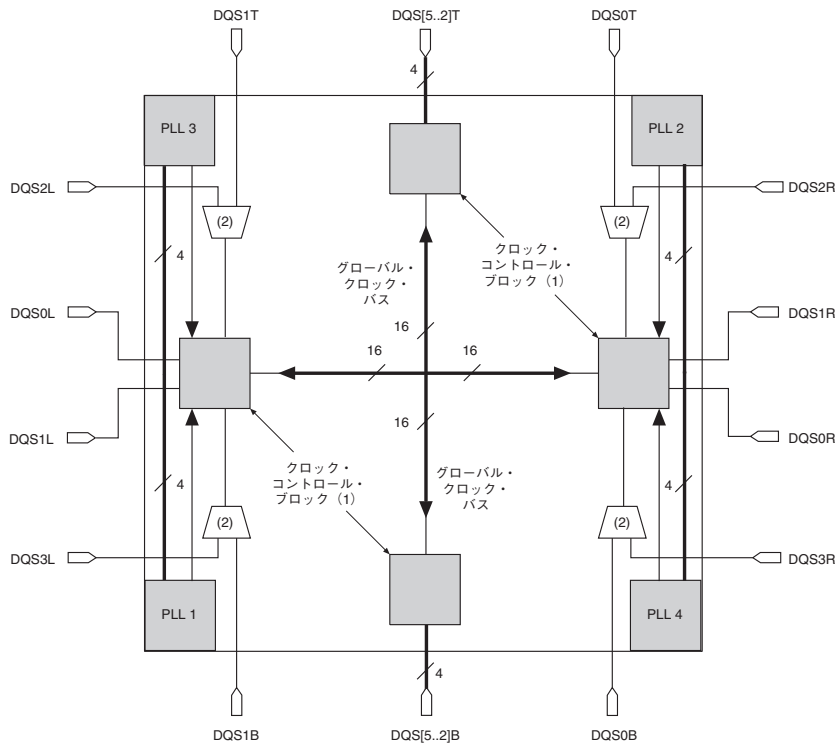


図 9-7 の注：

- (1) 各サイドに 4 つのクロック・コントロール・ブロックがあります。
- (2) 同時にクロック・コントロール・ブロックに信号を供給できるのは、各コーナーにあるコーナ DQS ピンのいずれか 1 本のみです。その他の DQS ピンは、汎用 I/O ピンとして使用できます。

例えば、Cyclone II デバイスに 72 ビット幅の SDRAM メモリ・インタフェースを実装するには、トップ I/O バンクに 5 つの DQS/DQ グループ、ボトム I/O バンクに 4 つの DQS/DQ グループ（またはその逆）を使用します。この場合、DQS0T または DQS1T を 5 番目の DQS 信号として使用すると、DQS2R または DQS2L ピンは通常の I/O ピンとなり、メモリ・インタフェースで DQS 信号に対しては利用できなくなります。グローバル・クロック・ネットワークの詳細については、「Cyclone II デバイス・ハンドブック」の「Cyclone II アーキテクチャ」の章にある「グローバル・クロック・ネットワークおよび PLL」の項を参照してください。

DQ ピンと DQS ピンをデバイスのすべての I/O バンク上で、双方向 DDR ピンとしてコンフィギュレーションする必要があります。DQ パスと DQS パスをコンフィギュレーションするには、それぞれ `altdq` および `altdqs` メガファンクションを使用します。DQ ピンまたは DQS ピンを単に入力として使用する場合、例えば DQ と DQS が単一方向のリード・データおよびリード・クロックとなる QDRII メモリ・インタフェースでは、DQ ピンまたは DQS ピンの出力イネーブルをグラウンドに設定します。詳細については、このハンドブックの 9-4 ページの「[QDRII SRAM](#)」のセクションを参照してください。

クロック、コマンド、およびアドレス・ピン

デバイスのすべての I/O バンク (外部メモリの標準 I/O 規格をサポートする I/O バンク) における任意のユーザ I/O ピンを使用して、メモリ・デバイスへのクロック、コマンド、およびアドレス信号を生成することができます。

パリティ、DM、および ECC ピン

どの DQ ピンも Cyclone II デバイスのパリティ・ピンに使用できます。Cyclone II デバイスは、 $\times 8/\times 9$ および $\times 16/\times 18$ モードでパリティをサポートします。データ・ピンの 8 ビットごとに 1 つのパリティ・ビットを利用できます。

DDR SDRAM および DDR2 SDRAM デバイスに書き込むときは、データ・マスク (DM) ピンが必要です。DM ピンの Low 信号は書き込みが有効であることを示します。DM 信号が High の場合は、メモリが DQ 信号をマスクします。Cyclone II デバイスでは、DM ピンは事前にデバイス・ピン配列に割り当てられており、これらが優先ピンとなります。DQS および DQ 信号の各グループには DM ピンが必要です。DQ 出力信号と同様に、DM 信号は -90° シフトされたクロックによってドライブされます。

一部の DDR SDRAM および DDR2 SDRAM デバイスは、誤り訂正コーディング (ECC) またはパリティをサポートしています。パリティ・ビット・チェックはエラーを検出する方法ですが、エラーを訂正する機能はありません。ECC はデータ伝送でエラーを検出して自動的に訂正します。72 ビット DDR SDRAM には、64 本のデータ・ピンに加えて 8 本の ECC ピンがあります。DDR および DDR2 SDRAM ECC ピンは、Cyclone II デバイスの DQS/DQ グループに接続します。メモリ・コントローラは、ECC データをエンコードおよびデコードするために余分なロジックを必要とします。

PLL (Phase-Locked-Loop)

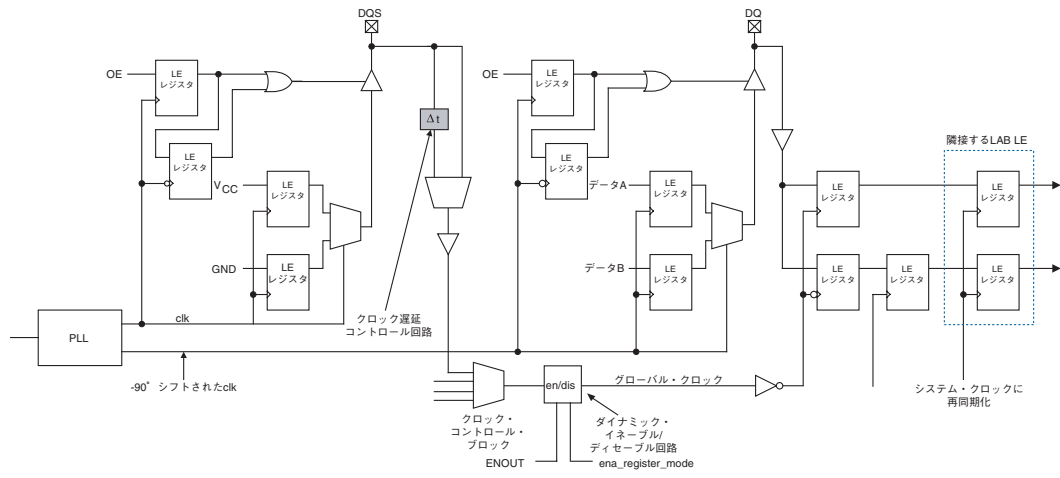
Cyclone II の I/O バンクを使用して DDR メモリにインタフェースする場合は、システム・クロックとライト・クロックを生成するために、2 つの出力を持つ PLL が最低 1 つ必要です。システム・クロックは、DQS ライト信号、コマンド、およびアドレスを生成します。ライト・クロックは、システム・クロックから -90° シフトされ、書き込み中に DQ 信号を生成します。

クロック遅延コントロール

各 DQS ピン上のクロック遅延コントロール回路によって、着信した DQS 信号をそれらに対応する DQ データ信号のウィンドウ内で中央に揃える位相シフトが可能になります。位相シフトされた DQS 信号はグローバル・クロック・ネットワークをドライブします。次に、このグローバル DQS 信号は、内部 LE レジスタ上で DQ 信号をクロックします。クロック遅延コントロール回路は、DQS 信号が入力クロックまたはストロープとして機能するリード動作中に使用されます。

図 9-8 に、I/O ピンから専用回路を通してロジック・アレイにインタフェースする DDR SDRAM を示します。

図 9-8. DDR SDRAM インタフェース



9-3 ページの図 9-1 に、DQS 信号が 90°シフトされる例を示します。DQS 信号には、クロック遅延コントロール回路によって設定された 90°シフトの遅延と、クロック遅延コントロール回路から DQ LE レジスタへのグローバル・クロック配線遅延が生じます。DQ 信号には、DQ ピンから DQ LE レジスタへの配線遅延しか発生しません。DQS ピンから DQ LE レジスタへの遅延は、必ずしも DQ ピンから DQ LE レジスタへの遅延とは一致しません。したがって、この遅延の差を補償するようにクロック遅延コントロール回路を調整する必要があります。

DQS ポストアンブル

DDR および DDR2 SDRAM など、双方向リード・ストロープを使用する外部メモリ・インタフェースの場合、DQS 信号は、ハイ・インピーダンス状態に入る前、またはハイ・インピーダンス状態から抜ける前に Low になります (図 9-1 を参照)。ハイ・インピーダンス直後に DQS が Low になる状態をプリアンブルと呼び、ハイ・インピーダンス直前に DQS が Low になる状態をポストアンブルと呼んでいます。DDR および DDR2 SDRAM のリードおよびライト動作の両方に対して、プリアンブルとポストアンブルが規定されています。Cyclone II デバイスまたは DDR/DDR2 SDRAM デバイスが DQ ピンおよび DQS ピンをドライブしない場合、信号はハイ・インピーダンス状態になります。プルアップ抵抗は DQ と DQS の両方を V_{TT} (SSTL-2 の場合は 1.25 V、SSTL-18 の場合は 0.9 V) に終端するため、ハイ・インピーダンス・ライン上の実効電圧は、1.25 V または 0.9 V のいずれかになります。SSTL-2 標準 I/O 規格の JEDEC JESD8-9 仕様、および SSTL-18 標準 I/O 規格の JESD8-15A 仕様によると、この電圧は不確定ロジック・レベルであり、入力バッファはこの電圧をロジック High またはロジック Low のいずれにも解釈することができます。DQS ライン上にノイズが存在する場合、入力バッファはこのノイズを実際のストロープ・エッジとして解釈する可能性があります。

DQS ポストアンブル回路は、リード・ポストアンブル時間の最後に DQS ライン上にノイズが存在しても、データが消失しないことを保証します。DQS ポストアンブル回路は、クロック・コントロール・ブロックの後方に存在するダイナミックなイネーブル/ディセーブル回路です (図 9-8 を参照)。DQS ポストアンブル回路がイネーブルされている場合、altdqs メガファンクションのコンフィギュレーション中は、図 9-9 に示すように、ena_register_mode ビットは、ENOUT 信号を直接供給してグローバル・クロックの出力を制御するように設定されます。

図 9-9. ダイナミック・イネーブル/ディセーブル回路

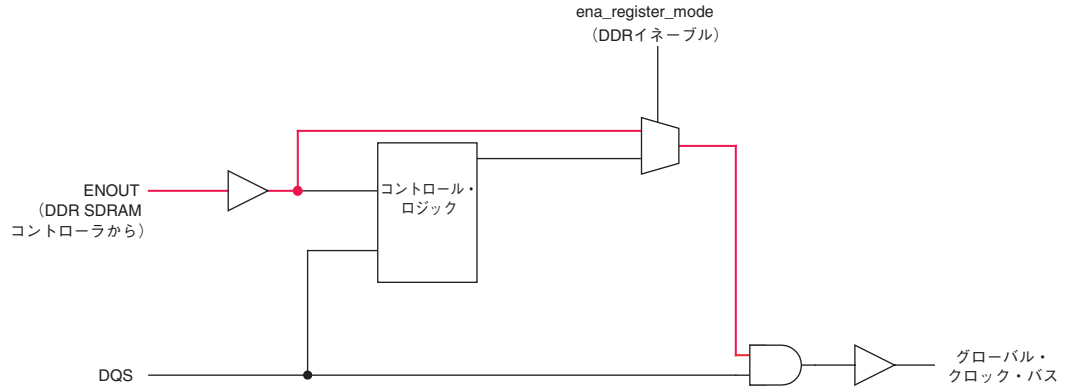
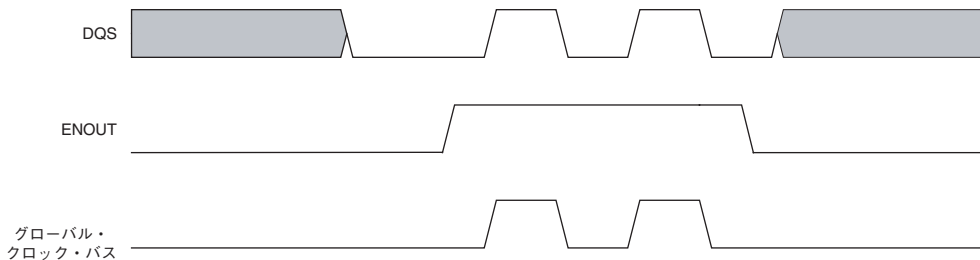


図 9-9 の注：

- (1) DQS ポストアンプル回路がイネーブルされている場合、altdqs メガファンクションのコンフィギュレーション中には、デバイスは赤色のパスを使用します。

最後の DQS 立ち下がりエッジを検出すると、DDR または DDR2 SDRAM コントローラは、ENOUT 信号を送出して、グローバル・クロック・バスに供給される DQS 信号をディセーブルします。これによって、リード・ポストアンプル・タイムの最後に DQS 入力信号にグリッチが発生した場合でも、DQ LE レジスタに影響を与えないことが保証されます (図 9-10 を参照)。

図 9-10. ダイナミック・イネーブル/ディセーブル回路のコントロール・タイミング波形

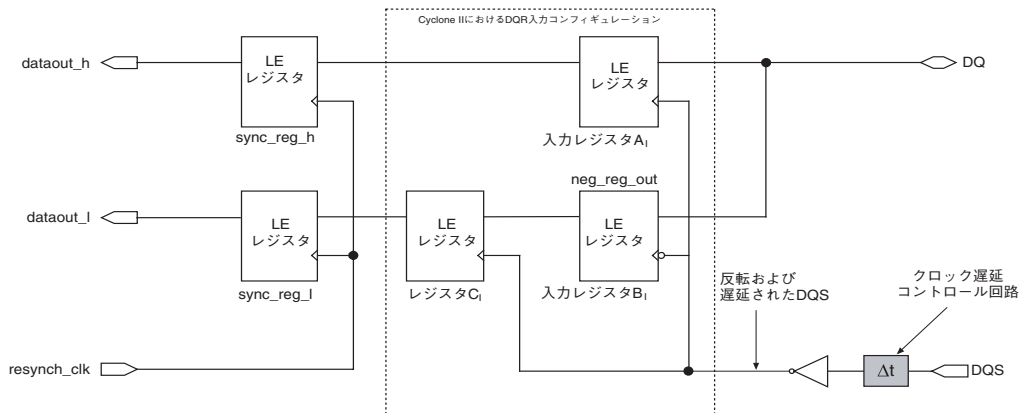


シフトされた DQS 信号は次にグローバル・クロック・バスに供給され、DQ ピンの LE 入力レジスタをクロック駆動します。また、この信号を再同期化の目的でロジック・アレイに供給して、連続して動作するリード・クロックを使用するメモリ・インタフェースにインタフェースすることも可能です。

DDR 入力レジスタ

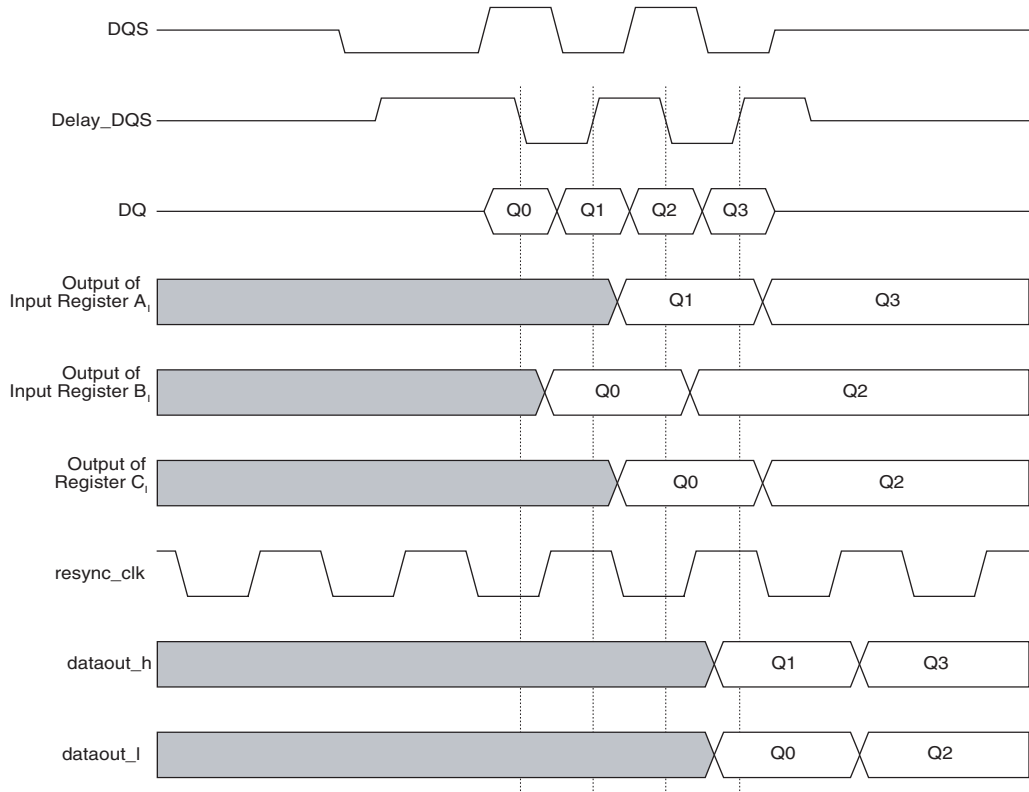
Cyclone II デバイスでは、DDR 入力レジスタは、DDR 入力ピンに隣接するロジック・アレイ・ブロック (LAB) 内に配置される 5 個の内部 LE レジスタで実装されます (図 9-11 を参照)。DDR データは、入力レジスタ A_I と入力レジスタ B_I の最初の 2 個のレジスタに供給されます。入力レジスタ B_I は、クロックの立ち上がりエッジの間に現れる DDR データをキャプチャします。入力レジスタ A_I は、クロックの立ち下がりエッジの間に現れる DDR データをキャプチャします。レジスタ C_I は、データが再同期化レジスタに転送される前にデータを揃えます。

図 9-11. DDR 入力の実装



レジスタ $sync_reg_h$ および $sync_reg_l$ は、2つのデータ・ストリームを再同期化クロックの立ち上がりエッジに同期させます。図 9-12 に、DDR 入力実装からの機能波形例を示します。

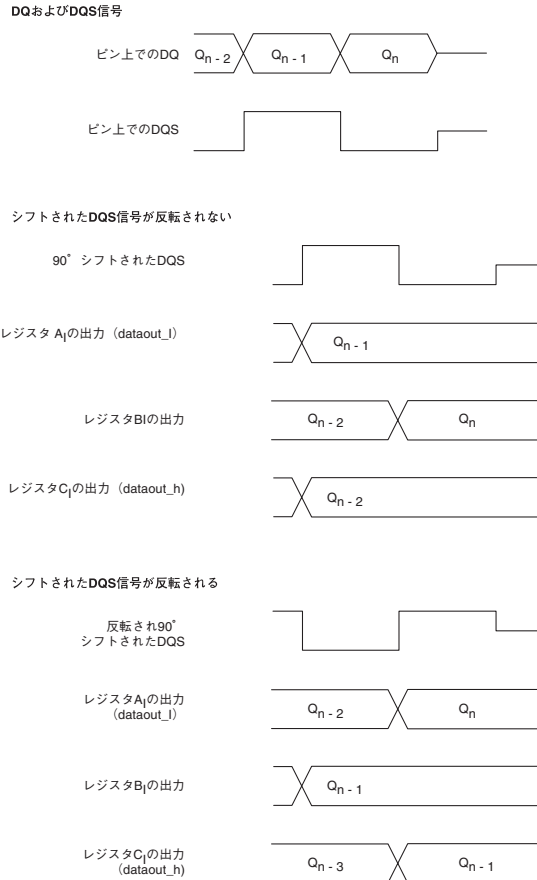
図 9-12. DDR 入力の機能波形



Cyclone II DDR 入力レジスタでは、適切なデータ転送を確実に実行するために、着信した DQS 信号を反転させる必要があります。altdq メガファンクションは、DQ 信号のクロック・ポートに自動的にインバータを追加します。図 9-11 に示すとおり、反転した DQS 信号の立ち上がりエッジでレジスタ A_I をクロック駆動し、その立ち下がりエッジでレジスタ B_I をクロック駆動し、そしてレジスタ C_I は、反転した DQS 信号の立ち上がりエッジで、レジスタ B_I によってクロック駆動されたデータをレジスタ A_I に揃えます。DDR メモリのリード動作では、最後のデータは DQS 信号の立ち下がりエッジと同時に発生します。DQS ピンを反転しない場合、レジスタは DQS 信号の次の立ち上がりエッジまでラッチしないので、この最後のデータは取得されません。

図 9-13 に、図 9-11 に記載した回路の波形を示します。図 9-13 の最初の波形セットは、Cyclone II デバイス・ピンで DQ 信号と DQS 信号のエッジが揃った状態を示しています。図 9-13 の 2 番目の波形セットは、シフトされた DQS 信号を反転しなかった場合の状況を示しています。この場合、DQS がリード・ポストアンブル・タイム後にトライ・ステートに移行するため、最後のデータ Q_n は、ロジック・アレイにラッチされません。図 9-13 の 3 番目の波形セットは、DQS 信号を 90° シフト後に反転した正しいリード動作を示しています。最後のデータ Q_n はラッチされません。この場合、DQS が反転するため、dataout_h および dataout_l ポートに対応するレジスタ A_I およびレジスタ C_I の出力がここで切り換わります。レジスタ A_I 、レジスタ B_I 、およびレジスタ C_I は、9-17 ページの図 9-11 の用語に基づきます。

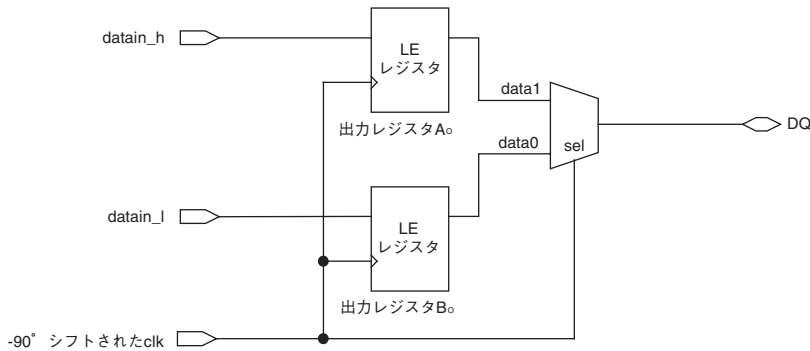
図 9-13. 非反転および反転シフトの DQS による DQ のキャプチャ



DDR 出力レジスタ

図 9-14 に、Cyclone II デバイスに実装された DDR 出力の回路図を示します。DDR 出力のロジックは、出力ピンに隣接する LAB の LE を使用して実装されます。2つのレジスタが2つのシリアル・データ・ストリームを同期化します。次に、レジスタでラッチされた出力が共通クロックで多重化されて、データ・レートの2倍のレートで DDR 出力ピンをドライブします。

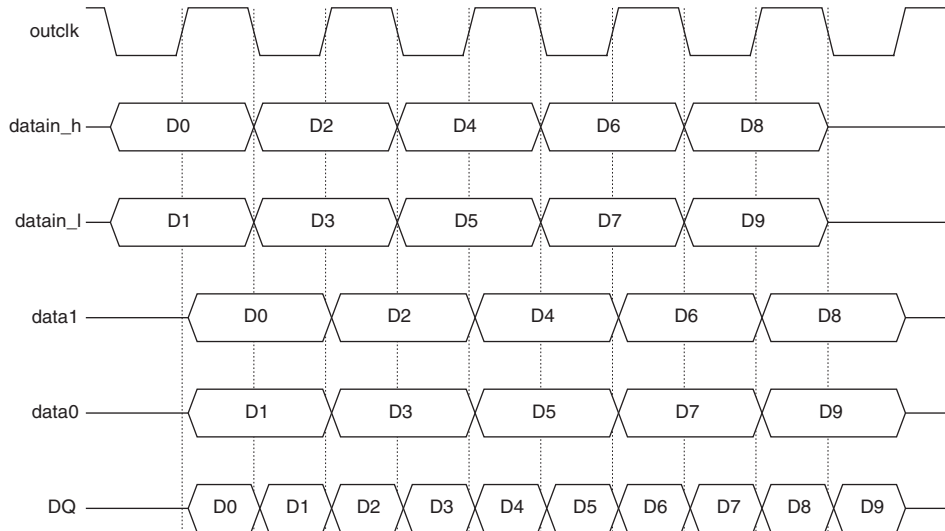
図 9-14. DDR メモリ・インタフェースに対する DDR 出力の実装



クロック信号がロジック High の間、出力レジスタ A₀ からの出力は DDR 出力ピンにドライブされます。クロック信号がロジック Low の間、出力レジスタ B₀ からの出力は DDR 出力ピンにドライブされます。利用可能な任意のユーザ I/O ピンを DDR 出力ピンにすることができます。この出力ロジックを実装するには、altdq および altdqs メガファンクションを使用します。これによって、DDR 出力ピン上に大きなグリッチが発生しないように、LE レジスタおよび出力マルチプレクサに要求される厳密な配置配線の制約が自動的に設定されます。

図 9-15 に、DDR 出力実装からの機能波形例を示します。

図 9-15. DDR 出力波形



双方向 DDR レジスタ

図 9-16 に、前の 2 つのセクションで説明した DDR 入力と DDR 出力を使用して構築した、双方向 DDR インタフェースを示します。DDR 入力および DDR 出力例と同様に、利用可能な任意のユーザ I/O ピンを双方向 DDR ピンにすることができます。DDR 双方向ロジックを実装するレジスタは、このピンに隣接する LAB 内の LE です。トライ・ステート・バッファは、デバイスが双方向 DDR ピンにデータをドライブするタイミングを制御します。

図 9-16. DDR メモリ・インタフェースに対する双方向 DDR の実装 注 (1)

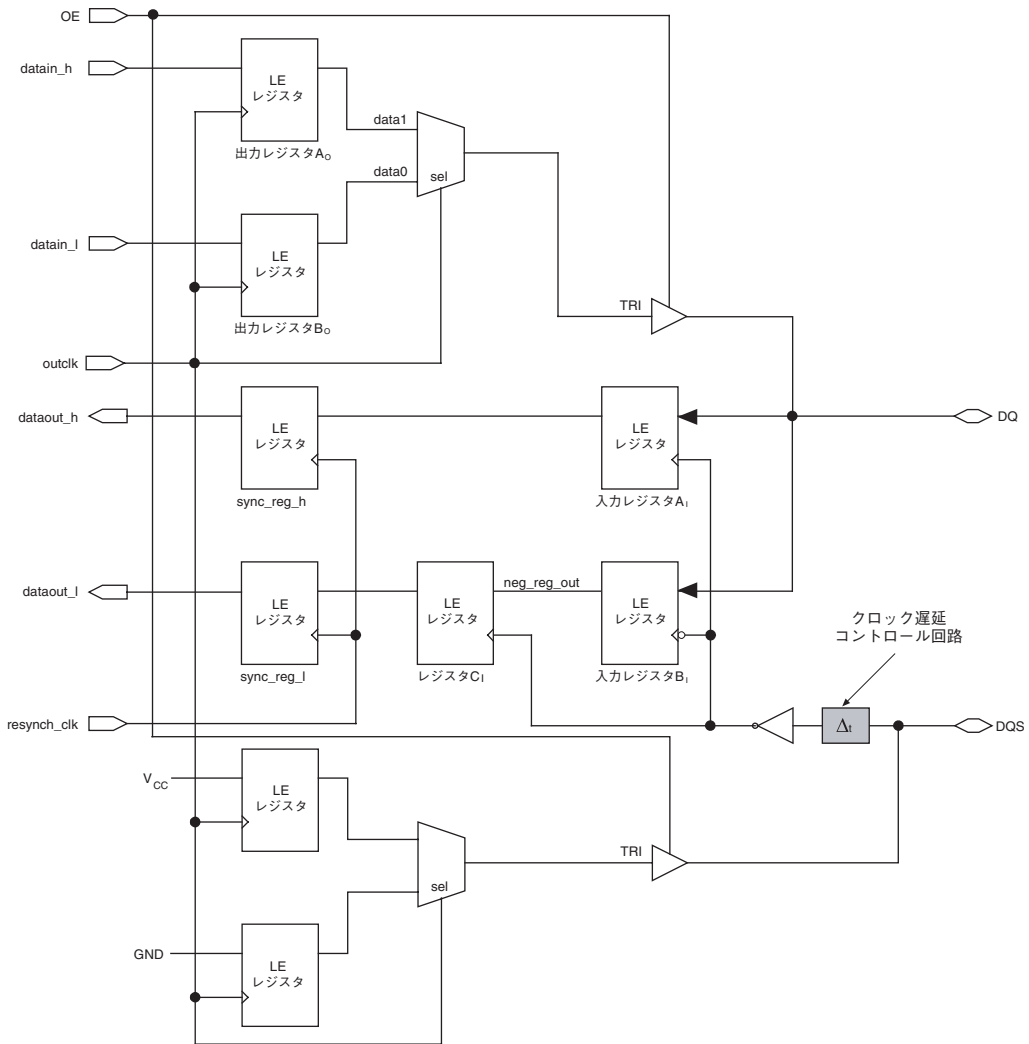
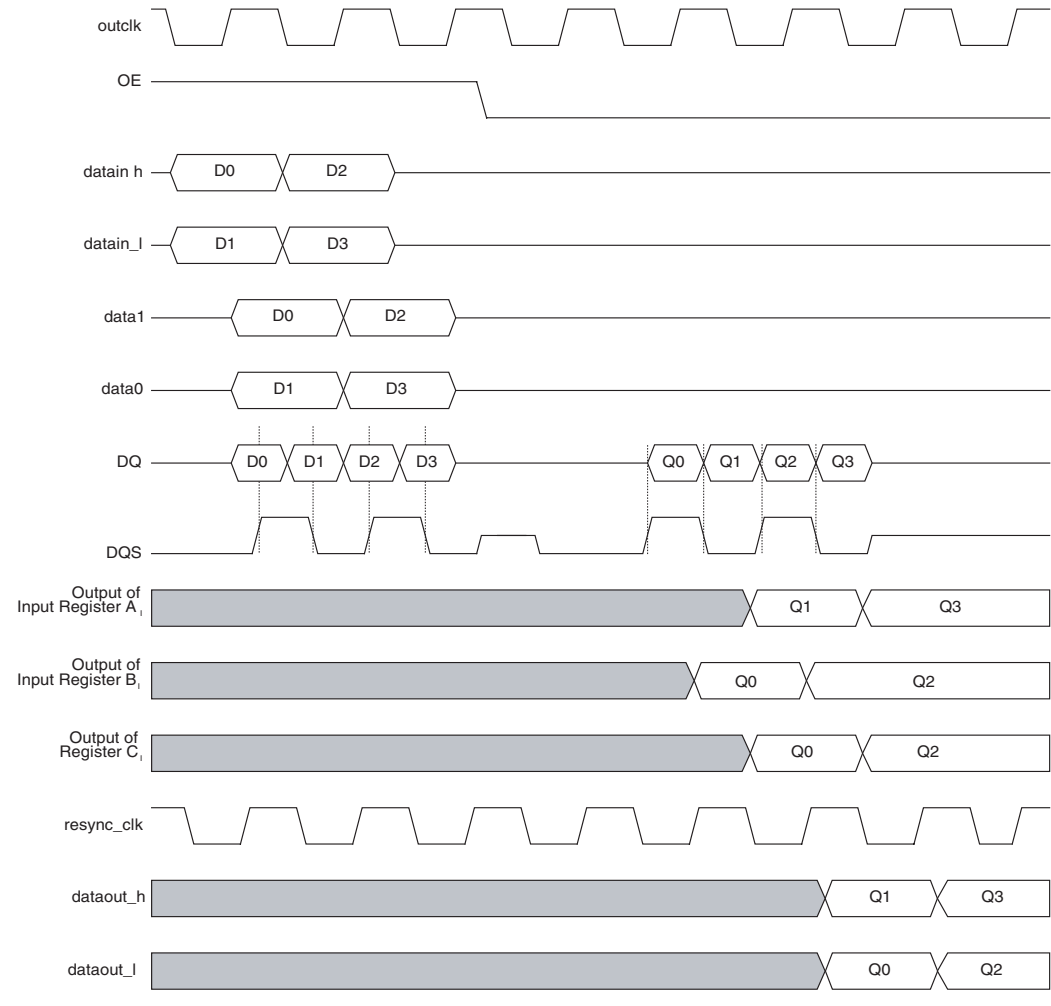


図 9-16 の注：

(1) altdq および altdqs メガファンクションを使用すると、DQ および DQS 信号を生成できます。

図 9-17 に、双方向 DDR 実装からの波形例を示します。

図 9-17. 双方向 DDR 波形



まとめ

Cyclone II デバイスは、SDR SDRAM、DDR SDRAM、DDR2 SDRAM、および QDR II SRAM 外部メモリをサポートします。Cyclone II デバイスは、外部メモリ・デバイス間でデータを転送する高速インタフェースを備えており、DDR および DDR2 SDRAM デバイスの場合は最大 167 MHz/333 Mbps、QDR II SRAM デバイスの場合は最大 167 MHz/667 Mbps で転送できます。クロック遅延コントロール回路により、設計者は入力クロックまたはストロブの位相シフトを微調整し、必要に応じてクロック・エッジを正しく整列させて、データをキャプチャすることができます。

