


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CF52009-2.1

はじめに

この章では、同じボード上で複数のコンフィギュレーション手法を使用して、アルテラの FPGA をコンフィギュレーションする方法を説明します。ボード上での JTAG コンフィギュレーションとパッシブ・シリアル (PS) またはアクティブ・シリアル (AS) のコンフィギュレーションの組み合わせは、複数の方法を使用して FPGA を構成できるため、プロトタイプ環境では便利です。例えば、ユーザの製造環境でコンフィギュレーション・デバイスを使用した PS コンフィギュレーションが要求される場合、FPGA でデザインの変更をテストする必要がある場合は毎回、コンフィギュレーション・デバイスを再プログラミングする必要があります。コンフィギュレーション・デバイスと同じ JTAG チェインに FPGA を含めた場合、FPGA はコンフィギュレーション・デバイスを再プログラムしないで、JTAG 経由で再コンフィギュレーションできます。

この章では、一般に使用される「ダウンロード・ケーブル」は、アルテラの USB プラスタ・ユニバーサル・シリアル・バス (USB) ポート・ダウンロード・ケーブル、MasterBlaster™ シリアル / USB 通信ケーブル、EthernetBlaster、ByteBlaster™ II パラレル・ポート・ダウンロード・ケーブル、ByteBlasterMV™ パラレル・ポート・ダウンロード・ケーブルを示します。ここでは、一般的な「FPGA」は、Stratix® シリーズ、Cyclone™ シリーズ、APEX™ II、APEX 20K、Mercury™、ACEX® 1K、および FLEX® 10K デバイスを示します。

 この章の図には、コンフィギュレーション・インタフェースの接続のみを示しています。特定の FPGA またはコンフィギュレーション・デバイスのプルアップ抵抗値または他のピンについては、詳しくは、コンフィギュレーション・ハンドブックの該当する章を参照してください。

パッシブ・シリアル & JTAG

図 9-1 に、ダウンロード・ケーブルを使用してコンフィギュレーション・デバイスを JTAG でプログラムし、コンフィギュレーション・デバイスを使用して FPGA をコンフィギュレーションするときのコンフィギュレーション・インタフェースの接続を示します。図 9-1 では、複数の FPGA がデジチチェーン配線されているため、PS がコンフィギュレーション・モードとして選択されるように MSEL ピンを設定する必要があります。

図 9-1. コンフィギュレーション・デバイスを使用した FPGA の PS コンフィギュレーションによるコンフィギュレーション・デバイスの JTAG プログラミング

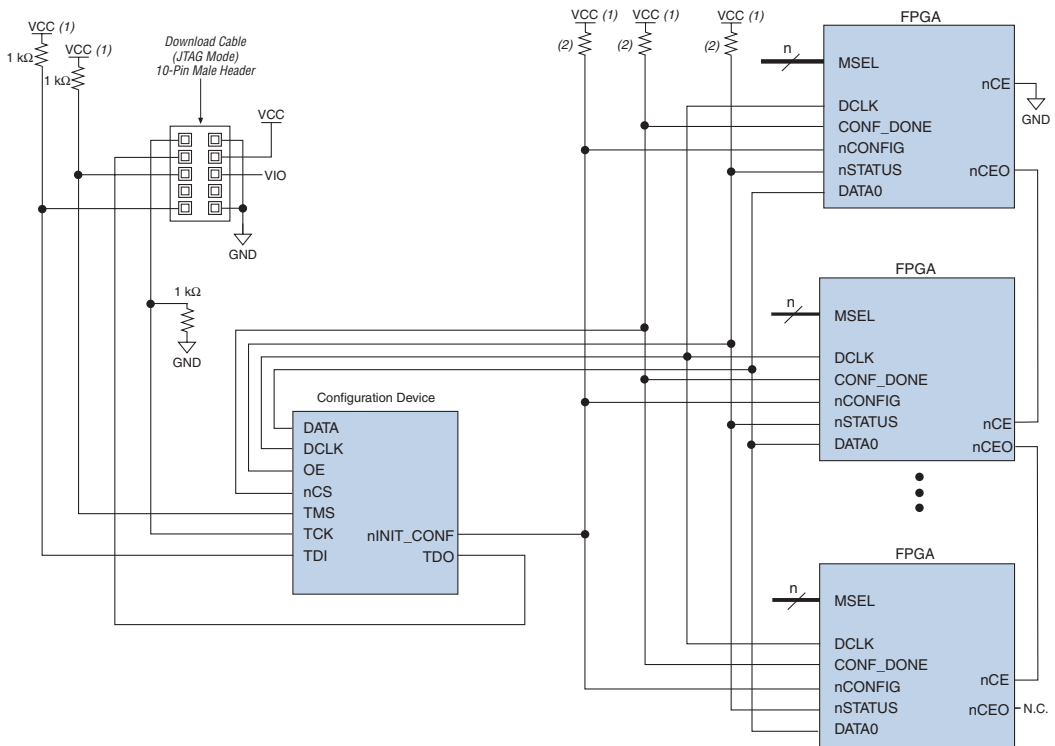


図 9-1 の注：

- (1) V_{CC} は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。APEX 20KE デバイスの場合、 $nCONFIG$ を V_{CCINT} にプルアップする必要があります。
- (2) コンフィギュレーション・デバイスの内部プルアップ抵抗を使用する場合、これらのピンで外部プルアップ抵抗を使用してはなりません。

図 9-2 に、コンフィギュレーション・デバイスと FPGA が同じ JTAG チェーン内にある場合のコンフィギュレーション・インタフェースの接続を示します。TDO 信号が、次のデバイスの TDI 最小 High レベル入力電圧 (V_{IH}) を満たす十分な高さの電圧をドライブ出力することを確認してください。TDO 出力は、その TDO が存在する I/O バンクの V_{CCIO} の電圧をドライブ出力します。例えば、TDO ピンが、 V_{CCIO} が 3.3 V に設定されている I/O バンクに存在する場合、その TDO ピンは 3.3 V をドライブ出力します。ダウンロード・ケーブルは、コンフィギュレーション・デバイスと FPGA の JTAG プログラミングに使用されます。ダウンロード・ケーブルは、コンフィギュレーション・デバイスと FPGA の JTAG プログラミングに使用されます。コンフィギュレーション・デバイスは、FPGA のコンフィギュレーションに使用されます。MSEL ピンは、PS がコンフィギュレーション・モードとして選択されるように設定する必要があります。



ボードにコンフィギュレーション・デバイスが搭載されている場合、電源投入時に、FPGA コンフィギュレーションのス終了後に JTAG コンフィギュレーションが試行されるようにする必要があります。

図 9-2. コンフィギュレーション・デバイスを使用した FPGA の PS コンフィギュレーションによるコンフィギュレーション・デバイスの JTAG プログラミング

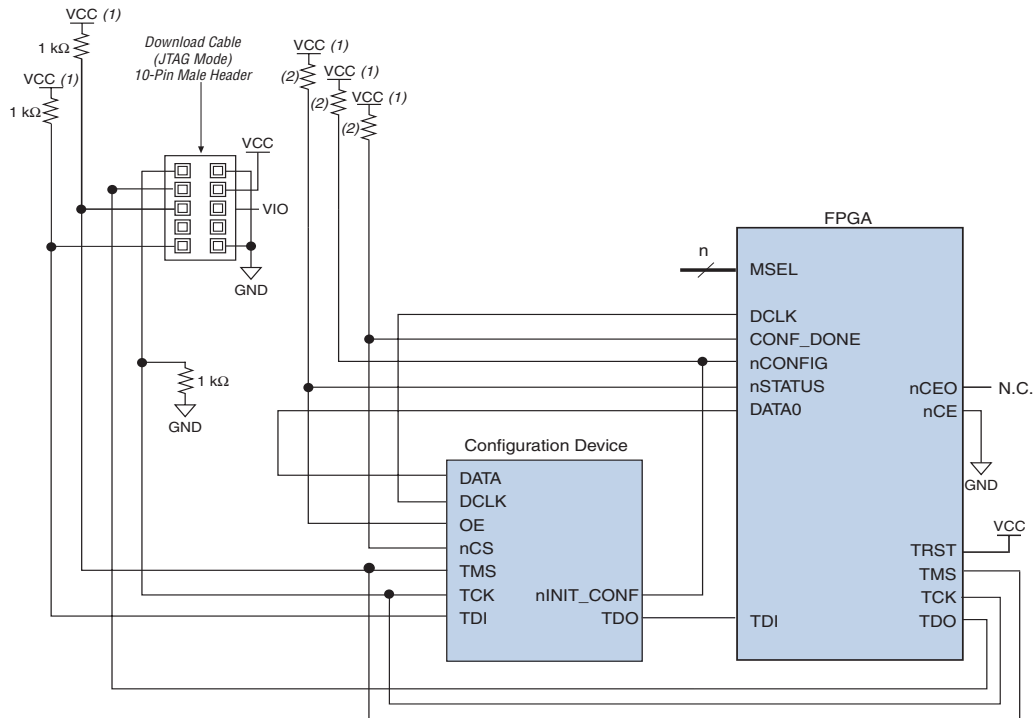


図 9-2 の注：

- (1) V_{CC} は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。APEX 20KE デバイスの場合、nCONFIG を V_{CCINT} にプルアップする必要があります。
- (2) コンフィギュレーション・デバイスの内部プルアップ抵抗を使用する場合、これらのピンで外部プルアップ抵抗を使用してはなりません。

ダウンロード・ケーブルは異なるモード (JTAG モードや PS モードなど) で使用でき、各モードでダウンロード・ケーブルのヘッダは FPGA の異なるピンに接続されます。したがって、2つの異なるモードのダウンロード・ケーブルをサポートするには、別々の2個の10ピン・ヘッダが必要になります。図 9-3 に、2本のダウンロード・ケーブルを使用する回路図を示します。1本のダウンロード・ケーブルは JTAG モードで使用され、コンフィギュレーション・デバイスを JTAG プログラミングします。もう1本のダウンロード・ケーブルは PS モードで使用され、PS コンフィギュレーションを使用して FPGA をコンフィギュレーションします。MSEL ピンは、PS がコンフィギュレーション・モードとして選択されるように設定する必要があります。

図 9-3. コンフィギュレーション・デバイスとダウンロード・ケーブルを使用した FPGA の PS コンフィギュレーションによるコンフィギュレーション・デバイスの JTAG プログラミング

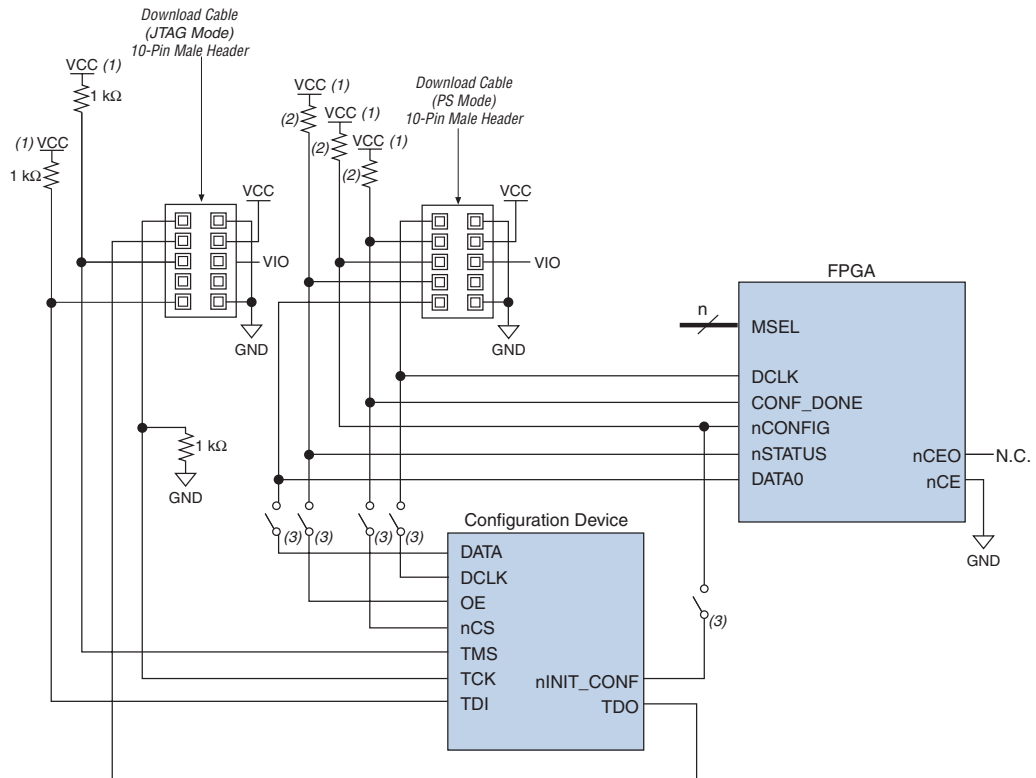


図 9-3 の注：

- (1) V_{CC} は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。APEX 20KE デバイスの場合、 $nCONFIG$ を V_{CCINT} にプルアップする必要があります。
- (2) コンフィギュレーション・デバイスの内部プルアップ抵抗を使用する場合、これらのピンで外部プルアップ抵抗を使用してはなりません。
- (3) ダウンロード・ケーブルを使用して FPGA をコンフィギュレーションするには、ソケットからコンフィギュレーション・デバイスを取り外すか、ダウンロード・ケーブルとコンフィギュレーション・デバイスの間の 5 つの共通信号にスイッチを配置する必要があります。



コンフィギュレーション・デバイスが FPGA に接続されている間に、ダウンロード・ケーブルによる PS コンフィギュレーションを行ってはなりません。

コンフィギュレーション・デバイスを FPGA に接続している間に、ダウンロード・ケーブルを使用して FPGA のコンフィギュレーションを試みた場合、nSTATUS ピンと CONF_DONE ピンでドライブされた Low 信号により、コンフィギュレーション・デバイスの OE ピンと nCS ピンは Low にプルダウンされます。これによって、コンフィギュレーション・デバイスがリセットされ、FPGA のコンフィギュレーションが試みられます。ダウンロード・ケーブルによる PS コンフィギュレーションを実行するには、ダウンロード・ケーブルの使用時はソケットからコンフィギュレーション・デバイスを取り外すか、ダウンロード・ケーブルとコンフィギュレーション・デバイスの間の 5 つの共通信号にスイッチを配置します。

図 9-4 に、PS モードのダウンロード・ケーブルまたは JTAG モードのダウンロード・ケーブルを使用して FPGA のコンフィギュレーションを可能にする回路図を示します。さらに、FPGA はコンフィギュレーション・デバイスを使用してコンフィギュレーションできます。1本のダウンロード・ケーブルは JTAG モードで使用され、コンフィギュレーション・デバイスと FPGA を JTAG プログラミングします。図 9-4 では、コンフィギュレーション・デバイスと FPGA が同じ JTAG チェーン内にあります。TDO 信号が、次のデバイスの TDI 最小 High レベル入力電圧 (V_{IH}) を満たす十分な高さの電圧をドライブ出力することを確認してください。TDO 出力は、TDO が存在する I/O バンクの V_{CCIO} の電圧をドライブ出力します。例えば、TDO ピンが、 V_{CCIO} が 3.3 V に設定されている I/O バンクに存在する場合、その TDO ピンは 3.3 V をドライブ出力します。もう 1 本のダウンロード・ケーブルは PS モードで使用され、PS コンフィギュレーションを使用して FPGA をコンフィギュレーションします。MSEL ピンは、PS がコンフィギュレーション・モードとして選択されるように設定する必要があります。

図 9-4. コンフィギュレーション・デバイスおよび FPGA の JTAG プログラミングとコンフィギュレーション・デバイスおよびダウンロード・ケーブルを使用した FPGA の PS コンフィギュレーションとの組み合わせ

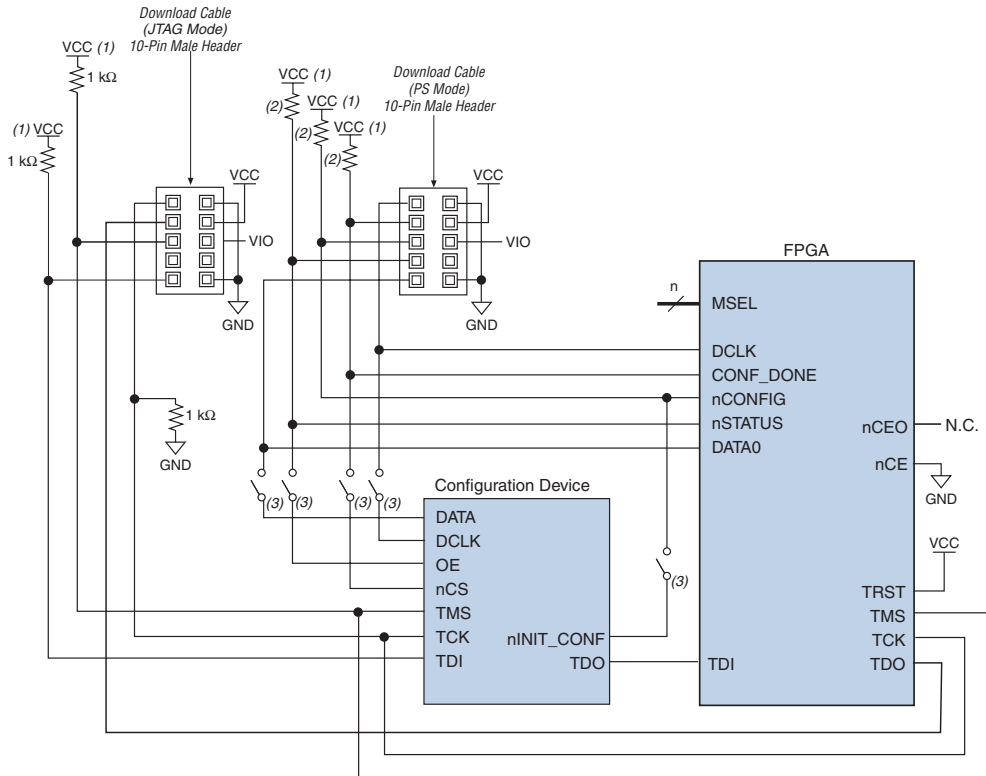


図 9-4 の注：

- (1) V_{CC} は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。APEX 20KE デバイスの場合、nCONFIG を V_{CCINT} にプルアップする必要があります。
- (2) コンフィギュレーション・デバイスの内部プルアップ抵抗を使用する場合、これらのピンで外部プルアップ抵抗を使用してはなりません。
- (3) ダウンロード・ケーブルを使用して FPGA をコンフィギュレーションするには、ソケットからコンフィギュレーション・デバイスを取り外すか、ダウンロード・ケーブルとコンフィギュレーション・デバイスとの間の 5 つの共通信号にスイッチを配置する必要があります。

図 9-1 と 9-4 は、ファースト・パッシブ・パラレル (FPP) モードにも適用されます。ただし、DATA[7..0] はエンハンスト・コンフィギュレーション・デバイスから FPP コンフィギュレーションをサポートする FPGA に接続されます。これに合わせて MSEL ピンを設定する必要があります。

アクティブ・シリアル & JTAG

AS コンフィギュレーション (Stratix II または Cyclone シリーズ・デバイスなど) をサポートするデバイスの場合、AS コンフィギュレーション手法を JTAG ベースのコンフィギュレーションと組み合わせることができます (図 9-5 を参照)。この設定では、ボード上の 2 個の 10 ピン・ダウンロード・ケーブル・ヘッダが使用されます。1 本のダウンロード・ケーブルは JTAG モードで使用され、JTAG インタフェースから直接 Stratix II または Cyclone シリーズ FPGA をコンフィギュレーションします。もう 1 本のダウンロード・ケーブルは AS モードで使用され、AS プログラミング・インタフェースを介してシリアル・コンフィギュレーション・デバイスをイン・システムでプログラムします。MSEL ピンは、AS コンフィギュレーション・モードを選択するように設定する必要があります。この 2 つの手法を同時に使用してデバイスのコンフィギュレーションを試行した場合、JTAG コンフィギュレーションが優先され、AS コンフィギュレーションは終了します。

