

本章では、Arria® II GX デバイス・ファミリの電気的およびスイッチング特性について説明します。

この章は、以下の項で構成されています。

- 1-1 ページの「電気的特性」
- 1-13 ページの「スイッチング特性」
- 1-46 ページの「用語集」

電気的特性

電気的特性については、以下のセクションで説明しています。

動作条件

Arria II GX デバイスを使用するときには、定義された一連のパラメータを守る必要があります。Arria II GX デバイスが持つ性能と信頼性を最高のレベルに維持するには、この章で説明する動作上の項目について十分な配慮が必要です。

Arria II GX デバイスは、コマーシャルおよびインダストリアル温度グレードで提供されています。コマーシャル・グレードのデバイスは、-4（最速）、-5、および -6（最も遅い）のスピード・グレードで提供されています。インダストリアル・デバイスは、-3 および -5 のスピード・グレードで提供されています。



本章で、動作温度範囲に関連したプリフィックスはスピード・グレードに接続されています。コマーシャルでは「C」プリフィックスであり、そしてインダストリアルでは「I」プリフィックスです。したがって、コマーシャル・デバイスは C4、C5、C6 スピード・グレードはとして示され、そしてインダストリアル・デバイスが I3 と I5 として示されます。

絶対最大定格

絶対最大定格絶対最大定格は、Arria II GX デバイスが破壊に耐えうる限界を規定したものであり、デバイスの正常な機能を保証するものではありません。これらの値は、デバイスが破壊に至るまでの理論的なモデル、破壊のメカニズム、デバイス試験結果に基づいています。これらの条件下におけるデバイス機能動作を示すものではありません。表 1-1 に、Arria II GX デバイスの絶対最大定格を示します。



表 1-1 に記載された条件を超えると、デバイスに致命的な損傷を与える可能性があります。また、デバイスを絶対最大定格で長期間動作させると、デバイスに悪影響を与える可能性があります。

表 1-1. Arria GX デバイスの絶対最大定格

シンボル	説明	Min	Max	単位
V_{CC}	コア、周辺、I/O レジスタ、PCI Express® (PIPE) (PCIe) HIP ブロック、およびトランシーバ PCS に電源を供給する	-0.5	1.35	V
V_{CCCB}	コンフィギュレーション RAM ビットに電源を供給する	-0.5	1.8	V
V_{CCBAT}	デザイン・セキュリティ揮発性キー・レジスタ用バッテリ・バックアップ電源電圧	-0.5	3.75	V
V_{CCPD}	I/O プリドライバ、差動入力バッファおよび MSEL 回路に電源を供給する	-0.5	3.75	V
V_{CCIO}	I/O バンクに電源を供給する	-0.5	3.9	V
V_{CCD_PLL}	PLL のデジタル部分に電源を供給する	-0.5	1.35	V
V_{CCA_PLL}	PLL のアナログ部分およびデバイス・ワイドのパワー管理回路に電源を供給する	-0.5	3.75	V
V_I	DC 入力電圧	-0.5	4.0	V
I_{OUT}	ピンあたりの DC 出力電流	-25	40	mA
V_{CCA}	トランシーバ PMA レギュレータに電源を供給する	—	3.75	V
V_{CCL_GXB}	トランシーバ PMA TX、PMA RX、およびクロッキングに電源を供給する	—	1.21	V
V_{CCH_GXB}	トランシーバ PMA 出力 (TX) バッファに電源を供給する	—	1.8	V
T_J	動作ジャンクション温度	-55	125	°C
T_{STG}	保存温度 (バイアスなし)	-65	150	°C

最大許容オーバーシュートおよびアンダーシュート電圧

過渡時には、入力電流が 100 mA 未満、期間が 20 ns 未満であれば、入力信号は表 1-2 に示す電圧までオーバーシュート、および -2.0 V までアンダーシュートが許されます。

表 1-2 に、最大許容入力オーバーシュート電圧とオーバーシュート電圧の期間をデバイス寿命における割合として示します。最大許容オーバーシュート期間は、デバイス寿命における High 時間の割合として規定されます。DC 信号は 100% デューティ・サイクルに相当します。例えば、4.3 V にオーバーシュートする信号は、デバイス寿命の 5.41% の期間のみ 4.3 V になることができます。デバイス寿命が 10 年の場合、これは 1 年の 5.41/10 に相当します。

表 1-2. 過渡期間における最大許容オーバーシュート

シンボル	説明	条件	オーバーシュート期間 (High 時間の %)	単位
V _I (AC)	AC 入力電圧	4.0 V	100.000	%
		4.05 V	79.330	%
		4.1 V	46.270	%
		4.15 V	27.030	%
		4.2 V	15.800	%
		4.25 V	9.240	%
		4.3 V	5.410	%
		4.35 V	3.160	%
		4.4 V	1.850	%
		4.45 V	1.080	%
		4.5 V	0.630	%
		4.55 V	0.370	%
4.6 V	0.220	%		

最大許容 I/O 動作周波数

表 1-3 に、デバイスの信頼性を実現するために指定された I/O 標準で I/O の最大許容 I/O 動作周波数を記載します。

表 1-3. 最大許容 I/O 動作周波数

I/O 規格	I/O 周波数 (MHz)
HSTL-18 および HSTL-15	333
SSTL -15	400
SSTL-18	333
2.5-V LVCMOS	260
3.3-V および 3.0-V LVTTTL	250
3.3-V、3.0-V、1.8-V、および 1.5-V LVCMOS	
PCI および PCI-X	
SSTL-2	
1.2-V LVCMOS HSTL-12	200

推奨動作条件

この項では、Arria II GX デバイスの正常な機能動作を保証するための AC および DC パラメータ範囲について説明します。すべての電源供給は、 t_{RAMP} 内の水平状態にならずにそれらのフル・レール値に単調に達成するために必要です。

表 1-4 に、Arria II GX デバイスの推奨動作条件を示します。

表 1-4. Arria II GX デバイスの推奨動作条件 (注1)

シンボル	説明	説明	Min	Typ	Max	単位
V_{CC}	コア、周辺、I/O レジスタ、PCIe HIP ブロック、およびトランシーバ PCS に電源を供給する	—	0.87	0.90	0.93	V
V_{CCCB}	コンフィギュレーション RAM ビットに電源を供給する	—	1.425	1.50	1.575	V
V_{CCBAT} (2)	デザイン用のバッテリー・バックアップ電源電圧	—	1.2	—	3.3	V
V_{CCPD} (3)	I/O プリドライバ、差動入力バッファおよび MSEL 回路に電源を供給する	—	3.135	3.3	3.465	V
		—	2.85	3.0	3.15	V
		—	2.375	2.5	2.625	V
V_{CCIO}	I/O バンクに電源を供給する (4)	—	3.135	3.3	3.465	V
		—	2.85	3.0	3.15	V
		—	2.375	2.5	2.625	V
		—	1.71	1.8	1.89	V
		—	1.425	1.5	1.575	V
		—	1.14	1.2	1.26	V
V_{CCD_PLL}	PLL のデジタル部分に電源を供給する	—	0.87	0.90	0.93	V
V_{CCA_PLL}	PLL のアナログ部分およびデバイス・ワイドのパワー管理回路に電源を供給する	—	2.375	2.5	2.625	V
V_I	DC 入力電圧	—	-0.5	—	3.6	V
V_O	出力電圧	—	0	—	V_{CCIO}	V
V_{CCA}	トランシーバ PMA レギュレータに電源を供給する	—	2.375	2.5	2.625	V
V_{CCL_GXB}	トランシーバ PMA TX、PMA RX、およびクロッキングに電源を供給する	—	1.045	1.1	1.155	V
V_{CCH_GXB}	トランシーバ PMA 出力 (TX) バッファに電源を供給する	—	1.425	1.5	1.575	V
T_J	動作ジャンクション温度	コマーシャル	0	—	85	C
		インダストリアル	-40	—	100	C
t_{RAMP}	電源ランプ時間	ノーマル POR	0.05	—	100	ms
		ファスト POR	0.05	—	4	ms

表 1-4 の注:


- (1) ピン接続について詳しくは、「[Arria II GX Device Family Pin Connection Guidelines](#)」を参照してください。
- (2) アルテラでは、揮発性キー・バックアップのために、 V_{CCBAT} をバッテリーに接続するとき、3.0-V の公称バッテリー電圧を推奨しています。揮発性セキュリティ・キーを使用しない場合は、 V_{CCBAT} を GND または 3.0-V 電源のいずれかに接続することができます。
- (3) V_{CCPD} は、2.5-V 以下の V_{CCIO} には 2.5-V、3.0-V の V_{CCIO} には 3.0-V、そして 3.3-V の V_{CCIO} には 3.3-V でなければなりません。
- (4) コンフィギュレーション・ピンが存在する V_{CCIO} 3C と 8C の I/O バンクは、3.3-、3.0-、2.5-、または 1.8-V 電圧レベルしかサポートしません。

DC 特性

この項では、供給電流、I/O ピンのリーク電流、On-Chip Termination (OCT) 精度と変動、入力ピンのキャパシタンス、内部ウィーク・プルアップ抵抗とプルダウン抵抗、ホット・ソケットおよびシュミット・トリガ入力の仕様について説明します。

電源電流

スタンバイ電流は、デバイスがコンフィギュレーションされた後、入力または出力トグルがなく、またデバイス内でアクティビティがないときにデバイス内を流れる電流のことです。これらの電流は、使用するリソースに応じて大きく異なるため、Excel ベースの Early Power Estimator (EPE) を使用してデザインの電源電流の見積もりを取得してください。

 消費電力見積もりツールについて詳しくは、「[Arria II GX EPE User Guide](#)」および「[PowerPlay Power Analysis](#)」の章を参照してください。

I/O ピンのリーク電流

表 1-5 に、Arria II GX の I/O ピンのリーク電流の仕様を示します。

表 1-5. Arria II GX デバイスの I/O ピンのリーク電流

シンボル	説明	条件	Min	Typ	Max	単位
I_i	入力ピン	$V_i = 0 \text{ V to } V_{CCIO\text{MAX}}$	-10	—	10	μA
I_{oz}	トライ・ステート I/O ピン	$V_o = 0 \text{ V to } V_{CCIO\text{MAX}}$	-10	—	10	μA

バス・ホールド

バス・ホールドは、それをドライブしているソースがハイ・インピーダンス状態に入るか取り除かれると、最後の有効なロジック状態を保持します。各 I/O ピンには、ユーザー・モードでバス・ホールドをイネーブルするオプションがあります。バス・ホールドは、コンフィギュレーション・モードでは常にディセーブルされます。

表 1-6 に、Arria II GX デバイスのバス・ホールドの仕様を示します。

表 1-6. Arria II GX デバイスのバス・ホールド・パラメータ (注 1)

パラメータ	条件	$V_{CCIO} \text{ (V)}$												単位
		1.2		1.5		1.8		2.5		3.0		3.3		
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Bus-hold low, sustaining current	$V_{IN} > V_{IL} \text{ (max)}$	8	—	12	—	30	—	50	—	70	—	70	—	μA
Bus-hold high, sustaining current	$V_{IN} < V_{IL} \text{ (min)}$	-8	—	-12	—	-30	—	-50	—	-70	—	-70	—	μA
Bus-hold low, overdrive current	$0 \text{ V} < V_{IN} < V_{CCIO}$	—	125	—	175	—	200	—	300	—	500	—	500	μA

表 1-6. Arria II GX デバイスのバス・ホールド・パラメータ (注 1)

パラメータ	条件	V_{CCIO} (V)												単位
		1.2		1.5		1.8		2.5		3.0		3.3		
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Bus-hold high, overdrive current	$0 V < V_{IN} < V_{CCIO}$	—	-125	—	-175	—	-200	—	-300	—	-500	—	-500	μA
Bus-hold trip point	—	0.3	0.9	0.37 5	1.12 5	0.68	1.07	0.7	1.7	0.8	2	0.8	2	V

表 1-6 の注:

(1) バス・ホールドのトリップ・ポイントは、JEDEC 規格から算出した入力電圧に基づきます。

OCT 仕様

表 1-7 に、Arria GX シリーズおよびキャリブレーション精度付き / なしの差動 OCT を示します。

表 1-7. I/O 用のキャリブレーション仕様付き / なし On-Chip Termination (注 1)

シンボル	説明	条件	キャリブレーション精度		単位
			コマーシャル	インダストリアル	
25- Ω R_S 3.0/2.5	キャリブレーションなし 25- Ω 直列 OCT	$V_{CCIO} = 3.0/2.5 V$	± 30	± 40	%
50- Ω R_S 3.0/2.5	キャリブレーションなし 50- Ω 直列 OCT	$V_{CCIO} = 3.0/2.5 V$	± 30	± 40	%
25- Ω R_S 1.8	キャリブレーションなし 25- Ω 直列 OCT	$V_{CCIO} = 1.8 V$	± 40	± 50	%
50- Ω R_S 1.8	キャリブレーションなし 50- Ω 直列 OCT	$V_{CCIO} = 1.8 V$	± 40	± 50	%
25- Ω R_S 1.5/1.2	キャリブレーションなし 25- Ω 直列 OCT	$V_{CCIO} = 1.5/1.2 V$	± 50	± 50	%
50- Ω R_S 1.5/1.2	キャリブレーションなし 50- Ω 直列 OCT	$V_{CCIO} = 1.5/1.2 V$	± 50	± 50	%
25- Ω R_S 3.0/2.5/1.8/ 1.5/1.2	キャリブレーション付き 25- Ω 直列 OCT	$V_{CCIO} =$ 3.0/2.5/1.8/ 1.5/1.2 V	± 10	± 10	%
50- Ω R_S 3.0/2.5/1.8/ 1.5/1.2	キャリブレーション付き 50- Ω 直列 OCT	$V_{CCIO} =$ 3.0/2.5/1.8/ 1.5/1.2 V	± 10	± 10	%

表 1-7. I/O 用のキャリブレーション仕様付き / なし On-Chip Termination (注 1)

シンボル	説明	条件	キャリブレーション精度		単位
			コマーシャル	インダストリアル	
100-Ω R _D 2.5	キャリブレーションなし 100-Ω 差動 OCT	V _{CCIO} = 2.5 V	± 30	± 30	%

表 1-7 の注:

(1) OCT キャリブレーション精度はキャリブレーション時のみ有効です。

OCT キャリブレーションは、OCT がイネーブルされている I/O に対してパワーアップ時に自動的に実行されます。キャリブレーション後に電圧と温度条件が変化するとき、抵抗は変化する場合があります。式 1-1 および表 1-8 を使用して、パワーアップ・キャリブレーション後の OCT の精度を判断します。

式 1-1. OCT 変動 (注 1)

$$R_{OCT} = R_{SCAL} \left(1 + \left\langle \frac{dR}{dT} \times \Delta T \right\rangle \pm \left\langle \frac{dR}{dV} \times \Delta V \right\rangle \right)$$

式 1-1 の注:

- (1) 式 1-1 から計算された R_{OCT} 値は、温度と V_{CCIO} 電圧の変動によって OCT 抵抗の範囲を示します。
- (2) R_{SCAL} はパワーアップでの OCT 抵抗値です。
- (3) ΔT はパワーアップでの温度に関する温度の変動です。
- (4) ΔV はパワーアップでの V_{CCIO} に関する電圧の変動です。
- (5) dR/dT は、温度に伴う R_{SCAL} の変化率です。
- (6) dR/dV は、電圧に伴う R_{SCAL} の変化率です。

表 1-8 に、温度と電圧に伴う OCT のばらつきを示します。

表 1-8. パワーアップ・キャリブレーション後の OCT のばらつき

公称電圧	dR/dT (%/° C)	dR/dV (%/mV)
3.0	0.262	0.035
2.5	0.234	0.039
1.8	0.219	0.086
1.5	0.199	0.136
1.2	0.161	0.288

ピン・キャパシタンス

表 1-9 に、Arria II GX デバイスのピン・キャパシタンスを示します。

表 1-9. Arria II GX デバイスのピン・キャパシタンス

シンボル	説明	Typ	単位
C _{IO}	I/O ピン、兼用ピン (差動 I/O、クロック、R _{up} 、R _{dn}) および専用クロック入力ピンの入力キャパシタンス	7	pF

内部ウィーク・プルアップおよびウィーク・プルダウン抵抗

表 1-10 に、Arria II GX デバイスのウィーク・プルアップおよびウィーク・プルダウン抵抗値を示します。

表 1-10. Arria II GX デバイスの内部ウィーク・プルアップおよびウィーク・プルダウン抵抗 (注 1)

シンボル	説明	条件	Min	Typ	Max	単位
R _{PU}	プログラマブルなプルアップ抵抗のオプションがイネーブルされる時、ユーザー・モードと同様のコンフィギュレーションの前とコンフィギュレーション中の I/O ピンのプルアップ抵抗値	V _{CCIO} = 3.3 V ±5% (2)	7	25	41	kΩ
		V _{CCIO} = 3.0 V ±5% (2)	7	28	47	kΩ
		V _{CCIO} = 2.5 V ±5% (2)	8	35	61	kΩ
		V _{CCIO} = 1.8 V ±5% (2)	10	57	108	kΩ
		V _{CCIO} = 1.5 V ±5% (2)	13	82	163	kΩ
		V _{CCIO} = 1.2 V ±5% (2)	19	143	351	kΩ
R _{PD}	TCK ピンのプルダウン抵抗値	V _{CCIO} = 3.3 V ±5%	6	19	29	kΩ
		V _{CCIO} = 3.0 V ±5%	6	22	32	kΩ
		V _{CCIO} = 2.5 V ±5%	6	25	42	kΩ
		V _{CCIO} = 1.8 V ±5%	7	35	70	kΩ
		V _{CCIO} = 1.5 V ±5%	8	50	112	kΩ

表 1-10 の注:

- すべての I/O ピンには、コンフィギュレーション、テスト、および JTAG ピンを除いて、ウィーク・プルアップ抵抗をイネーブルするオプションがあります。ウィーク・プルダウン機能は JTAG TCK でのみ使用できます。
- 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下することがあります。

ホット・ソケット

表 1-11 に、Arria II GX デバイスのバス・ホールドの仕様を示します。

表 1-11. Arria II GX デバイスのバス・ホールドの仕様

シンボル	説明	Max
I _{IOPIN(DC)}	I/O ピンあたりの DC 電流	300 μA
I _{IOPIN(AC)}	I/O ピンあたりの AC 電流	8 mA (1)
I _{XCVRTX(DC)}	トランシーバ TX ピンあたりの DC 電流	100 mA
I _{XCVRRX(DC)}	トランシーバ RX ピンあたりの DC 電流	50 mA

表 1-11 の注:

- I/O ランプ・レートは 10 ns 以上です。10 ns 未満のランプ・レートの場合、|I_{IOPIN}| = C dv/dt です。ここで、C は I/O ピンのキャパシタンス、dv/dt はスルー・レートです。

シュミット・トリガ入力

Arria II GX デバイスは TDI, TMS, TCK, nSTATUS, nCONFIG, nCE, CONF_DONE, および DCLK ピンにおいてシュミット・トリガ入力をサポートします。シュミット・トリガ機能は、特に低速エッジ・レートがある信号のために、ヒステリシスを、向上したノイズ耐性の入力信号に導入します。表 1-12 は、Arria II GX デバイスに、シュミット・トリガ入力のサポートされた V_{CCIO} 範囲のヒステリシス仕様をリストします。

表 1-12. Arria II GX デバイスのシュミット・トリガ入力ヒステリシスの仕様

シンボル	説明	条件	Min	単位
$V_{Schmitt}$	シュミット・トリガ入力のヒステリシス	$V_{CCIO} = 3.3 V$	220	mV
		$V_{CCIO} = 2.5 V$	180	mV
		$V_{CCIO} = 1.8 V$	110	mV
		$V_{CCIO} = 1.5 V$	70	mV

I/O 規格仕様

表 1-13 ~ 表 1-18 に、Arria II GX デバイスがサポートする各種 I/O 規格の入力電圧 (V_{IH} および V_{IL})、出力電圧 (V_{OH} および V_{OL})、電流ドライブ特性 (I_{OH} および I_{OL}) を示します。そして、Arria II GX デバイス・ファミリの I/O 規格も示します。 V_{OL} および V_{OH} は、それぞれ対応する I_{OH} および I_{OL} の値です。


 表 1-13 ~ 表 1-18 で使用される用語の説明については、1-46 ページの「用語集」を参照してください。

表 1-13 に、Arria II GX デバイスのシングル・エンド I/O 規格を示します。

表 1-13. シングル・エンド I/O 規格 (その 1)

I/O 規格	$V_{CCIO} (V)$			$V_{IL} (V)$		$V_{IH} (V)$		$V_{OL} (V)$	$V_{OH} (V)$	$I_{OL} (mA)$	$I_{OH} (mA)$
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
3.3 V LVTTTL	3.135	3.3	3.465	-0.3	0.8	1.7	3.6	0.45	2.4	4	-4
3.3 V LVCMOS	3.135	3.3	3.465	-0.3	0.8	1.7	3.6	0.2	$V_{CCIO} - 0.2$	2	-2
3.0 V LVTTTL	2.85	3	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.45	2.4	4	-4
3.0 V LVCMOS	2.85	3	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.2	$V_{CCIO} - 0.2$	0.1	-0.1
2.5 V LVCMOS	2.375	2.5	2.625	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	0.4	2	1	-1
1.8 V LVCMOS	1.71	1.8	1.89	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	0.45	$V_{CCIO} - 0.45$	2	-2
1.5 V LVCMOS	1.425	1.5	1.575	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	2	-2
1.2 V LVCMOS	1.14	1.2	1.26	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	2	-2

表 1-13. シングル・エンド I/O 規格 (その 2)

I/O 規格	V _{CCIO} (V)			V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL} (mA)	I _{OH} (mA)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
3.0-V PCI	2.85	3	3.15	—	0.3 × V _{CCIO}	0.5 × V _{CCIO}	V _{CCIO} + 0.3	0.1 × V _{CCIO}	0.9 × V _{CCIO}	1.5	-0.5
3.0-V PCI-X	2.85	3	3.15	—	0.35 × V _{CCIO}	0.5 × V _{CCIO}	V _{CCIO} + 0.3	0.1 × V _{CCIO}	0.9 × V _{CCIO}	1.5	-0.5

表 1-14 に、Arria II GX のシングル・エンド SSTL および HSTL I/O リファレンス電圧仕様を示します。

表 1-14. シングル・エンド SSTL および HSTL I/O リファレンス電圧仕様

I/O 規格	V _{CCIO} (V)			V _{REF} (V)			V _{TT} (V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.49 × V _{CCIO}	0.5 × V _{CCIO}	0.51 × V _{CCIO}	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04
SSTL-18 Class I, II	1.71	1.8	1.89	0.833	0.9	0.969	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04
SSTL-15 Class I, II	1.425	1.5	1.575	0.47 × V _{CCIO}	0.5 × V _{CCIO}	0.53 × V _{CCIO}	0.47 × V _{CCIO}	0.5 × V _{CCIO}	0.53 × V _{CCIO}
HSTL-18 Class I, II	1.71	1.8	1.89	0.85	0.9	0.95	0.85	0.9	0.95
HSTL-15 Class I, II	1.425	1.5	1.575	0.71	0.75	0.79	0.71	0.75	0.79
HSTL-12 Class I, II	1.14	1.2	1.26	0.48 × V _{CCIO}	0.5 × V _{CCIO}	0.52 × V _{CCIO}	—	V _{CCIO} /2	—

表 1-15 に、Arria II GX のシングル・エンド SSTL および HSTL I/O 規格信号仕様を示します。

表 1-15. シングル・エンド SSTL および HSTL I/O 規格信号仕様 (その 1)

I/O 規格	V _{IL(DC)} (V)		V _{IH(DC)} (V)		V _{IL(AC)} (V)	V _{IH(AC)} (V)	V _{OL} (V)	V _{OH} (V)	I _{OL} (mA)	I _{OH} (mA)
	Min	Max	Min	Max	Max	Min	Max	Min		
SSTL-2 Class I	-0.3	V _{REF} - 0.18	V _{REF} + 0.18	V _{CCIO} + 0.3	V _{REF} - 0.35	V _{REF} + 0.35	V _{TT} - 0.57	V _{TT} + 0.57	8.1	-8.1
SSTL-2 Class II	-0.3	V _{REF} - 0.18	V _{REF} + 0.18	V _{CCIO} + 0.3	V _{REF} - 0.35	V _{REF} + 0.35	V _{TT} - 0.76	V _{TT} + 0.76	16.4	-16.4
SSTL-18 Class I	-0.3	V _{REF} - 0.125	V _{REF} + 0.125	V _{CCIO} + 0.3	V _{REF} - 0.25	V _{REF} + 0.25	V _{TT} - 0.475	V _{TT} + 0.475	6.7	-6.7
SSTL-18 Class II	-0.3	V _{REF} - 0.125	V _{REF} + 0.125	V _{CCIO} + 0.3	V _{REF} - 0.25	V _{REF} + 0.25	0.28	V _{CCIO} - 0.28	13.4	-13.4
SSTL-15 Class I	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	V _{CCIO} + 0.3	V _{REF} - 0.175	V _{REF} + 0.175	0.2 × V _{CCIO}	0.8 × V _{CCIO}	8	-8
SSTL-15 Class II	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	V _{CCIO} + 0.3	V _{REF} - 0.175	V _{REF} + 0.175	0.2 × V _{CCIO}	0.8 × V _{CCIO}	16	-16
HSTL-18 Class I	-0.3	V _{REF} - 0.1	V _{REF} + 0.1	V _{CCIO} + 0.3	V _{REF} - 0.2	V _{REF} + 0.2	0.4	V _{CCIO} - 0.4	8	-8

表 1-15. シングル・エンド SSTL および HSTL I/O 規格信号仕様 (その 2)

I/O 規格	$V_{IL(DC)}$ (V)		$V_{IH(DC)}$ (V)		$V_{IL(AC)}$ (V)	$V_{IH(AC)}$ (V)	V_{OL} (V)	V_{OH} (V)	I_{OL} (mA)	I_{OH} (mA)
	Min	Max	Min	Max	Max	Min	Max	Min		
HSTL-18 Class II	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCIO} + 0.3$	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL-15 Class I	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCIO} + 0.3$	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	8	-8
HSTL-15 Class II	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	$V_{CCIO} + 0.3$	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL-12 Class I	-0.15	$V_{REF} - 0.08$	$V_{REF} + 0.08$	$V_{CCIO} + 0.15$	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	8	-8
HSTL-12 Class II	-0.15	$V_{REF} - 0.08$	$V_{REF} + 0.08$	$V_{CCIO} + 0.15$	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	14	-14

表 1-16 に、Arria II GX の差動 SSTL I/O 規格を示します。

表 1-16. 差動 SSTL I/O 規格

I/O 規格	V_{CCIO} (V)			$V_{SWING(DC)}$ (V)		$V_{X(AC)}$ (V)			$V_{SWING(AC)}$ (V)		$V_{OX(AC)}$ (V)		
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Max	Min	Typ	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.36	V_{CCIO}	$V_{CCIO}/2 - 0.2$	—	$V_{CCIO}/2 + 0.2$	0.7	V_{CCIO}	$V_{CCIO}/2 - 0.15$	—	$V_{CCIO}/2 + 0.15$
SSTL-18 Class I, II	1.71	1.8	1.89	0.25	V_{CCIO}	$V_{CCIO}/2 - 0.175$	—	$V_{CCIO}/2 + 0.175$	0.5	V_{CCIO}	$V_{CCIO}/2 - 0.125$	—	$V_{CCIO}/2 + 0.125$
SSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	—	$V_{CCIO}/2$	—	0.35	—	—	$V_{CCIO}/2$	—

表 1-17 に、Arria II GX の HSTL I/O 規格を示します。

表 1-17. 差動 HSTL I/O 規格

I/O 規格	V_{CCIO} (V)			$V_{DIF(DC)}$ (V)		$V_{X(AC)}$ (V)			$V_{CM(DC)}$ (V)			$V_{DIF(AC)}$ (V)	
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Typ	Max	Min	Max
HSTL-18 Class I	1.71	1.8	1.89	0.2	—	0.85	—	0.95	0.88	—	0.95	0.4	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	0.71	—	0.79	0.71	—	0.79	0.4	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.16	—	—	$0.5 \times V_{CCIO}$	—	$0.48 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.52 \times V_{CCIO}$	0.3	—

表 1-18 に、Arria II GX の差動 I/O 規格の仕様を示します。

表 1-18. 差動 I/O 規格の仕様 (注 1)

I/O 規格	V _{CCIO} (V)			V _{TH} (mV)			V _{ICM} (V) (2)			V _{OD} (V) (3)			V _{OS} (V)		
	Min	Typ	Max	Min	条件	Max	Min	条件	Max	Min	Typ	Max	Min	Typ	Max
2.5V LVDS	2.375	2.5	2.625	100	V _{CM} = 1.25 V	—	0.05	D _{max} ≤ 700 Mbps	1.80	0.247	—	0.6	1.125	1.25	1.375
						—	1.05	D _{max} > 700 Mbps	1.55						
RSDS (4)	2.375	2.5	2.625	—	—	—	—	—	—	0.1	0.2	0.6	0.5	1.2	1.4
Mini-LVDS (4)	2.375	2.5	2.625	—	—	—	—	—	—	0.25	—	0.6	1	1.2	1.4
LVPECL (5)	2.375	2.5	2.625	300	—	—	0.6	D _{max} ≤ 700 Mbps	1.8	—	—	—	—	—	—
							1.0	D _{max} > 700 Mbps	1.6						

表 1-18 の注:

- (1) 1.5 V PCML トランシーバ I/O 規格の仕様を 1-14 ページの「トランシーバ性能仕様」で説明します。
- (2) V_{IN} 範囲: 0 ≤ V_{IN} ≤ 1.85 V
- (3) R_L 範囲: 90 ≤ R_L ≤ 110 Ω
- (4) RSDS および mini-LVDS の I/O 規格は、差動出力でのみサポートされます。
- (5) LVPECL 入力規格は、専用クロック入力ピン (GCLK) のみでサポートされます。

Arria II GX デバイスの消費電力

アルテラは、デザインの消費電力を計算する方法として、次の 2 種類の方法を提供しています。

- Excel ベースの Early Power Estimator の使用
- Quartus® II PowerPlay Power Analyzer 機能の使用

インタラクティブな Excel ベースの Early Power Estimator は、通常はデバイスの予測消費電力を得るために FPGA を設計する前に使用されます。Quartus II PowerPlay Power Analyzer は、配置配線が完了した後にデザインの詳細情報を使用して、より精度の高い見積もりを提供します。PowerPlay Power Analyzer は、ユーザー入力情報やシミュレーション結果、および推定されたシグナル・アクティビティの組み合わせを適用し、詳細な回路モデルと組み合わせることができるため、非常に正確な電力の見積もりを行うことが可能です。



消費電力見積もりツールについて詳しくは、「Arria II GX EPE User Guide」および「PowerPlay Power Analysis」の章を参照してください。

スイッチング特性

この項では、Arria II GX コアおよびコマーシャル温度グレード・デバイスの周辺ブロックの性能特性について説明します。

これらの特性は暫定値または最終値として表記されています。

- 暫定値は、シミュレーション結果、プロセス・データ、およびその他の既知のパラメータによって作成されています。
- 最終的な特性は、実際のシリコン特性とテストに基づきます。これらの数値は、ワースト・ケースのシリコン・プロセス、電圧およびジャンクション温度条件におけるデバイスの実際の性能を反映しています。最終の表に表記がありません。

トランシーバ性能仕様

表 1-19 に、Arria II GX のトランシーバ仕様を示します。

表 1-19. Arria II GX デバイスのトランシーバ仕様 (その 1) (注 1)

シンボル / 説明	条件	C4			I3			C5 および I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
リファレンス・クロック														
REFCLK 入力ピンからの入力周波数	—	50	—	622.08	50	—	622.08	50	—	622.08	50	—	622.08	MHz
PLD 入力からの入力周波数	—	50	—	200	50	—	200	50	—	200	50	—	200	MHz
REFCLK ピンの絶対 V_{MAX}	—	—	—	2.2	—	—	2.2	—	—	2.2	—	—	2.2	V
REFCLK ピンの絶対 V_{MIN}	—	-0.3	—	—	-0.3	—	—	-0.3	—	—	-0.3	—	—	V
立ち上がり / 立ち下がり時間 (9)	—	—	—	0.2	—	—	0.2	—	—	0.2	—	—	0.2	UI
デューティ・サイクル	—	45	—	55	45	—	55	45	—	55	45	—	55	%
ピーク・ツー・ピーク差動入力電圧	—	200	—	2000	200	—	2000	200	—	2000	200	—	2000	mV
スペクトラム拡散変調クロック周波数	PCIe	30	—	33	30	—	33	30	—	33	30	—	33	kHz
スペクトラム拡散のダウン拡散	PCIe	—	0 ~ -0.5%	—	—	0 ~ -0.5%	—	—	0 ~ -0.5%	—	—	0 ~ -0.5%	—	—
On-Chip Termination 抵抗	—	—	100	—	—	100	—	—	100	—	—	100	—	Ω
V_{ICM} (AC 結合)	—	1100 ± 5%			1100 ± 5%			1100 ± 5%			1100 ± 5%			mV

表 1-19. Arria II GX デバイスのトランシーバ仕様 (その2) (注1)

シンボル/説明	条件	C4			I3			C5 および I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_{ICM} (DC 結合)	PCIe リファレンス・クロックの HCSL I/O 規格	250	—	550	250	—	550	250	—	550	250	—	550	mV
トランスミッタ REFCLK の位相 ノイズ	10 Hz	—	—	-50	—	—	-50	—	—	-50	—	—	-50	dBc/Hz
	100 Hz	—	—	-80	—	—	-80	—	—	-80	—	—	-80	dBc/Hz
	1 KHz	—	—	-110	—	—	-110	—	—	-110	—	—	-110	dBc/Hz
	10 KHz	—	—	-120	—	—	-120	—	—	-120	—	—	-120	dBc/Hz
	100 KHz	—	—	-120	—	—	-120	—	—	-120	—	—	-120	dBc/Hz
≥ 1 MHz	—	—	-130	—	—	-130	—	—	-130	—	—	-130	dBc/Hz	
R_{ref}	—	—	2000 ± 1%	—	—	2000 ± 1%	—	—	2000 ± 1%	—	—	2000 ± 1%	—	Ω
トランシーバ・クロック														
キャリブレーション・ブロック・クロック周波数	—	10	—	125	10	—	125	10	—	125	10	—	125	MHz
fixedclk クロック周波数	PCIe レシーバ検出	—	125	—	—	125	—	—	125	—	—	125	—	MHz
reconfig_clk クロック周波数	ダイナミックな reconfig クロック周波数	2.5/ 37.5 (10)	—	50	2.5/ 37.5 (10)	—	50	2.5/ 37.5 (10)	—	50	2.5/ 37.5 (10)	—	50	—
reconfig_clks 間のデルタ・タイム (11)	—	—	—	2	—	—	2	—	—	2	—	—	2	ms
トランシーバ・ブロック最小パワー・ダウン・パルス幅	—	—	1	—	—	1	—	—	1	—	—	1	—	μs

表 1-19. Arria II GX デバイスのトランシーバ仕様 (その3) (注1)

シンボル / 説明	条件	C4			I3			C5 および I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
レシーバ														
データ・レート	—	600	—	3750	600	—	6375	600	—	3750	600	—	3125	Mbps
レシーバ・ピンの絶対 V_{MAX} (2)	—	—	—	1.5	—	—	1.5	—	—	1.5	—	—	1.5	V
レシーバ・ピンの絶対 V_{MIN}	—	-0.4	—	—	-0.4	—	—	-0.4	—	—	-0.4	—	—	V
最大ピーク・ツー・ピーク差 動入力電圧 $V_{ID}(\text{diff p-p})$	$V_{ICM} = 0.82 \text{ V}$ 設定	—	—	2.7	—	—	2.7	—	—	2.7	—	—	2.7	V
	$V_{ICM} = 1.1 \text{ V}$ 設定 (3)	—	—	1.6	—	—	1.6	—	—	1.6	—	—	1.6	V
最小ピーク・ツー・ピーク差 動入力電圧 $V_{ID}(\text{diff p-p})$	$V_{ID} = 600$ Mbps ~ 3.75 Gbps	100	—	—	100	—	—	100	—	—	100	—	—	mV
V_{ICM}	$V_{ICM} = 0.82 \text{ V}$ 設定	—	820	—	—	820	—	—	820	—	—	820	—	mV
	$V_{ICM} = 1.1 \text{ V}$ 設定 (3)	—	1100	—	—	1100	—	—	1100	—	—	1100	—	mV
差動 On-Chip Termination 抵抗	100- Ω 設定	—	100	—	—	100	—	—	100	—	—	100	—	Ω
Return loss 差動モード	PCIe	50 MHz ~ 1.25 GHz: -10dB												
	XAUI	100 MHz ~ 2.5 GHz: -10dB												
Return loss コモン・モード	PCIe	50 MHz ~ 1.25 GHz: -6dB												
	XAUI	100 MHz ~ 2.5 GHz: -6dB												
プログラマブル PPM 検出 (4)	—	$\pm 62.5, 100, 125, 200, 250, 300, 500, 1000$												ppm
ラン・レンジス	—	—	80	—	—	80	—	—	80	—	—	80	—	UI
プログラマブル・イコライゼーション	—	—	—	7	—	—	7	—	—	7	—	—	7	dB

表 1-19. Arria II GX デバイスのトランシーバ仕様 (その 4) (注 1)

シンボル / 説明	条件	C4			I3			C5 および I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
信号検出 / 損失 スレッシュホールド	PCIe モード	65	—	175	65	—	175	65	—	175	65	—	175	mV
CDR LTR 時間 (5)	—	—	—	75	—	—	75	—	—	75	—	—	75	μs
CDR 最小 T1b (6)	—	15	—	—	15	—	—	15	—	—	15	—	—	μs
LTD ロック時間 (7)	—	0	100	4000	0	100	4000	0	100	4000	0	100	4000	ns
rx_ freqlocked から のデータ・ ロック時間 (8)	—	—	—	4000	—	—	4000	—	—	4000	—	—	4000	ns
プログラマブル DC ゲイン	DC ゲイン設 定 = 0	—	0	—	—	0	—	—	0	—	—	0	—	dB
	DC ゲイン設 定 = 1	—	3	—	—	3	—	—	3	—	—	3	—	dB
	DC ゲイン設 定 = 2	—	6	—	—	6	—	—	6	—	—	6	—	dB
トランスミッタ														
データ・レート	—	600	—	3750	600	—	6375	600	—	3750	600	—	3125	Mbps
V _{OCM}	0.65 V 設定	—	650	—	—	650	—	—	650	—	—	650	—	mV
差動 On-Chip Termination 抵 抗	100-Ω 設定	—	100	—	—	100	—	—	100	—	—	100	—	Ω
Return loss 差動 モード	PCIe	50 MHz ~ 1.25 GHz: -10dB												
	XAUI	312 MHz ~ 625 MHz: -10dB 625 MHz ~ 3.125 GHz: -10dB/decade slope												
Return loss コモ ン・モード	PCIe	50 MHz ~ 1.25 GHz: -6dB												
立ち上がり時間 (9)	—	50	—	200	50	—	200	50	—	200	50	—	200	ps

表 1-19. Arria II GX デバイスのトランシーバ仕様 (その5) (注1)

シンボル / 説明	条件	C4			I3			C5 および I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
立ち下がり時間	—	50	—	200	50	—	200	50	—	200	50	—	200	ps
差動ペア内ス キュー	—	—	—	15	—	—	15	—	—	15	—	—	15	ps
トランシーバ・ ブロック内ス キュー	PCIe x4	—	—	120	—	—	120	—	—	120	—	—	120	ps
トランシーバ・ ブロック間ス キュー	PCIe x8	—	—	300	—	—	300	—	—	300	—	—	300	ps
CMU PLL0 および CMU PLL1														
CMUPLL _{reset} ディア サーションから の CMU PLL ロッ ク時間	—	—	—	100	—	—	100	—	—	100	—	—	100	μs
PLD トランシーバ・インタフェース														
インタフェー ス・スピード	—	25	—	240	25	—	320	25	—	240	25	—	200	MHz

表 1-19. Arria II GX デバイスのトランシーバ仕様 (その6) (注1)

シンボル/説明	条件	C4			I3			C5 および I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
デジタル・リセット・パルス幅	—	最小は 2 パラレル・クロック・サイクル												

表 1-19 の注:

- (1) AC 結合リンクには、コンフィギュレーション前とコンフィギュレーション間にオン・チップのバイアス回路のスイッチをオフにします。入力仕様がこの期間中に違反されないことを確実にしてください。
- (2) デバイスは、この絶対最大定格での長時間の動作に耐えることはできません。
- (3) 入力シリアル・データ規格が LVDS であり、またリンクが DC 結合の場合は、1.1-V RX V_{ICM} 設定を使用しなければなりません。
- (4) レート・マッチャは、最大 300 ppm をサポートします。
- (5) rx_pll_locked が rx_analogreset ディアサーションから High になるまでに要する時間。図 1-1 を参照してください。
- (6) rx_pll_locked が High になり、rx_locktodata がマニュアル・モードでアサートされる前に、CDR が Lock-To-Reference モードに留まる必要がある時間。図 1-1 を参照してください。
- (7) rx_locktodata 信号がマニュアル・モードでアサートされた後、有効データが回復するのに要する時間。図 1-1 を参照してください。
- (8) rx_freqlocked 信号が自動モードで High になった後、有効なデータを回復するのに要する時間。図 1-2 を参照してください。
- (9) 立ち上がり / 立ち下がり時間は 20% から 80% まで指定されます。
- (10) トランシーバ・チャンネルが Transmitter only モードでコンフィギュレーションされる場合、最小の reconfig_clk 周波数は 2.5 MHz です。トランシーバ・チャンネルが Receiver only モードまたは Receiver and Transmitter モードでコンフィギュレーションされる場合、最小の reconfig_clk 周波数は 37.5 MHz です。詳細は、「AN 558: Implementing Dynamic Reconfiguration in Arria II GX Devices」を参照してください。
- (11) デバイスの同じ側に物理的に配置されたトランシーバ・チャンネル (altgx) をコントロールするために、デザインが複数のダイナミック・リコンフィギュレーション・コントローラ・インスタンス (altgx_reconfig) を使用して、そして altgx_reconfig インスタンスのための種々の reconfig_clk ソースを使用する場合、安定するように 2 つの reconfig_clk ソースの間のデルタ・タイムはリストされた最大の仕様を超えてはいけません。

図 1-1 は、マニュアル・モードでのロック時間パラメータを示しています。


 LTD = lock-to-data、LTR = lock-to-reference

図 1-1. マニュアル・モードのロック時間パラメータ

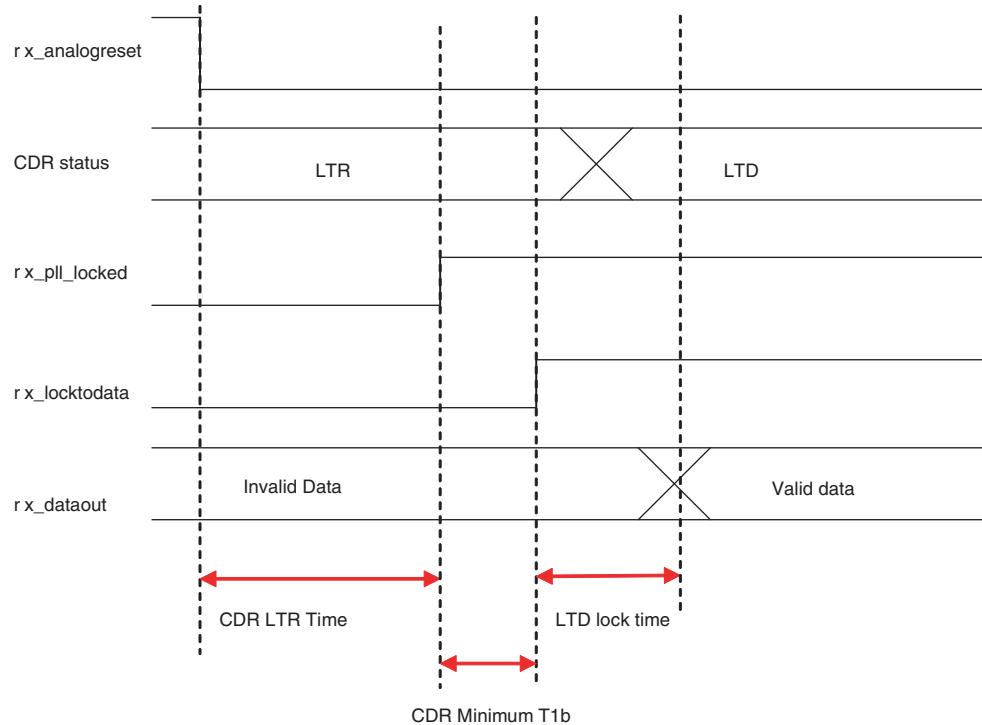


図 1-2 は、自動モードでのロック時間パラメータを示しています。

図 1-2. 自動モードのロック時間パラメータ

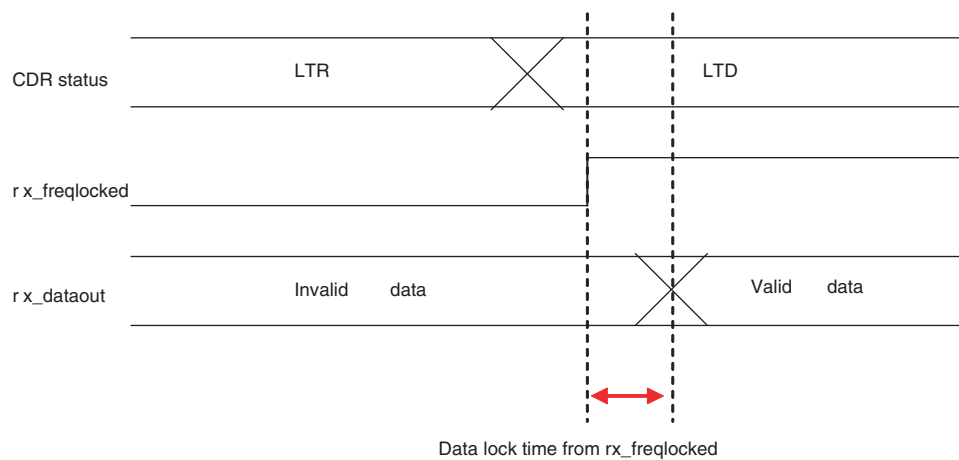


図 1-3 に、差動レシーバ入力の波形を示します。

図 1-3. レシーバ入力の波形

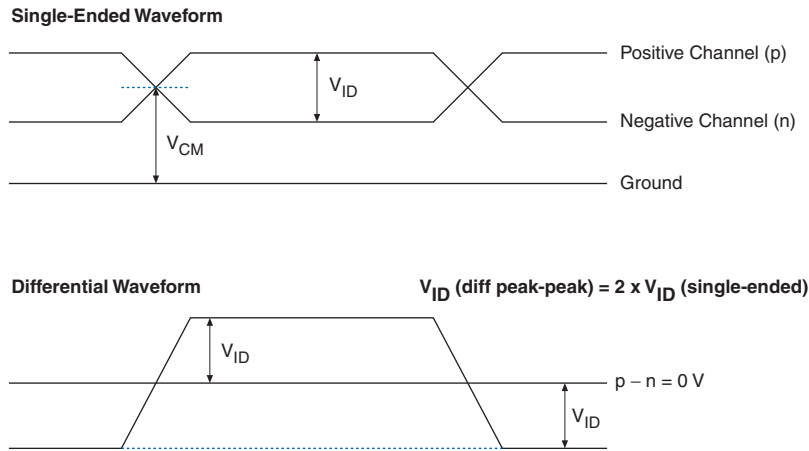


図 1-4 に、トランスミッタ出力の波形を示します。

図 1-4. トランスミッタ出力の波形

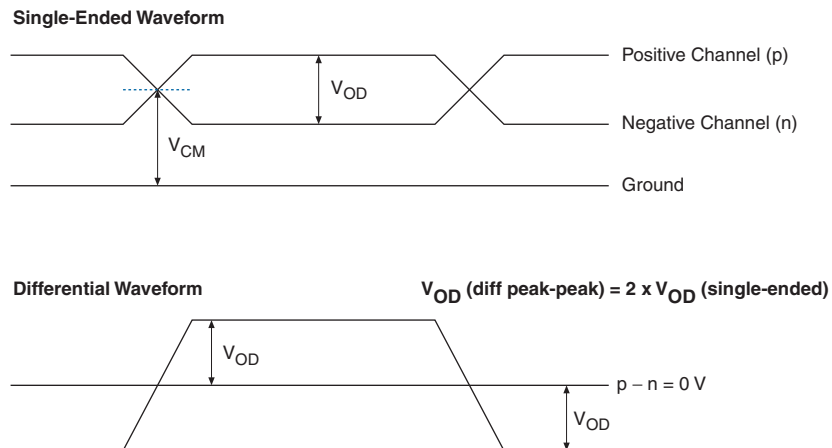


表 1-20 に、100 Ω と等しい TX 用語の標準 V_{OD} を記載します。

表 1-20. 標準 V_{OD} 設定、TX 終端 = 100 Ω

Quartus II 設定	V_{OD} 設定 (mV)
1	400
2	600
4	800
5	900
6	1000
7	1200

表 1-21 に、Arria II GX のトランシーバ・ブロックの AC 仕様を示します。

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 1)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SONET/SDH トランスミット・ジッタ生成 (2)														
622.08 Mbps でのピーク・ツー・ピーク・ジッタ	パターン = PRBS15	—	—	0.1	—	—	0.1	—	—	0.1	—	—	0.1	UI
622.08 Mbps での RMS ジッタ	パターン = PRBS15	—	—	0.01	—	—	0.01	—	—	0.01	—	—	0.01	UI
2488.32 Mbps でのピーク・ツー・ピーク・ジッタ	パターン = PRBS15	—	—	0.1	—	—	0.1	—	—	0.1	—	—	0.1	UI
2488.32 Mbps での RMS ジッタ	パターン = PRBS15	—	—	0.01	—	—	0.01	—	—	0.01	—	—	0.01	UI
SONET/SDH レシーバ・ジッタ許容値 (2)														
622.08 Mbps でのジッタ許容値	ジッタ周波数 = 0.03 KHz パターン = PRBS15	> 15			> 15			> 15			> 15			UI
	ジッタ周波数 = 25 KHz パターン = PRBS15	> 1.5			> 1.5			> 1.5			> 1.5			UI
	ジッタ周波数 = 250 KHz パターン = PRBS15	> 0.15			> 0.15			> 0.15			> 0.15			UI
2488.32 Mbps でのジッタ許容値	ジッタ周波数 = 0.06 KHz パターン = PRBS15	> 15			> 15			> 15			> 15			UI
	ジッタ周波数 = 100 KHz パターン = PRBS15	> 1.5			> 1.5			> 1.5			> 1.5			UI
	ジッタ周波数 = 1 MHz パターン = PRBS15	> 0.15			> 0.15			> 0.15			> 0.15			UI
	ジッタ周波数 = 10 MHz パターン = PRBS15	> 0.15			> 0.15			> 0.15			> 0.15			UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 2)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Fibre Channel トランスミット・ジッタ生成 (3)、(10)														
トータル・ジッタ FC-1	パターン = CRPAT	—	—	0.23	—	—	0.23	—	—	0.23	—	—	0.23	UI
確定的ジッタ FC-1	パターン = CRPAT	—	—	0.11	—	—	0.11	—	—	0.11	—	—	0.11	UI
トータル・ジッタ FC-2	パターン = CRPAT	—	—	0.33	—	—	0.33	—	—	0.33	—	—	0.33	UI
確定的ジッタ FC-2	パターン = CRPAT	—	—	0.2	—	—	0.2	—	—	0.2	—	—	0.2	UI
Fibre Channel レシーバ・ジッタ許容値 (3)、(11)														
確定的ジッタ FC-1	パターン = CJTPAT	> 0.37			> 0.37			> 0.37			> 0.37			UI
ランダム・ジッタ FC-1	パターン = CJTPAT	> 0.31			> 0.31			> 0.31			> 0.31			UI
正弦ジッタ FC-1	Fc/25000	> 1.5			> 1.5			> 1.5			> 1.5			UI
	Fc/1667	> 0.1			> 0.1			> 0.1			> 0.1			UI
確定的ジッタ FC-2	パターン = CJTPAT	> 0.33			> 0.33			> 0.33			> 0.33			UI
ランダム・ジッタ FC-2	パターン = CJTPAT	> 0.29			> 0.29			> 0.29			> 0.29			UI
正弦ジッタ FC-2	Fc/25000	> 1.5			> 1.5			> 1.5			> 1.5			UI
	Fc/1667	> 0.1			> 0.1			> 0.1			> 0.1			UI
XAUI トランスミット・ジッタ生成 (4)														
3.125 Gbps でのトータル・ジッタ	パターン = CJPAT	—	—	0.3	—	—	0.3	—	—	0.3	—	—	0.3	UI
D 3.125 Gbps での確定的ジッタ	パターン = CJPAT	—	—	0.17	—	—	0.17	—	—	0.17	—	—	0.17	UI
XAUI レシーバ・ジッタ許容値 (4)														
トータル・ジッタ	—	> 0.65			> 0.65			> 0.65			> 0.65			UI
確定的ジッタ	—	> 0.37			> 0.37			> 0.37			> 0.37			UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 22.1 KHz	> 8.5			> 8.5			> 8.5			> 8.5			UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 1.875 MHz	> 0.1			> 0.1			> 0.1			> 0.1			UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 20 MHz	> 0.1			> 0.1			> 0.1			> 0.1			UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 3)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
PCIe トランスミット・ジッタ生成 (5)														
2.5 Gbps (Gen1) でのトータル・ジッタ	準拠パターン	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	UI
PCIe レシーバ・ジッタ許容値 (5)														
2.5 Gbps (Gen1) でのトータル・ジッタ	準拠パターン	> 0.6			> 0.6			> 0.6			> 0.6			UI
PCIe (Gen 1) 電気的アイドル検出スレッシュホールド (12)														
VRX-IDLE-DETDIFF (p-p)	準拠パターン	65	—	175	65	—	175	65	—	175	65	—	175	mV
Serial RapidIO® トランスミット・ジッタ生成 (6)														
確定的ジッタ (ピーク・ツー・ピーク)	データ・レート = 1.25, 2.5, 3.125 Gbps パターン = CJPAT	—	—	0.17	—	—	0.17	—	—	0.17	—	—	0.17	UI
トータル・ジッタ (ピーク・ツー・ピーク)	データ・レート = 1.25, 2.5, 3.125 Gbps パターン = CJPAT	—	—	0.35	—	—	0.35	—	—	0.35	—	—	0.35	UI
Serial RapidIO レシーバ・ジッタ許容値 (6)														
確定的ジッタ許容値 (ピーク・ツー・ピーク)	データ・レート = 1.25, 2.5, 3.125 Gbps パターン = CJPAT	> 0.37			> 0.37			> 0.37			> 0.37			UI
確定的およびランダム・ジッタ許容値の組み合わせ (ピーク・ツー・ピーク)	データ・レート = 1.25, 2.5, 3.125 Gbps パターン = CJPAT	> 0.55			> 0.55			> 0.55			> 0.55			UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 4)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 22.1 KHz データ・レート = 1.25, 2.5, 3.125 Gbps パターン = CJPAT	> 8.5			> 8.5			> 8.5			> 8.5			UI
	ジッタ周波数 = 1.875 MHz データ・レート = 1.25, 2.5, 3.125 Gbps パターン = CJPAT	> 0.1			> 0.1			> 0.1			> 0.1			UI
	ジッタ周波数 = 20 MHz データ・レート = 1.25, 2.5, 3.125 Gbps パターン = CJPAT	> 0.1			> 0.1			> 0.1			> 0.1			UI
GIGE トランスミット・ジッタ生成 (7)														
確定的ジッタ (ピーク・ツー・ピーク)	パターン = CRPAT	—	—	0.14	—	—	0.14	—	—	0.14	—	—	0.14	UI
トータル・ジッタ (ピーク・ツー・ピーク)	パターン = CRPAT	—	—	0.27 9	—	—	0.27 9	—	—	0.27 9	—	—	0.27 9	UI
GIGE レシーバ・ジッタ許容値 (7)														
確定的ジッタ許容値 (ピーク・ツー・ピーク)	パターン = CJPAT	> 0.4			> 0.4			> 0.4			> 0.4			UI
確定的およびランダム・ジッタ許容値の組み合わせ (ピーク・ツー・ピーク)	パターン = CJPAT	> 0.66			> 0.66			> 0.66			> 0.66			UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 5)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
HiGig トランスミット・ジッタ生成 (8)														
確定的ジッタ (ピーク・ツー・ピーク)	データ・レート = 3.75 Gbps パターン = CJPAT	—	—	0.17	—	—	0.17	—	—	—	—	—	—	UI
トータル・ジッタ (ピーク・ツー・ピーク)	データ・レート = 3.75 Gbps パターン = CJPAT	—	—	0.35	—	—	0.35	—	—	—	—	—	—	UI
HiGig レシーバ・ジッタ許容値 (8)														
確定的ジッタ許容値 (ピーク・ツー・ピーク)	データ・レート = 3.75 Gbps パターン = CJPAT	> 0.37			> 0.37			—	—	—	—	—	—	UI
確定的およびランダム・ジッタ許容値の組み合わせ (ピーク・ツー・ピーク)	データ・レート = 3.75 Gbps パターン = CJPAT	> 0.65			> 0.65			—	—	—	—	—	—	UI
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 22.1 KHz データ・レート = 3.75 Gbps パターン = CJPAT	> 8.5			> 8.5			—	—	—	—	—	—	UI
	ジッタ周波数 = 1.875 MHz データ・レート = 3.75 Gbps パターン = CJPAT	> 0.1			> 0.1			—	—	—	—	—	—	UI
	ジッタ周波数 = 20 MHz データ・レート = 3.75 Gbps パターン = CJPAT	> 0.1			> 0.1			—	—	—	—	—	—	UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 6)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SDI トランスミッタ・ジッタ生成 (9)														
アラインメント・ジッタ (ピーク・ツー・ピーク)	データ・レート = 1.485 Gbps (HD) パターン = カラー・バー 低周波数ロール・オフ = 100 KHz	0.2	—	—	0.2	—	—	0.2	—	—	0.2	—	—	UI
	データ・レート = 2.97 Gbps (3G) パターン = カラー・バー 低周波数ロール・オフ = 100 KHz	0.3	—	—	0.3	—	—	0.3	—	—	0.3	—	—	UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 7)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SDI レシーバ・ジッタ許容値 (9)														
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 15 KHz データ・レート = 2.97 Gbps (3G) パターン = シングル・ライン・スクランブル・カラー・バー		> 2		> 2		> 2		> 2		> 2		> 2	UI
	ジッタ周波数 = 100 KHz データ・レート = 2.97 Gbps (3G) パターン = シングル・ライン・スクランブル・カラー・バー		> 0.3		> 0.3		> 0.3		> 0.3		> 0.3		> 0.3	UI
	ジッタ周波数 = 148.5 MHz データ・レート = 2.97 Gbps (3G) パターン = シングル・ライン・スクランブル・カラー・バー		> 0.3		> 0.3		> 0.3		> 0.3		> 0.3		> 0.3	UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 8)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 20 KHz データ・レート = 1.485 Gbps (HD) パターン = 75% カラー・バー		> 1			> 1			> 1			> 1		UI
	ジッタ周波数 = 100 KHz データ・レート = 1.485 Gbps (HD) パターン = 75% カラー・バー		> 0.2			> 0.2			> 0.2			> 0.2		UI
	ジッタ周波数 = 148.5 MHz データ・レート = 1.485 Gbps (HD) パターン = 75% カラー・バー		> 0.2			> 0.2			> 0.2			> 0.2		UI
SATA トランスミット・ジッタ生成 (13)														
1.5 Gbps (G1) でのトータル・ジッタ	準拠パターン	—	—	0.55	—	—	0.55	—	—	0.55	—	—	0.55	UI
1.5 Gbps (G1) での確定的ジッタ	準拠パターン	—	—	0.35	—	—	0.35	—	—	0.35	—	—	0.35	UI
3.0 Gbps (G2) でのトータル・ジッタ	準拠パターン	—	—	0.55	—	—	0.55	—	—	0.55	—	—	0.55	UI
3.0 Gbps (G2) での確定的ジッタ	準拠パターン	—	—	0.35	—	—	0.35	—	—	0.35	—	—	0.35	UI
6.0 Gbps (G3) でのトータル・ジッタ	準拠パターン	—	—	0.52	—	—	—	—	—	—	—	—	—	UI
6.0 Gbps (G3) での確定的ジッタ	準拠パターン	—	—	0.18	—	—	—	—	—	—	—	—	—	UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 9)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SATA レシーバ・ジッタ許容値 (13)														
1.5 Gbps (G1) でのトータル・ジッタ許容値	準拠パターン	> 0.65			> 0.65			> 0.65			> 0.65			UI
1.5 Gbps (G1) での確定的ジッタ許容値	準拠パターン	> 0.35			> 0.35			> 0.35			> 0.35			UI
1.5 Gbps (G1) での SSC 変調周波数	準拠パターン	33			33			33			33			kHz
1.5 Gbps (G1) での SSC 変調偏差	準拠パターン	5700			5700			5700			5700			ppm
1.5 Gbps (G1) での RX 差動スキュー	準拠パターン	80			80			80			80			ps
1.5 Gbps (G1) での RX AC コモン・モード電圧	準拠パターン	150			150			150			150			mV
3.0 Gbps (G2) でのトータル・ジッタ許容値	準拠パターン	> 0.65			> 0.65			> 0.65			> 0.65			UI
3.0 Gbps (G2) での確定的ジッタ許容値	準拠パターン	> 0.35			> 0.35			> 0.35			> 0.35			UI
3.0 Gbps (G2) での SSC 変調周波数	準拠パターン	33			33			33			33			kHz
3.0 Gbps (G2) での SSC 変調偏差	準拠パターン	5700			5700			5700			5700			ppm
3.0 Gbps (G2) での RX 差動スキュー	準拠パターン	75			75			75			75			ps
3.0 Gbps (G2) での RX AC コモン・モード電圧	準拠パターン	150			150			150			150			mV
6.0 Gbps (G3) 出のトータル・ジッタ許容値	準拠パターン	> 0.60			> 0.60			> 0.60			> 0.60			UI
6.0 Gbps (G3) でのランダム・ジッタ許容値	準拠パターン	> 0.18			> 0.18			> 0.18			> 0.18			UI
6.0 Gbps (G3) での SSC 変調周波数	準拠パターン	33			33			33			33			kHz
6.0 Gbps (G3) での SSC 変調偏差	準拠パターン	5700			5700			5700			5700			ppm

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 10)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
6.0 Gbps (G3) での RX 差動スキュー	準拠パターン	30			30			30			30			ps
6.0 Gbps (G3) での RX AC コモン・モード電圧	準拠パターン	100			100			100			100			mV
CPRI トランスミット・ジッタ生成 (14)														
トータル・ジッタ	E.6.HV, E.12.HV パターン = CJPAT	—	—	0.279	—	—	0.279	—	—	0.279	—	—	0.279	UI
	E.6.LV, E.12.LV, E.24.LV, E.30.LV パターン = CJTPAT	—	—	0.35	—	—	0.35	—	—	0.35	—	—	0.35	UI
確定的ジッタ	E.6.HV, E.12.HV パターン = CJPAT	—	—	0.14	—	—	0.14	—	—	0.14	—	—	0.14	UI
	E.6.LV, E.12.LV, E.24.LV, E.30.LV パターン = CJTPAT	—	—	0.17	—	—	0.17	—	—	0.17	—	—	0.17	UI
CPRI レシーバ・ジッタ許容値 (14)														
トータル・ジッタ許容値	E.6.HV, E.12.HV パターン = CJPAT	> 0.66			> 0.66			> 0.66			> 0.66			UI
確定的ジッタ許容値	E.6.HV, E.12.HV パターン = CJPAT	> 0.4			> 0.4			> 0.4			> 0.4			UI
トータル・ジッタ許容値	E.6.LV, E.12.LV, E.24.LV, E.30.LV パターン = CJTPAT	> 0.65			> 0.65			> 0.65			> 0.65			UI
	E.60.LV パターン = PRBS31	> 0.6			—			—			—			UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 1 1)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
確定的ジッタ 許容値	E.6.LV, E.12.LV, E.24.LV, E.30.LV パターン = CJTPAT	> 0.37			> 0.37			> 0.37			> 0.37			UI
	E.60.LV パターン = PRBS31	> 0.45			—			—			—			UI
確定的およびランダム・ジッタ 許容値の組み合わせ	E.6.LV, E.12.LV, E.24.LV, E.30.LV パターン = CJTPAT	> 0.55			> 0.55			> 0.55			> 0.55			UI
OBSAI トランスミット・ジッタ生成 (15)														
768 Mbps、 1536 Mbps、お よび 3072 Mbps でのトータル・ ジッタ	REFCLK = 153.6 MHz パターン = CJPAT	—	—	0.35	—	—	0.35	—	—	0.35	—	—	0.35	UI
768 Mbps、 1536 Mbps、お よび 3072 Mbps でのトータル・ ジッタ	REFCLK = 153.6 MHz パターン = CJPAT	—	—	0.17	—	—	0.17	—	—	0.17	—	—	0.17	UI
OBSAI レシーバ・ジッタ許容値 (15)														
768 Mbps、 1536 Mbps、お よび 3072 Mbps での確定的ジッタ 許容値	パターン = CJPAT	> 0.37			> 0.37			> 0.37			> 0.37			UI
768 Mbps、 1536 Mbps、お よび 3072 Mbps での確定的およびランダム・ ジッタ許容値の 組み合わせ	パターン = CJPAT	> 0.55			> 0.55			> 0.55			> 0.55			UI

表 1-21. Arria II GX デバイスのトランシーバ・ブロックの AC 仕様 (注 1) (その 1 2)

シンボル / 説明	条件	I3			C4			C5、I5			C6			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
768 Mbps での正 弦ジッタ許容値	ジッタ周波数 = 5.4 KHz パターン = CJPAT	> 8.5			> 8.5			> 8.5			> 8.5			UI
	ジッタ周波数 = 460.8 KHz ~ 20 MHz パターン = CJPAT	> 0.1			> 0.1			> 0.1			> 0.1			UI
1536 Mbps で の正弦ジッタ 許容値	ジッタ周波数 = 10.9 KHz パターン = CJPAT	> 8.5			> 8.5			> 8.5			> 8.5			UI
	ジッタ周波数 = 921.6 KHz ~ 20 MHz パターン = CJPAT	> 0.1			> 0.1			> 0.1			> 0.1			UI
3072 Mbps で の正弦ジッタ 許容値	ジッタ周波数 = 21.8 KHz パターン = CJPAT	> 8.5			> 8.5			> 8.5			> 8.5			UI
	ジッタ周波数 = 1843.2 KHz ~ 20 MHz パターン = CJPAT	> 0.1			> 0.1			> 0.1			> 0.1			UI

表 1-21: の注

- (1) 専用 refclk ピンは入力基準クロックのドライブに使用されます。規定ジッタ値は記載の条件でのみ有効です。
- (2) SONET/SDH のジッタ値は GR-253-CORE Issue 3 Specification に準拠しています。
- (3) Fibre Channel のジッタ値は FC-PI-4 Specification revision 6.10 に準拠しています。
- (4) XAUI のジッタ値は IEEE802.3ae-2002 Specification に準拠しています。
- (5) PCI Express のジッタ値は PCIe Base Specification 2.0 規格に準拠しています。
- (6) Serial RapidIO® のジッタ値は RapidIO Specification 1.3 規格に準拠しています。
- (7) GIGE のジッタ値は IEEE802.3-2002 規格に準拠しています。
- (8) HiGig のジッタ値は IEEE802.3ae-2002 規格に準拠しています。
- (9) HD-SDI および 3G-SDI のジッタ値は SMPTE292M および SMPTE424M Specifications に準拠しています。
- (10) Fibre Channel トランスミット・ジッタ生成値は δ_T 確率ポイント内の規格に準拠しています。
- (11) Fibre Channel レシーバ・ジッタ許容値は δ_R 解釈の確率ポイント内の規格に準拠しています。
- (12) Arria II PCIe レシーバはこの仕様にアップストリーム・トランスミッタの VTX_CM-DC-ACTIVEIDLE-DELTA は 50 mV 以下のときに準拠しています。
- (13) Serial Advanced Technology Attachment (SATA) のジッタ値は Serial ATA Revision 3.0 Specification に準拠しています。
- (14) Common Public Radio Interface (CPRI) のジッタ値は CPRI Specification V3.0 に準拠しています。
- (15) Open Base Station Architecture Initiative (OBSAI) のジッタ値は OBSAI RP3 Specification V4.1 に準拠しています。

Arria II GX デバイスのコア性能仕様

この章は、クロック・ツリー、PLL (Phase-Locked Loop)、デジタル信号処理 (DSP)、エンベデッド・メモリ、コンフィギュレーション、および JTAG 仕様について説明します。

クロック・ツリー仕様

表 1-22 に、Arria II GX デバイスのクロック・ツリー仕様を示します。

表 1-22. Arria II GX デバイスのクロック・ツリーの性能

クロック・ネットワーク	性能			単位
	I3、C4	C5、I5	C6	
GCLK および RCLK	500	500	400	MHz
PCLK	420	350	280	MHz

PLL 仕様

表 1-23 に、Arria II GX デバイスの PLL 仕様を示します。

表 1-23. Arria II GX デバイスの PLL 仕様 (その 1)

シンボル	説明	Min	Typ	Max	単位
f_{IN}	入力クロック周波数 (右/トップ/ボトムに存在しているクロック入力ピンから) (-4 スピード・グレード)	5	—	670 (1)	MHz
	入力クロック周波数 (右/トップ/ボトムに存在しているクロック入力ピンから) (-5 スピード・グレード)	5	—	622 (1)	MHz
	入力クロック周波数 (右/トップ/ボトムに存在しているクロック入力ピンから) (-6 スピード・グレード)	5	—	500 (1)	MHz
f_{INPFD}	PFD への入力周波数	5	—	325	MHz
f_{VCO}	PLL VCO 動作範囲 (2)	600	—	1,300	MHz
f_{INDUTY}	入力クロックのデューティ・サイクル	40	—	60	%
$f_{EINDUTY}$	外部フィードバック・クロック入力のデューティ・サイクル	40	—	60	%
t_{INCCJ} (3), (4)	入力クロックのサイクル間ジッタ (周波数 ≥ 100 MHz)	—	—	0.15	UI (p-p)
	入力クロックのサイクル間ジッタ (周波数 ≤ 100 MHz)	—	—	± 750	ps (p-p)
f_{OUT}	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-4 スピード・グレード)	—	—	500	MHz
	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-5 スピード・グレード)	—	—	500	MHz
	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-6 スピード・グレード)	—	—	400	MHz
f_{OUT_EXT}	外部クロック出力の出力周波数 (-4 スピード・グレード)	—	—	670 (5)	MHz
	外部クロック出力の出力周波数 (-5 スピード・グレード)	—	—	622 (5)	MHz
	外部クロック出力の出力周波数 (-6 スピード・グレード)	—	—	500 (5)	MHz

表 1-23. Arria II GX デバイスの PLL 仕様 (その 2)

シンボル	説明	Min	Typ	Max	単位
t_{OUTDUTY}	外部クロック出力のデューティ・サイクル (50% に設定した場合)	45	50	55	%
$t_{\text{OUTPJ_DC}}$	専用クロック出力の周期ジッタ ($f_{\text{OUT}} \geq 100$ MHz)	—	—	300	ps (p-p)
	専用クロック出力の周期ジッタ ($f_{\text{OUT}} < 100$ MHz)	—	—	30	mUI (p-p)
$t_{\text{OUTCCJ_DC}}$	専用クロック出力のサイクル間ジッタ ($f_{\text{OUT}} \geq 100$ MHz)	—	—	300	ps (p-p)
	専用クロック出力のサイクル間ジッタ ($f_{\text{OUT}} < 100$ MHz)	—	—	30	mUI (p-p)
$f_{\text{OUTPJ_IO}}$	通常の I/O クロック出力の周期ジッタ ($f_{\text{OUT}} \geq 100$ MHz)	—	—	650	ps (p-p)
	通常の I/O クロック出力の周期ジッタ ($f_{\text{OUT}} < 100$ MHz)	—	—	65	mUI (p-p)
$f_{\text{OUTCCJ_IO}}$	通常の I/O クロック出力のサイクル間ジッタ ($f_{\text{OUT}} \geq 100$ MHz)	—	—	650	ps (p-p)
	通常の I/O クロック出力のサイクル間ジッタ ($f_{\text{OUT}} < 100$ MHz)	—	—	65	mUI (p-p)
$t_{\text{CONFIGPLL}}$	PLL スキャン・チェーンのリコンフィギュレーションに必要な時間	—	3.5	—	SCANCLK サイクル
$t_{\text{CONFIGPHASE}}$	位相シフトのリコンフィギュレーションに必要な時間	—	1	—	SCANCLK サイクル
f_{SCANCLK}	SCANCLK 周波数	—	—	100	MHz
t_{LOCK}	デバイス・コンフィギュレーション終了からロックするのに必要な時間	—	—	1	ms
t_{DLOCK}	動的にロックするのに必要な時間 (任意の非ポストスケール・カウンタ/遅延の切り換えまたはリコンフィギュレーション後)	—	—	1	ms
f_{CLBW}	PLL クローズド・ループ狭帯域幅	—	0.3	—	MHz
	PLL クローズド・ループ中帯域幅	—	1.5	—	MHz
	PLL クローズド・ループ広帯域幅	—	4	—	MHz
$t_{\text{PLL_PSERR}}$	PLL 位相シフトの精度	—	—	±50	ps
t_{ARESET}	areset 信号の最小パルス幅	10	—	—	ns

表 1-23 の注:

- (1) f_{IN} は、I/O f_{MAX} で制限されます。
- (2) Quartus II ソフトウェアのコンパイル・レポートの PLL サマリー・セクションでレポートされた VCO 周波数は、VCO ポスト・スケール・カウンタ値を考慮します。したがって、VCO ポスト・スケール・カウンタの値が 2 の場合、レポートされる周波数は f_{VCO} 仕様よりも低くなります。
- (3) 高い入力ジッタは直接 PLL 出力ジッタに影響します。低い PLL 出力クロック・ジッタを持つのに、200 ps 以下のクリーン・クロック・ソースを提供する必要があります。
- (4) $N = 1$ の場合、 F_{REF} は f_{IN}/N になります。
- (5) この仕様は、PLL の I/O f_{MAX} または f_{OUT} の 2 つのうち、いずれか低い方で制限されます。

DSP ブロック仕様

表 1-24 に、Arria II GX の DSP ブロック性能仕様を示します。

表 1-24. Arria II GX デバイスの DSP ブロック性能仕様 (注 1)

モード	使用リソース	性能				単位
	乗算器数	C4	I3	C5、I5	C6	
9 × 9 ビット乗算器	1	380	310	300	250	MHz
12 × 12 ビット乗算器	1	380	310	300	250	MHz
18 × 18 ビット乗算器	1	380	310	300	250	MHz
36 × 36 ビット乗算器	1	350	270	270	220	MHz
18 × 36 ビット高精度 Multiplier Adder モード	1	350	270	270	220	MHz
18 × 18 ビット乗算アキュムレータ	4	380	310	300	250	MHz
18 × 18 ビット乗算器・加算器	4	380	310	300	250	MHz
18 × 18 ビット乗算器・加算器 (符号付き完全精度)	2	380	310	300	250	MHz
18 × 18 ビット乗算器・加算器 (ループバック付き) (2)	2	275	220	220	180	MHz
36 ビット・シフト (32 ビット・データ)	1	350	270	270	220	MHz
ダブル・モード	1	350	270	270	220	MHz

表 1-24 の注:

- (1) 最大値は、丸めおよび飽和処理を行わない場合の完全パイプライン化ブロックに対するものです。
- (2) 最大値は、ディセーブルされたループバック入力レジスタ、丸めおよび飽和処理を行わない場合、およびディセーブルされたパイプラインと出力レジスタに対するものです。

エンベデッド・メモリ・ブロック仕様

表 1-25 に、Arria II GX のエンベデッド・メモリ・ブロック仕様を示します。

表 1-25. Arria II GX デバイスのエンベデッド・メモリ・ブロック仕様

メモリ	モード	使用リソース		性能				単位
		ALUT	エンベデッド・メモリ	C4	I3	C5、I5	C6	
メモリ・ロジック・アレイ・ブロック (MLAB)	シングル・ポート 64 × 10	0	1	500	450	450	378	MHz
	シンプル・デュアル・ポート 32 × 20 シングル・クロック	0	1	500	270	450	378	MHz
	シンプル・デュアル・ポート 64 × 10 シングル・クロック	0	1	500	428	450	378	MHz

表 1-25. Arria II GX デバイスのエンベデッド・メモリ・ブロック仕様

メモリ	モード	使用リソース		性能				単位
		ALUT	エンベ デッド・ メモリ	C4	I3	C5,I5	C6	
M9K ブロック	シングル・ポート 256 × 36	0	1	400	360	360	310	MHz
	Old Data に設定した Read- During-Write オプション付きシ ングル・ポート 256 × 36 シング ル・ポート	0	1	280	250	250	210	MHz
	シンプル・デュアル・ポート 256 × 36 シングル CLK	0	1	400	360	360	310	MHz
	Old Data に設定した Read- During-Write オプション付きシ ングル・ポート 256 × 36 シング ル CLK	0	1	280	250	250	210	MHz
	トゥルー・デュアル・ポート 512 × 18 シングル CLK	0	1	400	360	360	310	MHz
	Old Data に設定した Read- During-Write オプション付き トゥルー・デュアル・ポート 512 × 18 シングル CLK	0	1	280	250	250	210	MHz
	最小パルス幅 (クロック High 時間)	—	—	850	900	950	1130	ps
	最小パルス幅 (クロック Low 時間)	—	—	690	730	770	920	ps

コンフィギュレーション

表 1-26 に、Arria II GX のコンフィギュレーション・モード仕様を示します。

表 1-26. Arria II GX デバイスのコンフィギュレーション・モード仕様

プログラミング・モード	DCLK 周波数			単位
	Min	Typ	Max	
パッシブ・シリアル	—	—	125	MHz
ファスト・パッシブ・パラレル	—	—	125	MHz
ファスト・アクティブ・シリアル (高速クロック)	17	26	40	MHz
ファスト・アクティブ・シリアル (低速クロック)	8.5	13	20	MHz
ファスト AS モードのリモート・アップデートのみ	—	—	10	MHz

ファスト・パッシブ・パラレル・モードのコンフィギュレーション時間

表 1-27 に、125 MHz でのファスト・パッシブ・パラレル・モードの標準的な Arria II GX コンフィギュレーション時間を示します。

表 1-27. ファスト・パッシブ・パラレルを使用してコンフィギュレーションした Arria II GX デバイスの一般的なコンフィギュレーション時間 (1)

デバイス	時間 (ms)
EP2AGX45	24
EP2AGX65	35
EP2AGX95	35
EP2AGX125	48
EP2AGX190	48
EP2AGX260	79

表 1-27 の注:

(1) 特性評価待ちです。

JTAG 仕様

表 1-28 に、Arria II GX デバイスの JTAG タイミング・パラメータとその値を示します。

表 1-28. Arria II GX デバイスの JTAG タイミング・パラメータと値 (その 1)

シンボル	説明	Min	Max	単位
t_{JCP}	TCK クロックの周期	30	—	ns
t_{JCH}	TCK クロックの High 時間	14	—	ns
t_{JCL}	TCK クロックの Low 時間	14	—	ns
$t_{JPSU (TDI)}$	TDI JTAG ポートのセットアップ時間	1	—	ns
$t_{JPSU (TMS)}$	TMS JTAG ポートのセットアップ時間	3	—	ns
t_{JPH}	JTAG ポートのホールド時	5	—	ns
t_{JPCO}	JTAG ポートの Clock-to-Output	—	11 (1)	ns

表 1-28. Arria II GX デバイスの JTAG タイミング・パラメータと値 (その 2)

シンボル	説明	Min	Max	単位
t_{JPZX}	JTAG ポートのハイ・インピーダンスから有効出力まで	—	14 (1)	ns
t_{JPXZ}	JTAG ポートの有効出力からハイ・インピーダンスまで	—	14 (1)	ns

表 1-28 の注:

(1) 1-ns の加算が必要です。V_{CCIO} 電圧が 3.3 V から 1 ステップ下がるごとに 1 ns の加算が必要です。例えば、TDO I/O バンクの V_{CCIO} が 2.5 V の場合は $t_{PCO} = 12$ ns で、1.8 V の場合は 13 ns です。

チップ・ワイドのリセット (Dev_CLRn) の仕様

表 1-29 に、Arria II GX のチップ・ワイドのリセット (Dev_CLRn) の仕様を示します。

表 1-29. チップ・ワイドのリセット (DEV_CLRn) の仕様

説明	Min	Typ	Max	単位
Dev_CLRn	500	—	—	μs

周辺性能

このセクションは周辺性能、高速 I/O、外部メモリ・インタフェース、および IOE プログラマブル遅延について説明します。

I/O 性能はいくつかのシステム・インタフェース（例えば、高速入出力インタフェース、外部メモリ・インタフェース、および PCI/PCI-X バス・インタフェース）をサポートします。SSTL-18 Class I 終端規格を使用する I/O は、標準的な DDR2 SDRAM メモリ・インタフェース・セットアップで述べられた DDR2 SDRAM インタフェース・スピードに達成できます。3.0、2.5、1.8、または 1.5 LVTTTL/LVCMOS のような汎用 I/O (GPIO) 規格を使用する I/O は、周波数を 10 pF ロードとインタフェースしている標準的な 200 MHz が可能です。



実際の達成可能な周波数はデザインおよびシステム固有要素に依存します。システムの最大の達成可能な周波数を決定するために、特定のデザインとシステム・セットアップに基づく HSPICE/IBIS シミュレーションを実行する必要があります。

高速 I/O 仕様

表 1-30 に、Arria II GX デバイスの高速 I/O タイミングを示します。

表 1-30. Arria II GX デバイスの高速 I/O 仕様 (その 1)

シンボル	条件	C4		I3		C5、I5		C6		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
クロック										
f_{HSCLK_IN} (入力クロック周波数) - ロウ I/O	クロック・ブースト係数、W = 1 ~ 40 (1)	5	670	5	670	5	622	5	500	MHz
f_{HSCLK_IN} (入力クロック周波数) - カラム I/O	クロック・ブースト係数、W = 1 ~ 40 (1)	5	500	5	500	5	472.5	5	472.5	MHz

表 1-30. Arria II GX デバイスの高速 I/O 仕様 (その 2)

シンボル	条件	C4		I3		C5、I5		C6		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
$f_{\text{HCLK_OUT}}$ (出力クロック周波数) - ロウ I/O	—	5	670	5	670	5	622	5	500	MHz
$f_{\text{HCLK_OUT}}$ (出力クロック周波数) - カラム I/O	—	5	500	5	500	5	472.5	5	472.5	MHz
トランスミッタ										
$f_{\text{HSDR_TX}}$ (真の LVDS 出力データ・ レート)	SERDES 係数、 J = 3 ~ 10 (SERDES 専用を 使用)	150	1250 (2)	150	1250 (2)	150	1050 (2)	150	840	Mbps
$f_{\text{HSDR_TX}}$ (真の LVDS 出力データ・レ ート)	SERDES 係数、 J = 4 ~ 10 (SERDES として ロジック・エレ メントを使用)	(3)	945	(3)	945	(3)	840	(3)	740	Mbps
	SERDES 係数、 J = 2 (DDR レジ スタを使用) お よび J = 1 (SDR レジスタを使 用)	(3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)	Mbps
$f_{\text{HSDR_TX_E3R}}$ (エ ミュレートされた LVDS_E_3R 出力 データ・レート) (7)	SERDES 係数、 J = 4 ~ 10	(3)	945	(3)	945	(3)	840	(3)	740	Mbps

表 1-30. Arria II GX デバイスの高速 I/O 仕様 (その 3)

シンボル	条件	C4		I3		C5、I5		C6		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{TX_JITTER} (4)	専用 SERDES を備える真の LVDS (データ・レート 600-1,250 Mbps)	—	175	—	175	—	225	—	300	ps
	専用 SERDES を備える真の LVDS (データ・レート < 600 Mbps)	—	0.105	—	0.105	—	0.135	—	0.18	UI
	SERDES としてロジック・エレメントを備える真の LVDS およびエミュレートされた LVDS_E_3R (データ・レート 600-945 Mbps)	—	260	—	260	—	300	—	350	ps
	SERDES としてロジック・エレメントを備える真の LVDS およびエミュレートされた LVDS_E_3R (データ・レート < 600 Mbps)	—	0.16	—	0.16	—	0.18	—	0.21	UI
t_{TX_DCD}	真の LVDS およびエミュレートされた LVDS_E_3R	45	55	45	55	45	55	45	55	%
t_{RISE} and t_{FALL}	真の LVDS およびエミュレートされた LVDS_E_3R	—	200	—	200	—	225	—	250	ps
TCCS	真の LVDS (5)	—	150	—	150	—	175	—	200	ps
	エミュレートされた LVDS_E_3R	—	200	—	200	—	250	—	300	ps
レシーバ (6)										
トゥルー差動 I/O 規格 - f_{HSDRDP} (データ・レート)	SERDES 係数 J = 3 ~ 10	150	1250	150	1250	150	1050	150	840	Mbps

表 1-30. Arria II GX デバイスの高速 I/O 仕様 (その 4)

シンボル	条件	C4		I3		C5、I5		C6		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
f_{HSDR} (データ・レート)	SERDES 係数 J = 3 ~ 10	(3)	945 (7)	(3)	945 (7)	(3)	740 (7)	(3)	640 (7)	Mbps
	SERDES 係数 J = 2 (DDR レジスタを使用)	(3)	(7)	(3)	(7)	(3)	(7)	(3)	(7)	Mbps
	SERDES 係数 J = 1 (SDR レジスタを使用)	(3)	(7)	(3)	(7)	(3)	(7)	(3)	(7)	Mbps
ソフト CDR PPM 許容値	ソフト CDR モード	—	300	—	300	—	300	—	300	±PPM
DPA ラン・レンジ	DPA モード	—	10,000	—	10,000	—	10,000	—	10,000	UI
SW	非 DPA モード (5)	—	300	—	300	—	350	—	400	ps

表 1-30 の注:

- (1) $f_{\text{HSCLK_IN}} = f_{\text{HSDR}} / W$ 。W を使用して、希望のデータ・レートのために入力基準クロック周波数のサポートしている選択を決定します。
- (2) DPA レシーバへのインタフェースに適用されます。非 DPA レシーバへのインタフェースには、最大サポートされているデータ・レートは 945 Mbps です。840 Mbps を超えて、PCB 配線パターン補正が必要です。PCB 配線パターン補正は、LVDS チャンネルがチャンネル間スキューを向上するように、PCB トレース長の調整を指し、840 Mbps を超えるデータ・レートをサポートすることが必要です。
- (3) 最小仕様は、クロック・ソース (PLL、クロック・ピンなど) および使用されるクロック配線リソース (グローバル、リージョナル、またはローカル) に依存します。差動 I/O バッファおよび入力レジスタには、最小トグル・レートはありません。
- (4) 仕様は、コア・ノイズの影響を受けて適用されます。
- (5) 仕様は、専用 SERDES を使用する真の LVDS のみに適用されます。
- (6) 専用 SERDES および DPA の機能は右のバンクに限り使用できます。
- (7) レシーバでリンク・タイミング・クロージャ分析を実行することによって、残りのタイミング・マージンを計算することを要求されます。ボード・スキュー・マージン、トランスミッタ・チャンネル間スキュー、およびレシーバ・サンプリング・マージンを、残り物タイミング・マージンを考慮する必要があります。

表 1-31 には、Arria II GX デバイスの DPA クロック時間の仕様を示します。

表 1-31. Arria II GX デバイスの DPA クロック時間仕様 (注 1)、(2)、(3)

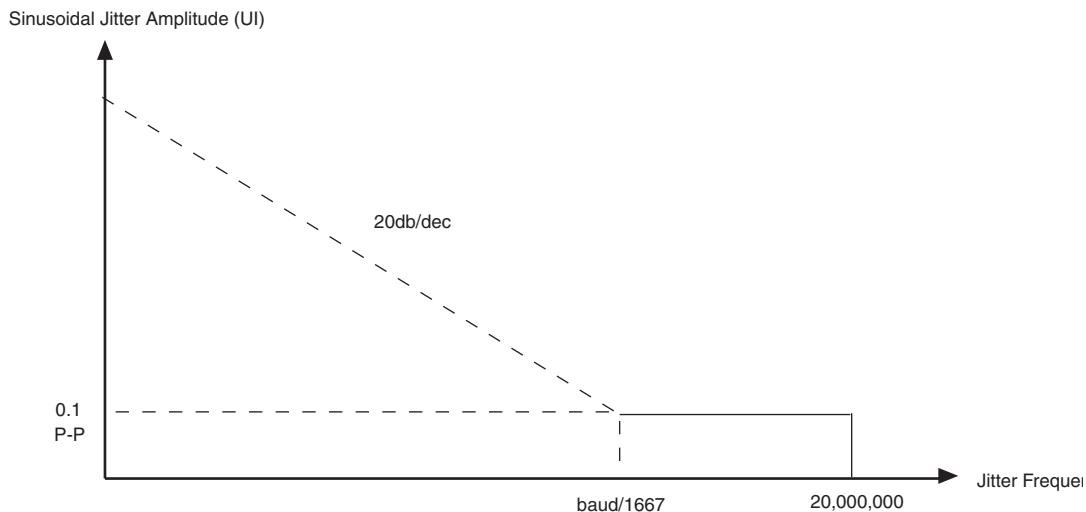
規格	トレーニング・パターン	トレーニング・パターン 1 回中のデータ遷移数	256 データ遷移ごとの反復数 (4)	Max
SPI-4	00000000001111111111	2	128	640 データ遷移
パラレル I/O	00001111	2	128	640 データ遷移
	10010000	4	64	640 データ遷移
その他	10101010	8	32	640 データ遷移
	01010101	8	32	640 データ遷移

表 1-31 の注:

- (1) DPA ロック時間は 1 チャンネルのためです。
- (2) 1 つのデータ変遷は 0- ツー -1 または 1- ツー -0 変遷と定義されます。
- (3) DPA ロック時間は、両方のコマーシャルおよびインダストリアル・グレードに適用されます。
- (4) これは記載トレーニング・パターンが 256 データ変遷を実現する反復数です。

図 1-5 に、LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様を示します。

図 1-5. LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様



外部メモリ・インタフェース仕様

Arria II GX デバイス・ファミリのサポートされている大最大クロック・レートについて詳しくは、「[External Memory Interface System Specifications](#)」を参照してください。

表 1-32 に、Arria II GX デバイスの DLL 周波数範囲の仕様を示します。

表 1-32. Arria II GX デバイスの DLL 周波数範囲の仕様

周波数モード	周波数範囲 (MHz)			分解能 (度)
	C4	I3、C5、I5	C6	
0	60-140	60-130	60-110	22.5
1	80-180	80-170	80-150	30
2	100-220	100-210	100-180	36
3	120-270	120-260	120-220	45
4	160-340	160-310	160-270	30
5	190-410	190-380	190-320	36

表 1-33 に、Arria II GX デバイスのステージあたりの DQS 位相オフセット遅延を示します。

表 1-33. Arria II GX デバイスのステージあたりの DQS 位相オフセット遅延 (注 1)、(2)、(3)

スピード・グレード	Min	Max	単位
C4	7.0	13.0	ps
I3、C5、I5	7.0	15.0	ps
C6	8.5	18.0	ps

表 1-33 の注:

- (1) 位相オフセットの有効設定値は、周波数モード 0 ~ 3 では -64 ~ +63、周波数モード 4 ~ 5 では -32 ~ +31 です。
- (2) 標準値は、最小値と最大値の平均に等しくなります。
- (3) 遅延設定はリニアです。

デューティ・サイクル歪み (DCD) 仕様

表 1-34 に、Arria II GX デバイスのワースト・ケース DCD 仕様を示します。

表 1-34. Arria II GX の I/O ピンのデューティ・サイクル歪み (注 1)

シンボル	C4		I3、C5、I5		C6		単位
	Min	Max	Min	Max	Min	Max	
出力デューティ・サイクル	45	55	45	55	45	55	%

表 1-34 の注:

- (1) DCD 仕様は、PLL からのクロック出力、グローバル・クロック・ツリー、および専用および汎用 I/O ピンをドライブする IOE に適用されます。

IOE プログラマブル遅延

表 1-35 に、個々のポートされている IOE プログラマブル遅延チェーンと共有した遅延を示します。

表 1-35. Arria II GX デバイスの IOE プログラマブル遅延

パラメータ	使用可能な設定 (1)	最小のオフセット (2)	最大のオフセット								単位
			高速モデル			最小のオフセット					
			I3	I5	C4	C4	C5	C6	I3	I5	
出力イネーブル・ピン遅延	7	0	0.413	0.413	0.442	0.713	0.796	0.873	0.814	0.801	ns
出力レジスタから出力ピンまでの遅延	7	0	0.339	0.339	0.362	0.585	0.654	0.722	0.671	0.661	ns
ピンから内部セルまでの入力遅延	52	0	1.494	1.494	1.607	2.520	2.733	2.944	2.895	2.775	ns
ピンから入力レジスタまでの入力遅延	52	0	1.493	1.493	1.607	2.503	2.732	2.944	2.896	2.774	ns
DQS バスから入力レジスタまでの遅延	4	0	0.074	0.074	0.076	0.124	0.147	0.167	0.140	0.147	ns

表 1-35 の注:

- (1) すべての遅延チェーンで使用可能な設定は、ゼロで始まり、指定された最大数の設定で終わります。
- (2) 表で表された最小のオフセットは真性遅延を含みません。

I/O タイミング

アルテラは I/O タイミングを決定する 2 つの方法を提供します。

- Excel ベースの I/O タイミングの使用
- Quartus II タイミング・アナライザの使用

Excel ベースの I/O タイミングはそれぞれのデバイスの集積度およびスピード・グレードにピン・タイミング性能を提供します。データは、FPGA の設計に入る前にリンク・タイミング分析の一部としてタイミング見積もりを得るのに使用できます。Quartus II タイミング・アナライザは、配置配線が完了した後にデザインの詳細情報を使用して、より精度で正確な I/O タイミング・データに提供します。



Excel ベースの I/O タイミングのスプレッドシートは「[Arria II GX Devices Literature](#)」ウェブページからダウンロードできます。

用語集

表 1-36 に、本章の用語集を示します。

表 1-36. 用語 (その 1)

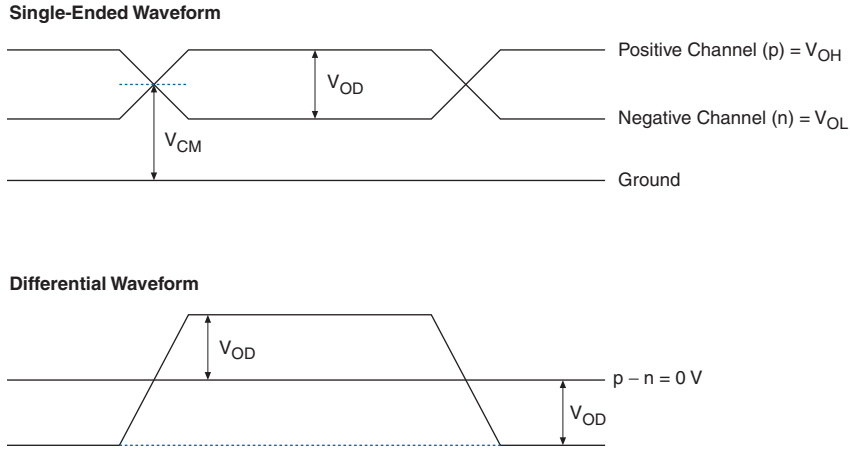
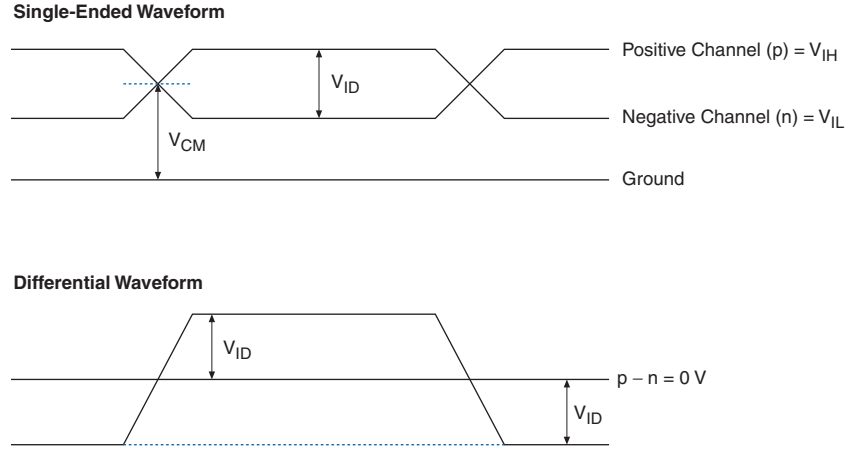
文字	用語	定義
A	—	—
B	—	—
C	—	—
D	差動 I/O 規格	<p>レシーバ入力波形</p>  <p>Single-Ended Waveform</p> <p>Positive Channel (p) = V_{OH}</p> <p>Negative Channel (n) = V_{OL}</p> <p>Ground</p> <p>Differential Waveform</p> <p>V_{OD}</p> <p>$p - n = 0V$</p> <p>V_{OD}</p> <p>トランスミッタ出力波形</p>  <p>Single-Ended Waveform</p> <p>Positive Channel (p) = V_{IH}</p> <p>Negative Channel (n) = V_{IL}</p> <p>Ground</p> <p>Differential Waveform</p> <p>V_{ID}</p> <p>$p - n = 0V$</p> <p>V_{ID}</p>
E	—	—
F	f_{HSCLK}	左/右の PLL 入力クロック周波数。
	f_{HSDR}	高速 I/O ブロック :LVDS の最大/最小データ転送レート ($f_{HSDR} = 1/TUI$)、非 DPA
	f_{HSRDPA}	高速 I/O ブロック :LVDS の最大/最小データ転送レート ($f_{HSRDPA} = 1/TUI$)、DPA

表 1-36. 用語 (その 2)

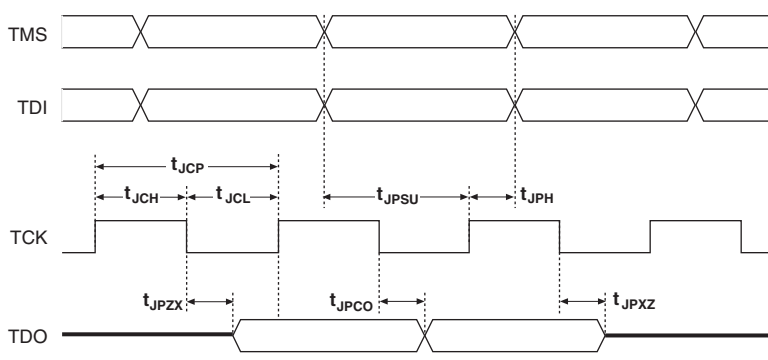
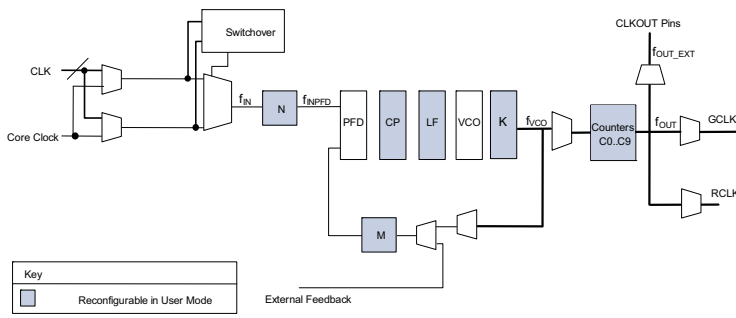
文字	用語	定義
G	—	—
H	—	—
I	—	—
J	J	高速 I/O ブロック: デシリアライゼーション・ファクタ (パラレル・データ・バスの幅)。
	JTAG タイミング仕様	<p>JTAG タイミング仕様:</p> 
K	—	—
L	—	—
M	—	—
N	—	—
O	—	—
P	PLL 仕様	<p>PLL 仕様パラメータ: PLL 仕様の仕様 (1)</p>  <p>注: (1) CoreClock は、専用のクロック入力ピンまたは PLL 出力によってのみ供給することができます。</p>
	Q	—
R	R _L	レシーバ差動入力ディスクリット抵抗値 (ArriaGX デバイスの外部)。

表 1-36. 用語 (その 3)

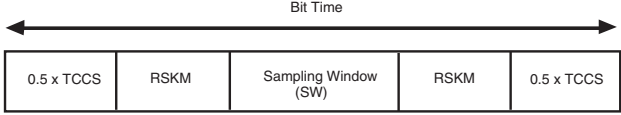
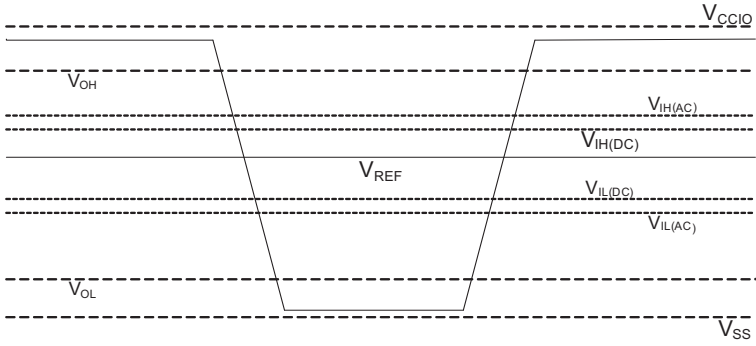
文字	用語	定義
S	SW (サンプリング・ウィンドウ)	<p>データを正しくキャプチャするために、データが有効でなければならない期間。サンプリング・ウィンドウ内の理想的なストロブ位置は、セットアップ時間およびホールド時間によって決まります。</p> <p>タイミング図</p> 
	シングル・エンド電圧リファレンス形式の I/O 規格	<p>SSTL および HSTL I/O 規格の JEDEC 規格は、AC および DC 入力信号値を定義します。AC 値は、レシーバがタイミング仕様を満たす必要がある電圧レベルを示します。DC 値は、レシーバの最終的なロジック状態が明確に定義される電圧レベルを示します。レシーバ入力がある AC 値を超えると、レシーバは新しいロジック状態に変化します。</p> <p>その後、入力が AC スレッショルドを超えている限り、新しいロジック状態が維持されます。このアプローチは、入力波形にリングングがある状態で、予測可能なレシーバのタイミングを提供することを目的としています。</p> <p>シングル・エンド電圧リファレンス形式の I/O 規格</p> 
T	t_c	高速レシーバおよびトランスミッタの入力および出力クロック周期。
	TCCS (チャネル間スキュー)	同じ PLL でドライブされるチャネル全域に、 t_{co} のばらつきやクロック・スキューなど、最速および最低速出力エッジ間のタイミングの差。クロックは TCCS 測定に含まれています (この表の SW (サンプリング・ウィンドウ) のタイミング図を参照)。
	t_{DUTY}	<p>高速 I/O ブロック: 高速トランスミッタ出力クロックのデューティ・サイクル。</p> <p>Timing Unit Interval (TUI)</p> <p>スキュー、伝播遅延、およびデータ・サンプリング・ウィンドウのために許容されるタイミング・バジェット。</p> <p>($TUI = 1 / (\text{レシーバ入力クロック周波数低倍係数}) = t_c / w$)</p>
	t_{FALL}	信号の High から Low への遷移時間 (80-20%)
	t_{INCCJ}	PLL クロック入力のサイクル間ジッタ許容値。
	t_{OUTPJ_IO}	PLL でドライブされる汎用 I/O の周期ジッタ。
	t_{OUTPJ_DC}	PLL でドライブされる専用クロック出力の周期ジッタ。
t_{RISE}	信号の Low から High への遷移時間 (20-80%)。	
U	—	—

表 1-36. 用語 (その 4)

文字	用語	定義
V	$V_{CM(DC)}$	DC コモン・モード入力電圧。
	V_{ICM}	入力コモン・モード電圧: レシーバにおける差動信号のコモン・モード。
	V_{ID}	入力差動電圧振幅: レシーバにおける差動伝送の正入力とコンプリメンタリ入力間の電圧の差。
	$V_{DIF(AC)}$	AC 差動入力電圧: スイッチングに必要な最小 AC 入力差動電圧。
	$V_{DIF(DC)}$	DC 差動入力電圧: スイッチングに必要な最小 DC 入力差動電圧。
	V_{IH}	入力 High レベル電圧: デバイスがロジック High として受け入れる、入力に印加される最小正電圧。
	$V_{IH(AC)}$	入力 High レベル AC 電圧。
	$V_{IH(DC)}$	入力 High レベル DC 電圧。
	V_{IL}	入力 Low レベル電圧: デバイスがロジック Low として受け入れる、入力に印加される最大正電圧。
	$V_{IL(AC)}$	入力 Low レベル AC 電圧。
	$V_{IL(DC)}$	入力 Low レベル DC 電圧。
		V_{OCM}
	V_{OD}	出力差動電圧振幅: トランスミッタにおける差動伝送の正出力とコンプリメンタリ出力間の電圧の差。
W	W	高速 I/O ブロック: クロック・ブースト・ファクタ。
X	—	—
Y	—	—
Z	—	—

改訂履歴

表 1-37 に、本資料の改訂履歴を示します。

表 1-37. 改訂履歴

日付	バージョン	変更内容
2010年7月	3.0	<ul style="list-style-type: none"> ■ 表 1-1、表 1-4、表 1-16、表 1-19、表 1-21、表 1-23、表 1-25、表 1-26、表 1-30、および表 1-35 を更新。 ■ 表 1-27 および表 1-29 を追加。 ■ 表 1-19、表 1-21、表 1-22、表 1-24、表 1-25、表 1-30、表 1-32、表 1-33、表 1-34、および表 1-35 に I3 スピード・グレード情報を追加。 ■ 「動作条件」を追加。 ■ 表 1-19、表 1-21、表 1-22、表 1-23、表 1-24、表 1-25、表 1-26、表 1-28、表 1-30、表 1-32、表 1-33、表 1-34、および図 1-4 から、暫定版の注を削除。 ■ テキストのマイナーな編集。
2010年3月	2.3	<p>Quartus II v9.1 SP2 リリースの更新。</p> <ul style="list-style-type: none"> ■ 表 1-3、表 1-7、表 1-19、表 1-21、表 1-22、表 1-24、表 1-25、および表 1-33 を更新。 ■ 「推奨動作条件」の項を更新。 ■ テキストのマイナーな編集。
2010年2月	2.2	<p>表 1-19 を更新。</p>
2010年2月	2.1	<p>Arria II GX v9.1 SP1 リリースの更新。</p> <ul style="list-style-type: none"> ■ 表 1-19、表 1-23、表 1-28、表 1-30、および表 1-33 を更新。 ■ 図 1-5 を追加。 ■ テキストのマイナーな編集。
2009年11月	2.0	<p>Arria II GX v9.1 リリースの更新。</p> <ul style="list-style-type: none"> ■ 表 1-1、表 1-4、表 1-13、表 1-14、表 1-19、表 1-15、表 1-22、表 1-24、および表 1-28 を更新。 ■ 表 1-6 および表 1-33 を追加。 ■ 「バス・ホールド」の項を追加。 ■ 「IOE プログラマブル遅延」の項を追加。 ■ テキストのマイナーな編集。
2009年6月	1.2	<ul style="list-style-type: none"> ■ 表 1-1、表 1-3、表 1-7、表 1-8、表 1-18、表 1-23、表 1-25、表 1-26、表 1-29、表 1-30、表 1-31、表 1-32、および表 1-33 を更新。 ■ 表 1-32 を追加。 ■ 式 1-1 を更新。
2009年3月	1.1	<p>「I/O タイミング」の項を追加。</p>
2009年2月	1.0	<p>初版。</p>