

この章では、Arria® II GX デバイスに複数のプロトコルおよびデータレートの設定を説明します。Arria II GX デバイスの各トランシーバ・チャンネルは、個別のデータ・レートまたはプロトコル・モードで動作可能です。各トランシーバ・チャンネル内のトランスミッタおよびレシーバ・チャンネルは、異なるデータ・レートで動作可能です。各トランシーバ・ブロックは、そのブロック内のすべてのトランスミッタ・チャンネルにクロックを供給する 2 個のクロック・マルチプライヤ・ユニット (CMU PLL (Phase-Locked Loop)) で構成されています。各レシーバ・チャンネルは、専用のクロック・データ・リカバリ (CDR) 機能を備えています。

この章は、以下の項で構成されています。

- 3-1 ページの「トランシーバ PLL コンフィギュレーション」
- 3-2 ページの「トランシーバ・チャンネルのインスタンスの作成」
- 3-2 ページの「チャンネルを結合するための一般要件」
- 3-3 ページの「CMU PLL の共有」
- 3-9 ページの「Receiver Only チャンネルの結合」
- 3-10 ページの「トランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスの結合」
- 3-13 ページの「プロトコル機能モードでコンフィギュレーションされたチャンネルの結合」
- 3-15 ページの「PLL カスケード・クロックを使用するトランシーバ・インスタンスの結合」
- 3-16 ページの「複数のトランシーバ・ブロック内でのトランシーバ・インスタンスの結合」
- 3-18 ページの「概要」

## トランシーバ PLL コンフィギュレーション

トランシーバ・ブロック内の 2 個の CMU PLL の 1 つを使用するように、各トランスミッタ・チャンネルをコンフィギュレーションできます。さらに、各トランスミッタ・チャンネルには、CMU PLL のクロック出力を分周して、フィジカル・コーディング・サブレイヤ (PCS) 機能ブロックとフィジカル・メディア・アタッチメント (PMA) 機能ブロックに、高速シリアル・クロックと低速パラレル・クロックを供給するローカル・ディバイダ (1/1、1/2、または 1/4) があります。

レシーバ・チャンネル内の RX CDR を個別データ・レートにコンフィギュレーションして、独立した入力基準クロックを供給することができます。各レシーバ・チャンネルは、RX CDR の高速クロック出力を分周し、PCS 機能ブロックと PMA 機能ブロックにクロックを供給するローカル・ディバイダも備えています。トランシーバ・チャンネルの設定を可能にするために、Quartus® II ソフトウェアは、ALTGX MegaWizard™ Plug-In Manager インタフェースを提供しています。ALTGX MegaWizard Plug-In Manager により、**Receiver and Transmitter** コンフィギュレーション、**Receiver Only** コンフィギュレーション、および **Transmitter Only** コンフィギュレーションで、1 本または複数のトランシーバ・チャンネルをインスタンス化することができます。

## トランシーバ・チャンネルのインスタンスの作成

ALTX MegaWizard Plug-In Manager の **General** 画面で、複数のトランシーバ・チャンネルをインスタンス化できます。

- **What is the number of channels?** オプションで、必要な値を選択します。この方法では同じコンフィギュレーションを持つトランシーバ・チャンネルが作成されます。例については、3-16 ページの「複数のトランシーバ・ブロック内でのトランシーバ・インスタンスの結合」を参照してください。
- **What is the number of channels?** オプションで、**1** を選択し、1 本のチャンネルのトランシーバ・インスタンスを作成します。同じコンフィギュレーションを持つ追加トランシーバ・チャンネルをインスタンス化するには、作成された ALTX インスタンスを複数回スタンプします。異なるコンフィギュレーションを持つ追加トランシーバ・チャンネルが必要な場合は、設定が異なる ALTX メガファンクションを個別に作成して、デザインで使用します。

上記の方法でインスタンスを作成するときは、同じトランシーバ・ブロック内に最大 4 本のトランシーバ・チャンネルを強制的に配置することができます。これはチャンネル・インスタンスの tx\_dataout ポートと rx\_datain ポートを 1 つのトランシーバ・バンクに割り当てることによって実現されます。tx\_dataout ポートと rx\_datain ポートにピンを割り当てなかった場合、Quartus II ソフトウェアはデフォルトのピン・アサインメントを選択します。Quartus II ソフトウェアは、複数のチャンネル・インスタンスが特定の要件を満たす場合は、デザインのコンパイル時にそれらを同じトランシーバ・ブロック内で結合します。以下の項では、さまざまなトランシーバ・コンフィギュレーションに対するこれらの要件について説明します。

## チャンネルを結合するための一般要件

Quartus II ソフトウェアは、複数の ALTX インスタンスの作成時に、それらを同じトランシーバ・ブロック内またはデバイスの同じサイドにある複数のトランシーバ・ブロックで結合するために、以下のパラメータと信号に同じ側を設定することを要求します。これらの要件については、以下の項で説明しています。


## コントロール信号


gxb\_powerdown ポートは、ALTX MegaWizard Plug-In Manager でイネーブ爾できるオプションのポートです。イネーブ爾されている場合、ALTX インスタンス内の gxb\_powerdown ポートを同じロジックまたは同じ入力ピンからドライブして、Quartus II ソフトウェアがこれらのポートを同じトランシーバ・ブロックに割り当てることができるようにする必要があります。gxb\_powerdown ポートをディセーブ爾すると、Quartus II ソフトウェアはそのポートをグラウンドに接続します。

## キャリブレーション・クロックおよびキャリブレーション・パワー・ダウン

Arria II GX デバイスの各キャリブレーション・ブロックは、複数のトランシーバ・ブロックによって共有されます。

デザインで複数のトランシーバ・ブロックが使用される場合、選択されたトランシーバ・バンクに応じて、すべてのチャンネル・インスタンスの cal\_blk\_clk ポートと cal\_blk\_powerdown ポートを同じ入力ピンまたはロジックに接続する必要があります。


 キャリブレーション・ブロックおよび特定のキャリブレーション・ブロックに接続されるトランシーバ・バンクについては、「[Arria II GX Transceiver Architecture](#)」の章の「Calibration Blocks」の項を参照してください。

 `cal_blk_powerdown` ポートをアサートすると、キャリブレーション・ブロックに接続されたすべてのトランシーバ・チャンネルのキャリブレーションに影響を与えます。

## CMU PLL の共有

各 Arria II GX トランシーバ・ブロックには、2 個の CMU PLL があります。複数のトランシーバ・チャンネルのインスタンスを作成して、それらを同じトランシーバ・ブロック内で結合するとき、Quartus II ソフトウェアは、1 個の CMU PLL でチャンネル・インスタンスの送信側にクロック出力を供給できるかどうかをチェックします。1 個の CMU PLL では不十分な場合、Quartus II ソフトウェアは 2 個の CMU PLL を使用してチャンネル・インスタンスの結合を試みます。チャンネル・インスタンスを結合できない場合、Quartus II ソフトウェアは Fitter エラーを発行します。

以下の 2 つの項では、Quartus II ソフトウェアで CMU PLL を共有可能にするための ALTGX インスタンス要件について説明します。

 あるトランシーバ・ブロック内で使用可能な 2 個の CMU PLL を共有できるのは、同じトランシーバ・ブロック内で結合されたチャンネルに限られます。

## 複数のチャンネルによる 1 個の CMU PLL の共有

Quartus II ソフトウェアで複数のチャンネルに同じ CMU PLL を共有できるようにするには、チャンネル・インスタンス化の際に以下のパラメータを同じにする必要があります。

- ベース・データ・レート (CMU PLL はこのデータ・レートでコンフィギュレーションされます)
- CMU PLL 帯域幅の設定
- 基準クロック周波数
- 入力基準クロックピン
- ALTGX インスタンスの `p11_powerdown` ポートを同じロジックからドライブする必要があります

各チャンネル・インスタンスは、異なるローカル・ディバイダ設定を持つことができます。異なる設定はトランシーバ・ブロック内の各チャンネルを、ローカル・ディバイダ値 1/1、1/2、および 1/4 を使用して、同じベース・データ・レートから派生した異なるデータ・レートで動作させるときに有用です。これは、[例 1](#) に示されます。

### 例 1

同じトランシーバ・ブロックにある **Receiver and Transmitter** コンフィギュレーションの 4 つのインスタンスを持つデザインを、以下のシリアル・データ・レートで検討します。各インスタンスに 1 本のチャンネルがあり、これが同じクロック・ソースからドライブされ、CMU PLL 帯域幅の設定も同じであると仮定します。

表 3-1 に、例 1 のコンフィギュレーションを示します。

表 3-1. 例 1 のコンフィギュレーション

ユーザーが作成したインスタンス名	ALTGX MegaWizard Plug-In Manager の設定		
	チャンネル数	コンフィギュレーション	有効データ・レート
inst0	1	レシーバおよびトランスミッタ	3.75 Gbps
inst1	1	レシーバおよびトランスミッタ	0.9375 Gbps
inst2	1	レシーバおよびトランスミッタ	1.875 Gbps
inst3	1	レシーバおよびトランスミッタ	3.75 Gbps

1 個の CMU PLL が 4 本すべてのチャンネルで共用できます。

- 1 個の CMU PLL が 3.75 Gbps で動作するようにコンフィギュレーションできます。
- 各チャンネルで、ローカル・ディバイダを使用して CMU PLL クロック出力を分周して、3.75 Gbps、1.875 Gbps、および 0.9375 Gbps の必要なデータ・レートを達成できます。各レシーバ・チャンネルは専用 CDR を備えているため、各インスタンスの受信側を制約なしでこれら 3 つのデータ・レートに合わせて設定できる。

以下のステップでは、コンフィギュレーションを達成する方法を示します。

Quartus II ソフトウェアで、1 個の CMU PLL を 4 本すべてのチャンネルで共用できるようにするには、ALTGX MegaWizard Plug-In Manager の **General** 画面に示す値を設定します。

- inst0 に対して：
  - **What is the effective data rate?** を 3.75 Gbps に設定する。
  - **Specify base data rate** を 3.75 Gbps に設定する。
- inst1 に対して：
  - **What is the effective data rate?** を 1.875 Gbps に設定する。
  - **Specify base data rate** を 3.75 Gbps に設定する。
- inst2 に対して：
  - **What is the effective data rate?** を 0.9375 Gbps に設定する。
  - **Specify base data rate** を 3.75 Gbps に設定する。
- inst3 に対して：
  - **What is the effective data rate?** を 3.75 Gbps に設定する。
  - **Specify base data rate** を 3.75 Gbps に設定する。



**Specify base data rate** オプションは、4 つのすべてのインスタンスに対して 3.75 Gbps です。CMU PLL 帯域幅の設定と入力基準クロックが同じ、かつ pll\_powerdown ポートが同じロジックまたはピンからドライブされる場合、Quartus II ソフトウェアは 3.75 Gbps で動作する 1 個の CMU PLL を共用します。

tx\_dataout および rx\_datain にピンを割り当てることにより、複数のトランシーバ・チャンネルを特定のトランシーバ・ブロックに強制的に配置できます。ピンを割り当てなかった場合、Quartus II ソフトウェアはトランシーバ・ブロックを選択します。

図 3-1 に、Quartus II ソフトウェアがトランシーバ・チャンネルのインスタンスを結合する前と後のシナリオを示します。RX CDR はチャンネル間で共有されないため、CMU PLL のみ示します。


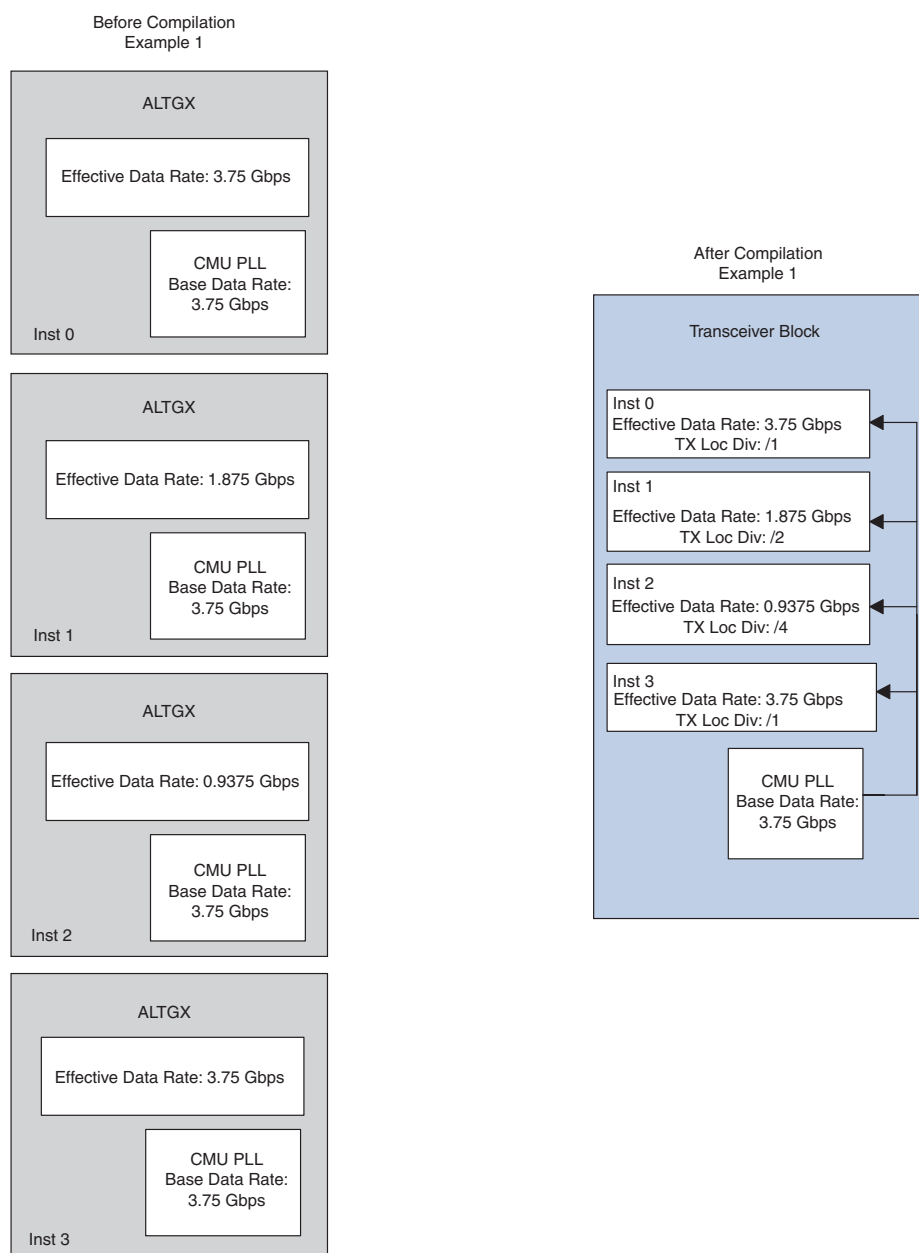
 各 ALTGX インスタンスは、pll\_powerdown ポートを備えています。Quartus II ソフトウェアで同じ CMU PLL を共有可能にするには、すべてのインスタンスの pll\_powerdown ポートを同じロジックからドライブする必要があります。ALTGX インスタンスの pll\_powerdown ポートを異なるロジックを使用してドライブする場合、Quartus II ソフトウェアは、すべての ALTGX インスタンスのその他の必要なパラメータがすべて同じでも、同一 CMU PLL は使用しません。

図 3-1. 例 1 のコンパイル前の ALTGX インスタンス



## 複数チャンネルによる 2 個の CMU PLL の共有

場合によっては、トランシーバ・ブロック内の複数のチャンネルを必要なデータ・レートで動作させるのに 1 個の CMU PLL では不十分です。

以下のように異なるコンフィギュレーションを必要とするチャンネルを結合したい場合、2 番目の CMU PLL を使用することができます。

- Quartus II ソフトウェアで定義されるプロトコル (Basic モード、ギガビット・イーサネット [GIGE]、SONET/同期デジタル・ハイアラキー [SDH] モード、Serial Digital Interface [SDI] モード、PCI Express [PIPE] モードなど)

- CMU PLL 帯域幅の設定
- 異なる入力基準クロック

## 例 2

同じトランシーバ・ブロック内にあり、表 3-2 に示すシリアル・データ・レートで動作し、**Receiver and Transmitter** コンフィギュレーションで設定される 4 本のチャンネルを必要とするデザイン例を仮定します。

表 3-2. 例 2 のコンフィギュレーション

ユーザーが作成したインスタンス名	ALTGX MegaWizard Plug-In Manager の設定		
	チャンネル数	コンフィギュレーション	有効データ・レート
inst0	1	レシーバおよびトランスミッタ	3.75 Gbps
inst1	1	レシーバおよびトランスミッタ	1.875 Gbps
inst2	1	レシーバおよびトランスミッタ	0.9375 Gbps
inst3	1	レシーバおよびトランスミッタ	2 Gbps

インスタンス 0、1、および 2 が同じクロック・ソースからドライブされ、CMU PLL 帯域幅の設定が同じと仮定しています。この場合、インスタンス 0、1、および 2 に 1 個の CMUPLL を使用できます。Quartus II ソフトウェアが同じ CMU PLL を共用できる ALTGX MegaWizard Plug-In Manger の設定については、3-3 ページの「例 1」を参照してください。インスタンス 3 には 2 番目の CMUPLL が必要です。

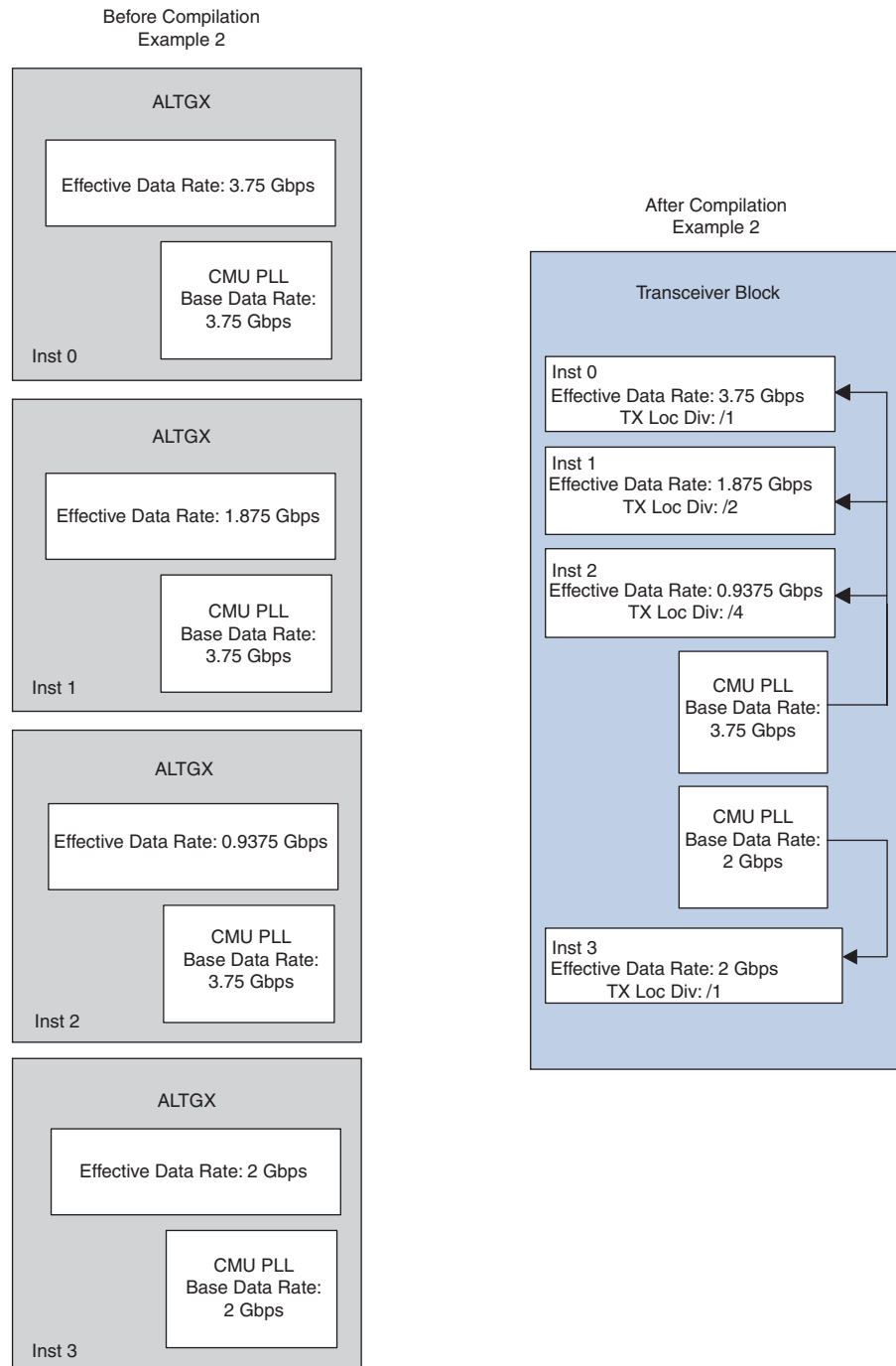
4 つの ALTGX インスタンスの tx\_dataout ピンおよび rx\_datain ピンを割り当てることにより、複数のトランシーバ・チャンネルを特定のトランシーバ・ブロックに強制的に配置することができます。ピンを割り当てなかった場合、Quartus II ソフトウェアはトランシーバ・ブロックを選択します。

図 3-2 に、Quartus II ソフトウェアが同じトランシーバ・ブロックで複数のトランシーバ・チャンネルを結合する前および後のトランシーバ・コンフィギュレーションを示します。RX CDR はチャンネル間で共用されないため、CMU PLL のみ示します。



これらのインスタンスに対して同じ CMU PLL を共用するには、インスタンス 0、1、および 2 の pll\_powerdown ポートを同じロジック出力に接続する必要があります。


図 3-2. 例 2 のコンパイル前およびコンパイル後の ALTGX トランシーバ・チャンネルのインスタンス



シリアル・データ・レートが同じで CMUPLL データ・レートが異なる 2 つのインスタンスがある場合、Quartus II ソフトウェアは、これら 2 つのインスタンス用に別々の CMUPLL を作成します。例として、表 3-3 に示すコンフィギュレーションを検討します。

表 3-3. インスタンスが 1 つのトランシーバ・ブロックに統合されないコンフィギュレーション例


ユーザーが作成したインスタンス名	ALTGX MegaWizard Plug-In Manager の設定			
	チャネル数	コンフィギュレーション	有効データ・レート	ベース・データ・レート
inst0	1	レシーバおよびトランスミッタ	1.5 Gbps	1.5 Gbps
inst1	1	レシーバおよびトランスミッタ	1.5 Gbps	3.0 Gbps
inst2	1	レシーバおよびトランスミッタ	1 Gbps	1 Gbps

 inst1 および inst0 の有効データ・レートが 1.5 Gbps ( $3 \text{ Gbps}/2 = 1.5 \text{ Gbps}$ ) でも、これらのインスタンスのベース・データ・レートが異なるため、Quartus II ソフトウェアは、デザインのコンパイル時に、2 つのインスタンスの送信側にクロックを供給するために 2 個の CMU PLL を必要とします。この例では、3 番目のインスタンス inst2 に 3 番目の CMU PLL が必要です。この例では、3 番目のインスタンス inst2 に 3 番目の CMU PLL が必要です。したがって、Quartus II ソフトウェアは、上記の 3 つのインスタンスを同じトランシーバ・ブロック内で結合することはできません。

## Receiver Only チャネルの結合


ALTGX MegaWizard PlugIn Manager の General 画面にある **What is the Operating Mode?** オプションで **Receiver Only** コンフィギュレーションを選択することにより、トランシーバ・チャネルでレシーバを選択して使用できます。

コンフィギュレーションとデータ・レートが異なる **Receiver Only** チャネルを同じトランシーバ・ブロック内で結合することができます。各レシーバ・チャネルは独自の専用 CDR を備えているため、各 **Receiver Only** インスタンス（インスタンス 1 つにつき 1 本のレシーバ・チャネルを仮定）は異なるデータ・レートを持つことができます。

 Quartus II ソフトウェアが複数の **Receiver Only** インスタンスを同じトランシーバ・ブロック内に結合するために、すべてのチャネル・インスタンスの `gxb_powerdown` (使用されている場合) を同じロジックまたは入力ピンから接続する必要があります。詳細は 3-2 ページの「[チャネルを結合するための一般要件](#)」を参照してください。

使用可能なクロック配線リソースが十分にある限り、個別の入力基準クロックを使用して異なるデータ・レートで動作可能なレシーバ・チャネルを最大 4 本まで持つことが可能です。

**Receiver Only** コンフィギュレーションをインスタンス化する場合、ALTX MegaWizard Plug-In Manager はレシーバ・チャンネルの PCS のレート・マッチング FIFO (クロック・レート補償 FIFO) のイネーブルを許可しません。これはレート・マッチング FIFO のリード側をクロックするのに、**Receiver Only** インスタンスで `tx_clkout` を使用できないためです。クロック・レート補償を実行する必要がある場合は、FPGA ファブリック内にレート・マッチング FIFO を実装します。

 **Receiver Only** インスタンスを作成し、同じフィジカル・トランシーバ・チャンネルに存在するトランスミッタ・チャンネルを使用しない場合、Quartus II ソフトウェアは、未使用のトランスミッタ・チャンネルを自動的にパワー・ダウンします。

## トランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスの結合

独立したトランスミッタ・チャンネル・インスタンスと独立したレシーバ・チャンネル・インスタンスを作成し、トランスミッタ・インスタンスの `tx_dataout` ピンとレシーバ・インスタンスの `rx_datain` ピンを同じフィジカル・トランシーバ・チャンネル内に割り当てることができます。このコンフィギュレーションは、トランスミッタ・チャンネルとレシーバ・チャンネルを異なるシリアル・データ・レートで動作させる場合に役立ちます。トランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスを作成するには、ALTX MegaWizard Plug-In Manager の動作モード (**General** 画面) で、**Transmitter Only** オプションと **Receiver Only** オプションを選択します。

## 複数のトランスミッタ・チャンネル・インスタンスおよびレシーバ・チャンネル・インスタンス

Quartus II ソフトウェアにより、複数の **Transmitter Only** チャンネル・インスタンスと **Receiver Only** チャンネル・インスタンスを同じトランシーバ・ブロック内で結合することができます。Quartus II ソフトウェアは、ピン・アサインメントに基づいて、同じ物理チャンネル内で対応する **Transmitter Only** チャンネルと **Receiver Only** チャンネルを結合します。Quartus II ソフトウェアが同じトランシーバ・ブロック内で、トランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスを結合できるように、以下の項に概説されている規則と要件に従ってください。

- 3-2 ページの「チャンネルを結合するための一般要件」
- 3-3 ページの「複数のチャンネルによる 1 個の CMU PLL の共有」
- 3-6 ページの「複数チャンネルによる 2 個の CMU PLL の共有」
- 3-9 ページの「Receiver Only チャンネルの結合」

### 例 3

表 3-4 に示す 4 つの ALTX インスタンスを作成します。

表 3-4. 例 3 の 4 つの ALTX インスタンス (その 1)

インスタンス名	コンフィギュレーション	有効データ・レート	入力基準クロック周波数
inst0	Transmitter only	3.125 Gbps	156.25 MHz
inst1	Receiver only	2.5 Gbps	156.25 MHz

表 3-4. 例 3 の 4 つの ALTGX インスタンス ( その 2 )

インスタンス名	コンフィギュレーション	有効データ・レート	入力基準クロック周波数
inst2	Transmitter only	1.25 Gbps	125 MHz
inst3	Receiver only	2 Gbps	125 MHz

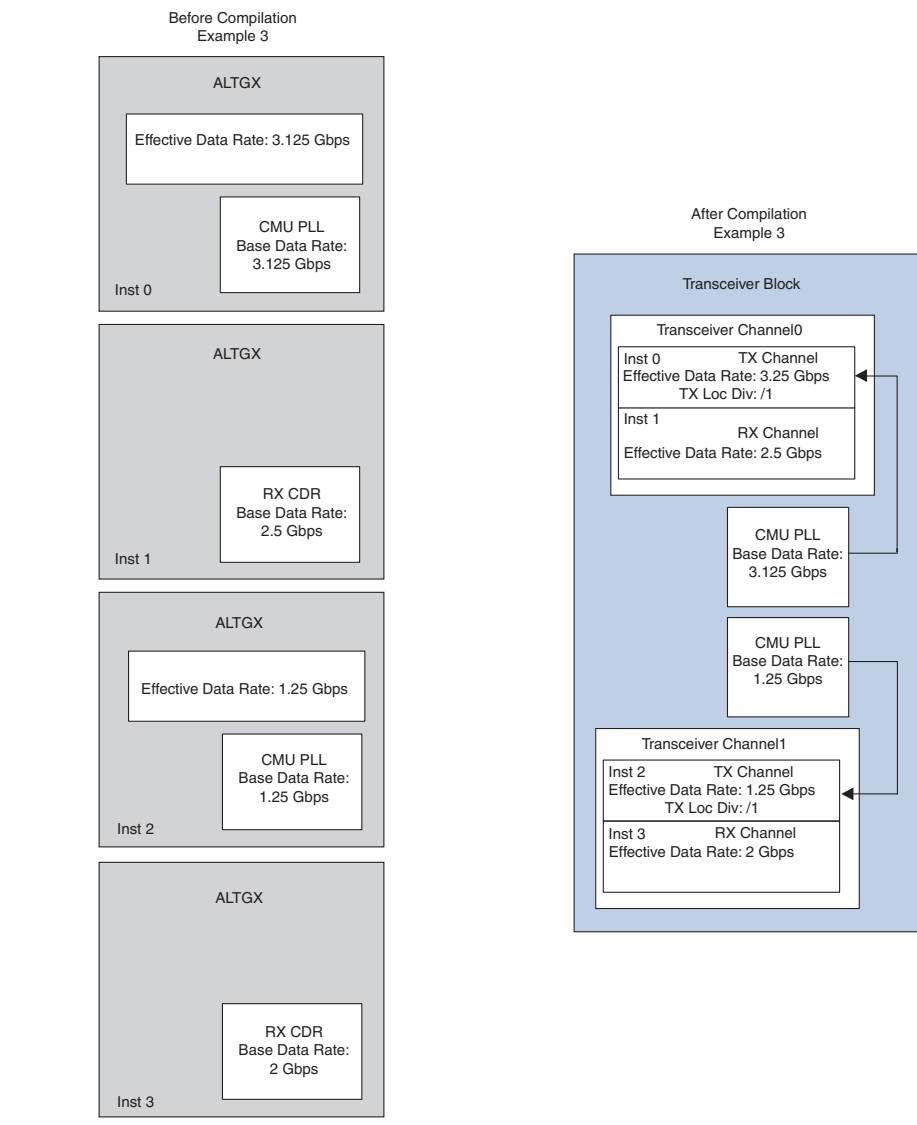
上記のインスタンスの作成後、表 3-5 に示すとおりインスタンスを強制的に配置する場合、Quartus II ソフトウェアは、inst0 と inst1 を物理チャンネル 0 に、inst2 と inst3 を物理チャンネル 1 に結合します。

表 3-5. 例 3 のインスタンスの強制配置

インスタンス名	同じトランシーバ・ブロックでの物理チャンネル・ピンのアサインメント
inst0	TX pin of channel 0
inst1	RX pin of channel 0
inst2	TX pin of channel 1
inst3	RX pin of channel 1

図 3-3 に、コンパイルの前および後のトランシーバ・チャンネルのインスタンスを示します。

図 3-3. 例 3 のコンパイル前の ALTGX トランシーバ・チャンネルのインスタンス



## プロトコル機能モードでコンフィギュレーションされたチャネルの結合

次のセクションでは、プロトコル機能モードでコンフィギュレーションされたチャネルの結合について説明します。

### Basic ×4 モード

ALTGX MegaWizard Plug-In Manager は、**General** 画面の **Which sub-protocol will you be using?** オプションで、4 オプション付きの **Basic** モードを提供しています。このオプションを選択した場合、トランシーバ・ブロック内のすべてのトランスミッタ・チャネルが、CMUO クロック・ディバイダ・ブロック (CMUO チャネルに存在) から高速シリアル・クロックと低速パラレル・クロックを受け取ります。トランシーバ・ブロック内の各レシーバ・ブロックは、そのレシーバ CDR からのリカバリ・クロックにより、個別にクロックされます。

このモードの使用時には、ALTGX MegaWizard Plug-In Manager で、**General** 画面の **What is the number of channels?** オプションから 1 本または複数のチャネルを選択することができます。



3 以下のチャネル数を選択した場合、トランシーバ・ブロック内の残りのトランスミッタ・チャネルは使用できません。したがって、**Transmit Only** モードまたは **Receiver and Transmitter** モードでコンフィギュレーションされ、かつ 4 オプションがイネーブルされたインスタンスが 2 つ以上ある場合、Quartus II ソフトウェアはこれらのインスタンスを同じトランシーバ・ブロック内で結合することはできません。

トランスミッタ・チャネルのみ共通クロックを共用することに注意してください。レシーバ・チャネルは個別にクロックされます。したがって、トランシーバ・ブロック内の未使用レシーバ・チャネルを許可される任意のコンフィギュレーションに設定することができます。例として、表 3-6 に示すオプションで、ALTGX MegaWizard Plug-In Manager をコンフィギュレーションすると仮定します。

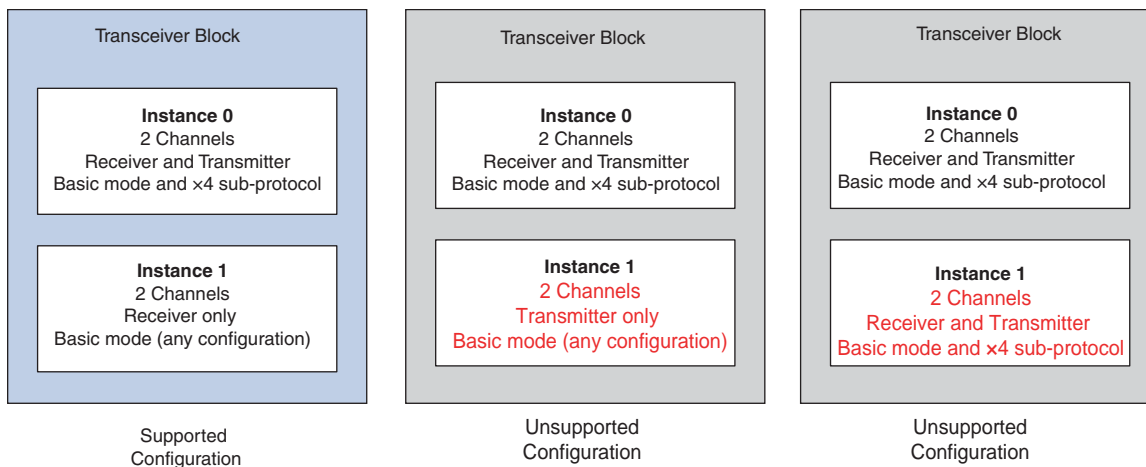
表 3-6. Basic x4 モードの General 画面オプション

オプション	値
What protocol will you be using?	Basic モード
Which subprotocol will you be using?	×4
What is the operating mode?	Receiver and Transmitter
What is the number of channels?	2

上記の選択肢でインスタンスを作成した場合、トランシーバ・ブロック内の残りの 2 本のトランスミッタ・チャネルは使用できません。ただし、残りの 2 本のレシーバ・チャネルは異なるコンフィギュレーションで使用できます。

図 3-4 に、サポートされているコンフィギュレーションとサポートされていないコンフィギュレーションの例を示します。

図 3-4. Basic×4 モードのインスタンスを結合するサポートされているコンフィギュレーションとサポートされていないコンフィギュレーションの例



## PCIe ハード IP ブロックを使用するチャネルとその他のチャネルの結合

Arria II GX デバイスは、PCIe Base Specification 1.1 で規定されるフィジカル、データリンク、およびトランザクション・レイヤ機能を実行するエンベデッド PCI Express ハード IP ブロックを内蔵しています。各 PCIe ハード IP ブロックは、2 つのトランシーバ・ブロックで共有されます。PCIe Compiler MegaWizard Plug-In Manager は、PCIe ハード IP ブロックをコンフィギュレーションするためのオプションを提供します。このブロックがイネーブルされると、このブロックに関連付けられたトランシーバ・チャネルもイネーブルされます。

PCIe ハード IP ブロックを使用するチャネルを備えた 2 つの隣接するトランシーバ・ブロック内で、異なる機能モードやプロトコル・モード（例えば、Basic モード）を持つ複数のトランシーバ・チャネルを結合する場合は制約があります。これらの制約は、使用チャネル数（x1 または x4）および PCIe Compiler MegaWizard Plug-In Manager で選択されたバーチャル・チャネル（VC）数によって異なります。表 3-7 に制約を示します。

表 3-7. 異なる機能モードやプロトコル・モードを持つ複数のトランシーバ・チャネルを結合する場合の PCIe ハード IP ブロックの制約（注 1）、（2）（その 1）

PCI Express(PIPE) コンフィギュレーション (PCIe コンパイラ・ウィザードでイネーブルされた PCI Express ハード IP オプション)			トランシーバ・ブロック 0 (3)				トランシーバ・ブロック 1 (4)			
リンク幅	レーン (データ・インタフェース幅)	バーチャル・チャネル (VC)	Ch0 (5)	Ch1	Ch2	Ch3	CH4	Ch5	Ch6	Ch7
1	64 ビット	1	PCIe x1	Avail	Avail	Avail	Avail	Avail	Avail	Avail
4	64 ビット	1	PCIe x4	N/A	N/A	N/A	Avail	Avail	Avail	Avail

表 3-7. 異なる機能モードやプロトコル・モードを持つ複数のトランシーバ・チャンネルを結合する場合の PCIe ハード IP ブロックの制約 (注 1)、(2) (その 2)

PCI Express(PIPE) コンフィギュレーション (PCIe コンパイラ・ウィザードでイネーブルされた PCI Express ハード IP オプション)			トランシーバ・ブロック 0 (3)				トランシーバ・ブロック 1 (4)			
リンク幅	レーン (データ・インタフェース幅)	バーチャル・チャンネル (VC)	Ch0 (5)	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7
8	128 ビット	1	PCIe x8	N/A	N/A	N/A	N/A	N/A	N/A	N/A

表 3-7 の注:

- (1) Avail— このチャンネルを他のコンフィギュレーションで使用できることを示します。
- (2) N/A— このチャンネルは使用できません。
- (3) トランシーバ・ブロック 0— PCIex4 または x8 コンフィギュレーションで、高速シリアル・クロックおよび低速パラレル・クロックを供給するマスタ・トランシーバ・ブロックです。
- (4) トランシーバ・ブロック 1— トランシーバ・ブロック 0 と同じ PCIe ハード IP ブロックを共用する隣接トランシーバ・ブロックです。
- (5) トランシーバ・ブロック内の物理チャンネル 0 です。PCIe 機能モードでのフィジカル・ロジカル・チャンネル・マッピングについて詳しくは、「[Arria II GX Transceiver Clocking](#)」の章の「8 Channel Configuration」の項を参照してください。



PCIe Compiler MegaCore ファンクションおよびハード IP の実装について詳しくは、「[PCI Express Compiler User Guide](#)」を参照してください。

## PLL カスケード・クロックを使用するトランシーバ・インスタンスの結合


Arria II GX デバイスは、各トランシーバ・ブロック内の CMUPLL と RXCDR をクロックするために、複数の入力基準クロック・ソースを提供しています。CMUPLL と RXCDR をクロックできる入力基準クロック・ソースは、以下のとおりです。

- 同じトランシーバ・ブロックからの refclks
- グローバル・クロック・ライン
- デバイスの同じサイドにあるトランシーバ・ブロックからトランシーバ間ブロック (ITB) ラインを経由する refclks
- PLL カスケード・クロック (FPGA ファブリックの PLL からのカスケード接続されたクロック出力)

PLL カスケード・クロックを使用して、CMU PLL または RX CDR に入力基準クロックを供給する場合、トランシーバ・チャンネルを結合するための要件 (以下の項で説明) があります。

Arria II GX トランシーバは、汎用 PLL の出力を CMU PLL およびトランシーバ CDR にカスケード接続することができます。Arria II GX デバイスの左側に、PLL カスケード・クロック・ネットワークがあります。このネットワークは、PLL カスケード・クロックをトランシーバ・ブロックに接続するシングル・ライン・ネットワークです。このクロック・ラインは、異なる PLL カスケード・クロックでトランシーバの CMU PLL、ATX PLL、および RX CDR をドライブできるように、セグメント化されています。

セグメント化の位置は、デバイス・ファミリーによって異なります。したがって、異なる PLL カスケード・クロックを入力基準クロックとして使用するトランシーバ・チャンネルを結合する場合は、制約があります。

 PLL カスケード・クロックの使用およびセグメント化について詳しくは、「Arria II GX Transceiver Clocking」の章の「PLL Cascading」の項を参照してください。

## 複数のトランシーバ・ブロック内でのトランシーバ・インスタンスの結合

3-2 ページの「トランシーバ・チャンネルのインスタンスの作成」では、1つの ALTGX インスタンスを使用して複数のトランシーバ・チャンネルをインスタンス化する方法について説明しました。次の項では、複数のトランシーバ・ブロックを使用して複数のトランシーバ・チャンネルをインスタンス化する方法について説明します。

5本以上のトランシーバ・チャンネルを持つトランシーバ・インスタンスを作成するとき、例 4 に示すように Quartus II ソフトウェアは複数のトランシーバ・ブロック内でトランシーバ・チャンネルの結合を試みます。

### 例 4

表 3-8 に示すコンフィギュレーションを持つ、2つの ALTGX インスタンスの作成について検討します。

表 3-8. 例 4 の 2 つの ALTGX インスタンス

インスタンス名	トランシーバ・チャンネル数	コンフィギュレーション	有効データ・レート	入力基準クロック
inst0	7	Receiver and Transmitter	3.125 Gbps	156.25 Gbps
inst1	1	Receiver and Transmitter	3.125 Gbps	156.25 Gbps

この場合、Quartus II ソフトウェアは、3-3 ページの「複数のチャンネルによる 1 個の CMU PLL の共有」で規定されるすべての必須パラメータが inst0 と inst1 で同じとみなして、inst0 と inst1 を 2 つのトランシーバ・ブロックに収容します。

図 3-5 に、例 4 のコンパイル前のトランシーバ・インスタンスを示します。

図 3-5. 例 4 のコンパイル前のトランシーバ・チャンネルのインスタンス

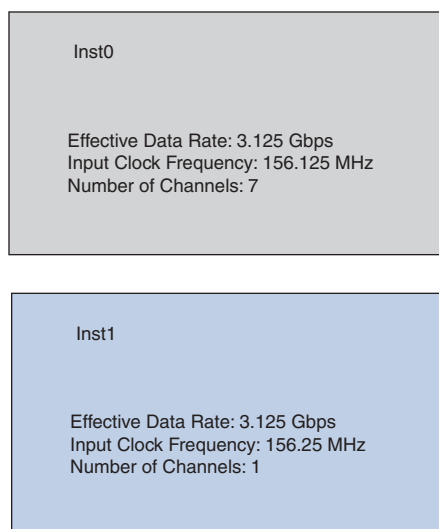
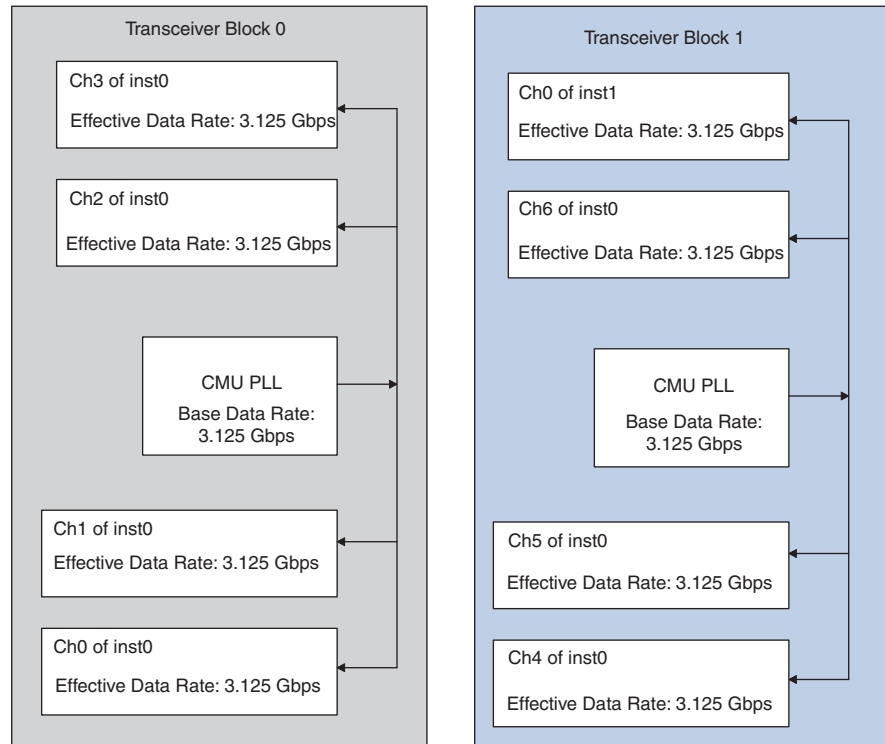


図 3-6 に、コンパイル後のトランシーバ・インスタンスを示します。

図 3-6. 例 4 のコンパイル後に結合したトランシーバ・インスタンス



inst0 と inst1 の tx\_dataout ポートと rx\_datain ポートにピンを割り当てることにより、複数のトランシーバ・チャンネルを特定のトランシーバ・バンクに強制的に配置することができます。

inst0 が 7 本のトランシーバ・チャンネルをインスタンス化しても、ALTX MegaWizard Plug-In Manager は、inst0 に 1 ビット幅の pll\_inclk ポートしか提供しません。デザインで、pll\_inclk ポートに 1 つのクロック入力のみ提供します。Quartus II ソフトウェアは、2 つのトランシーバ・ブロックを使用して 7 本のチャンネルを収容し、入力基準クロック（デザインの pll\_inclk ポートに接続）を内部で 2 つのトランシーバ・ブロックの CMU PLL に接続します。

inst1 に対して、ALTX MegaWizard Plug-In Manager は pll\_inclk ポートを提供します。この例では、inst0 と inst1 に 1 つの基準クロックが提供されると仮定しています。したがって、inst0 と inst1 の pll\_inclk ポートを同じ入力基準クロック・ピンに接続します。これにより、Quartus II ソフトウェアで、inst0 の 3 本のチャンネルと inst1 の 1 本のチャンネルを持つトランシーバ・ブロック 1 に 1 個の CMU PLL を共用できます（3-17 ページの図 3-6 に、トランシーバ・ブロック 1 の Ch4、Ch5、および Ch6 として示されている）。

inst0 の RX CDR について、ALTX MegaWizard Plug-In Manager は、rx\_cruclk ポートに 7 ビットを提供します（PLL/Ports 画面の Train Receiver CDR from pll\_inclk オプションが選択されていない場合）。これにより、各チャンネルの RX CDR への個別の入力基準クロックが許可されます。

## 概要

以下は、1つのトランシーバ・ブロックにおける複数のプロトコルおよびデータ・レートのコンフィギュレーションについての要約です。

- 各トランシーバ・チャンネルは、個別のデータ・レートまたは個別のプロトコル機能モードで動作できます。
- 各トランシーバ・ブロックは、トランシーバ・ブロック内のトランスミッタ・チャンネルを動作させるためのクロックを供給する2個のCMU PLLで構成されています。
- Quartus II ソフトウェアがトランシーバ・チャンネルの複数のインスタンスを1つのトランシーバ・ブロック内で結合できるように、3-2 ページの「チャンネルを結合するための一般要件」および 3-3 ページの「CMU PLL の共有」に規定される規則に従ってください。
- トランシーバ・ブロック内の各 CMU PLL は、pll\_powerdown 信号でリセットできます。各トランシーバ・インスタンスに対して、ALTGX MegaWizard Plug-In Manager は pll\_powerdown ポートを選択するためのオプションを提供します。複数のチャンネル間で同じ CMUPLL を共用する場合は、インスタンスの pll\_powerdown ポートを接続し、同じロジックからドライブします。
- PCIe Compiler を使用して PCIe ハード IP ブロックをイネーブルにする場合、Quartus II ソフトウェアには、トランシーバ・ブロック内の残りのトランシーバ・チャンネルを他のコンフィギュレーションで使用するに関して、特定の要件があります。詳しくは、3-14 ページの「PCIe ハード IP ブロックを使用するチャンネルとその他のチャンネルの結合」を参照してください。

## 改訂履歴

表 3-9 に、本資料の改訂履歴を示します。

表 3-9. 改訂履歴

日付	バージョン	変更内容
2010年7月	2.0	<ul style="list-style-type: none"> <li>■ 「トランシーバ PLL コンフィギュレーション」および「PCIe ハード IP ブロックを使用するチャンネルとその他のチャンネルの結合」の項を更新。</li> <li>■ テキストのマイナーな編集。</li> </ul>
2009年2月	1.0	初版。