

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AIIGX51008-4.0

この章では、Arria® II デバイスの高速差動 I/O 機能とリソース、シリアライザ/デシリアライザ (SERDES) の機能、およびダイナミック・フェーズ・アラインメント (DPA) 回路について説明します。

この章は、以下の項で構成されています。

- 8-2 ページの「LVDS チャネル」
- 8-6 ページの「LVDS SERDES および DPA のブロック図」
- 8-8 ページの「差動トランスミッタ」
- 8-11 ページの「差動レシーバ」
- 8-10 ページの「プログラマブル・プリエンファシスおよびプログラマブル  $V_{OD}$ 」
- 8-20 ページの「差動 I/O 終端」
- 8-21 ページの「PLL」
- 8-21 ページの「LVDS および DPA クロック・ネットワーク」
- 8-23 ページの「ソース同期タイミング制約」
- 8-27 ページの「差動ピン配置ガイドライン」
- 8-37 ページの「LVDS トランスミッタ・チャネルまたは LVDS レシーバ・チャネルの設定」

Arria II デバイスは、高速差動 I/O をサポートするために以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- レシーバ・デシリアライザ
- データ・リアライメン・ブロック (ビット・スリップ)
- DPA ブロック
- シンクロナイザ (FIFO バッファ)

Arria II デバイスは、次の高速差動 I/O 規格をサポートします。

- LVDS
- mini-LVDS
- RSDS
- LVPECL
- Arria II GX デバイス用の Bus LVDS (BLVDS)



真の mini-LVDS および RSDS 入力はサポートされていません。LVPECL I/O 規格は差動モードの PLL クロック入力でのみ使用されます。

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



- Arria II デバイスでサポートされる差動 I/O 規格の仕様および機能について詳しくは、[「I/O Features in Arria II Devices」](#) および [「Arria II Devices Data Sheet」](#) の章を参照してください。

## LVDS チャネル

Arria II GX デバイスのトップ、ボトムおよび右側には、真の LVDS 入力バッファおよび LVDS I/O バッファがあります。LVDS 入力バッファは、 $100\Omega$  のオンチップ差動終端 ( $R_D$  OCT) をサポートしています。LVDS I/O バッファは LVDS 入力 ( $R_D$  OCT なし) または真の LVDS 出力バッファのいずれかとしてコンフィギュレーションできます。また、デバイスのトップ、ボトム、および右側の LVDS ピンをエミュレートされた LVDS 出力バッファとしてコンフィギュレーションすることも可能です。エミュレートされた LVDS 出力バッファは外部抵抗ネットワークを備えた 2 つのシングル・エンド出力バッファにより、LVDS、mini-LVDS、および RSDS 規格をサポートします。

Arria II GZ デバイスは、ロウ I/O バンクおよびカラム I/O バンク両方で LVDS をサポートしています。ロウ I/O は  $100\Omega$  の  $R_D$  OCT を備えた真の LVDS 入力バッファおよび真の LVDS 出力バッファをサポートします。カラム I/O は  $R_D$  OCT のない真の LVDS 入力をサポートします。また、LVDS、mini-LVDS、および RSDS 規格をサポートするために、ロウおよびカラム LVDS ピンを外部抵抗ネットワークを備えた 2 つのシングル・エンド出力バッファを使用するエミュレートされた LVDS 出力バッファとしてコンフィギュレーションできます。Arria II GZ デバイスは LVDS に対してシングル・エンド I/O  $refclk$  をサポートします。

LVDS インタフェースの性能をさらに向上させるために、専用 SERDES および DPA 回路は、Arria II GX デバイスの右 I/O バンクおよび Arria II GZ デバイスのロウ I/O バンクに実装されます。Arria II デバイスのカラム I/O バンクでは専用 SERDES 回路を備えていないので、SERDES はコア・ロジックに実装されます。

- I/O バッファを  $R_D$  OCT のイネーブルされた LVDS 入力としてコンフィギュレーションする際、 $V_{CCIO}$  と  $V_{CCPD}$  を  $2.5V$  に設定する必要があります。
- I/O バンクについて詳しくは、[「I/O Features in Arria II Devices」](#) の章を参照してください。

## I/O バンクの位置

Arria II の I/O は、16 ~ 20 個の I/O バンクに分割されます。Arria II GX デバイスにおいては、高速差動 I/O はデバイスの右側に配置されます。Arria II GZ デバイスにおいては、高速差動 I/O はデバイスの右側および左側に配置されます。

図 8-1 および図 8-2 に、Arria II デバイスの上位レベルのチップ図を示します。

図 8-1. Arria II GX デバイス — DPA を備えた高速差動 I/O ブロックの位置 (注 1)、(2)、(3)

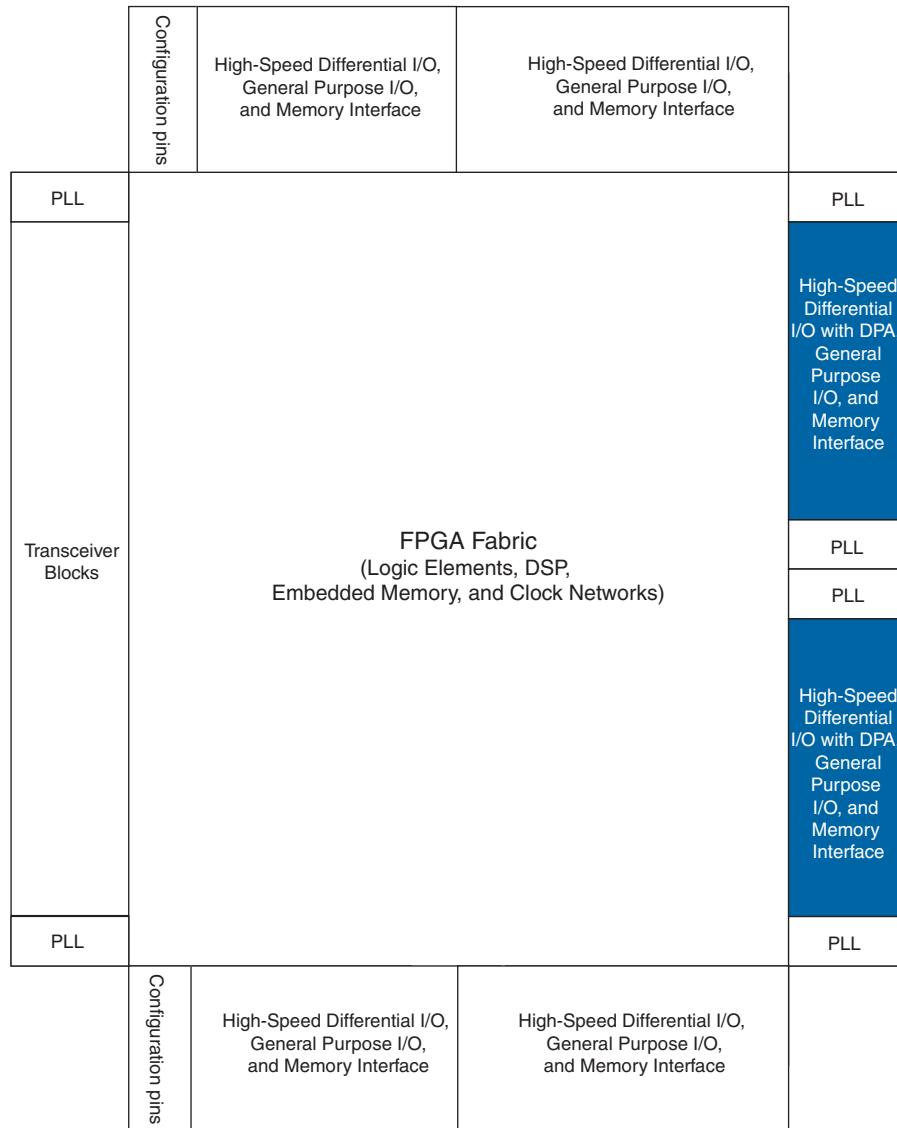


図 8-1 の注：

- (1) これはシリコン・ダイの上面図で、Flip-chip パッケージの裏面図に相当します。これは参考図にすぎません。
- (2) EP2AGX95、EP2AGX125、EP2AGX190 および EP2AGX260 デバイ스에適用されます。
- (3) EP2AGX45 および EP2AGX65 デバイスの場合、右側の I/O バンクの中央には PLL がありません。

図 8-2 に、Arria II GZ デバイスの上位レベルのチップ図を示します。

図 8-2. Arria II GZ デバイス — DPA を備えた高速差動 I/O ブロックの位置

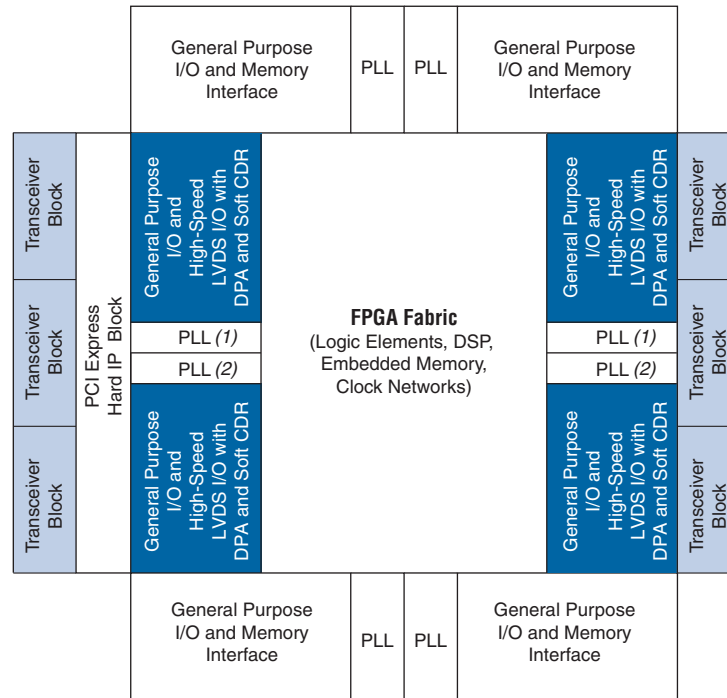


図 8-2 の注：

- (1) F780 デバイス・パッケージに適用しません。
- (2) F780 および F1152 デバイス・パッケージに適用しません。

表 8-1 ~ 表 8-4 に、Arria II デバイスでサポートされるロウおよびカラムの LVDS I/O の最大数をリストします。組み合わせが最大数を超えないかぎり、LVDS I/O を真の LVDS 入力バッファ、真の LVDS 出力バッファ、またはエミュレートされた LVDS 出力バッファとしてコンフィギュレーションすることができます。例えば、780 ピンの EP2AGX45 デバイスのロウ I/O バンクでは、LVDS ペアの総数は 56 になります (表 8-1 を参照)。最大以下の組み合わせのいずれかをデザインすることができます。

- 28 つの R<sub>D</sub>OCT 付きの真の LVDS 入力バッファおよび 28 つの真の LVDS 出力バッファ
- 28 つの R<sub>D</sub>OCT 付きの真の LVDS 入力バッファおよび 28 つの外部 100Ω 終端を必要とする真の LVDS 入力バッファ、合計 56 つの LVDS 入力バッファ
- 28 つの真の LVDS 出力バッファおよび 28 つのエミュレートされた LVDS 出力バッファ
- 56 つのエミュレートされた LVDS 出力バッファ


 専用の SERDES および DPA 回路はデバイスの右側のロウ I/O バンクにのみあります。DPA レシーバ付きの SERDES はロウ I/O バンク内の差動ピンにのみあります。SERDES トランスミッタはロウ I/O バンクの送信 (Tx) ピンにのみあります。ロウ I/O バンク内の受信 (Rx) ピンは専用 SERDES および DPA 回路のない受信チャンネルです。

表 8-1. Arria II GX デバイスのロウ I/O バンクでサポートされる LVDS チャンネル (注 1)、(2)、(3)、(4)、(5)、(6)

デバイス	358 ピン FlipChip UBGA	572 ピン FlipChip FBGA	780 ピン FlipChip FBGA	1152 ピン FlipChip FBGA
EP2AGX45	8(R <sub>D</sub> または eTx) + 8(Rx, Tx または eTx)	24(R <sub>D</sub> または eTx) + 24(Rx, Tx, または eTx)	28(R <sub>D</sub> または eTx) + 28(Rx, Tx, または eTx)	—
EP2AGX65	8(R <sub>D</sub> または eTx) + 8(Rx, Tx, または eTx)	24(R <sub>D</sub> または eTx) + 24(Rx, Tx, または eTx)	28(R <sub>D</sub> または eTx) + 28(Rx, Tx または eTx)	—
EP2AGX95	—	24(R <sub>D</sub> または eTx) + 24(Rx, Tx または eTx)	28(R <sub>D</sub> または eTx) + 28(Rx, Tx または eTx)	32(R <sub>D</sub> または eTx) + 32(Rx, Tx, または eTx)
EP2AGX125	—	24(R <sub>D</sub> または eTx) + 24(Rx, Tx または eTx)	28(R <sub>D</sub> または eTx) + 28((Rx, Tx または eTx)	32(R <sub>D</sub> または eTx) + 32(Rx, Tx または eTx)
EP2AGX190	—	—	28(R <sub>D</sub> または eTx)+ 28(Rx, Tx または eTx)	48(R <sub>D</sub> または eTx) + 48(Rx, Tx または eTx)
EP2AGX260	—	—	28(R <sub>D</sub> または eTx) + 28(Rx, Tx または eTx)	48(R <sub>D</sub> または eTx) + 48(Rx, Tx または eTx)

表 8-1 の注 :

- (1) 専用 SERDES および DPA 回路はデバイスの右側のロウ I/O バンクにのみ存在します。
- (2) R<sub>D</sub> = R<sub>D</sub> OCT をサポートしている真の LVDS 入力バッファおよび DPA 回路付きの専用 SERDES レシーバ・チャンネル
- (3) Rx = R<sub>D</sub> OCT をサポートしていない真の LVDS 入力バッファおよび DPA 回路付きの専用 SERDES レシーバ・チャンネル
- (4) Tx = 真の LVDS 出力バッファおよび専用の SERDES トランスミッタ・チャンネル
- (5) eTx = エミュレートされた LVDS 出力バッファ (LVDS\_E\_3R または LVDS\_E\_1R)
- (6) LVDS チャンネル数には専用クロック入力ピンおよび PLL クロック出力ピンは含まれていません。

表 8-2. Arria II GX デバイスのカラム I/O バンクでサポートされる LVDS チャンネル (注 1)、(2)、(3)、(4)、(5)、(6)

デバイス	358 ピン FlipChip UBGA	572 ピン FlipChip FBGA	780 ピン FlipChip FBGA	1152 ピン FlipChip FBGA
EP2AGX45	25(R <sub>D</sub> または eTx) + 24(Rx, Tx, または eTx)	33(R <sub>D</sub> または eTx) + 32(Rx, Tx, または eTx)	57(R <sub>D</sub> または eTx) + 56(Rx, Tx, または eTx)	—
EP2AGX65	25(R <sub>D</sub> または eTx) + 24(Rx, Tx, または eTx)	33(R <sub>D</sub> または eTx) + 32(Rx, Tx, または eTx)	57(R <sub>D</sub> または eTx) + 56(Rx, Tx, または eTx)	—
EP2AGX95	—	33(R <sub>D</sub> または eTx) + 32(Rx, Tx, または eTx)	57(R <sub>D</sub> または eTx) + 56(Rx, Tx, または eTx)	73(R <sub>D</sub> または eTx) + 72(Rx, Tx, または eTx)
EP2AGX125	—	33(R <sub>D</sub> または eTx) + 32(Rx, Tx, または eTx)	57(R <sub>D</sub> または eTx) + 56(Rx, Tx, または eTx)	73(R <sub>D</sub> または eTx) + 72(Rx, Tx, または eTx)
EP2AGX190	—	—	57(R <sub>D</sub> または eTx) + 56(Rx, Tx, または eTx)	97(R <sub>D</sub> または eTx) + 96(Rx, Tx, または eTx)
EP2AGX260	—	—	57(R <sub>D</sub> または eTx) + 56(Rx, Tx, または eTx)	97(R <sub>D</sub> または eTx) + 96(Rx, Tx, または eTx)

表 8-2 の注 :

- (1) デバイスのカラム I/O バンクには専用 SERDES および DPA 回路がありません。
- (2) R<sub>D</sub> = R<sub>D</sub> OCT をサポートしている真の LVDS 入力バッファ
- (3) Rx = R<sub>D</sub> OCT をサポートしていない真の LVDS 入力バッファ
- (4) Tx = 真の LVDS 出力バッファ
- (5) eTx = エミュレートされた LVDS 出力バッファ (LVDS\_E\_3R または LVDS\_E\_1R)
- (6) LVDS チャンネル数には専用クロック入力ピンおよび PLL クロック出力ピンは含まれていません。

表 8-3 および 表 8-4 に、Arria II GZ デバイスでサポートされるロウおよびカラムの LVDS I/O の最大数をリストします。

表 8-3. Arria II GZ デバイスのロウ I/O バンクでサポートされる LVDS チャンネル  
(注 1)、(2)、(3)

デバイス	780 ピン FineLine BGA	1152 ピン FineLine BGA	1517 ピン FineLine BGA
EP2AGZ225	—	42(Rx または eTx) + 44(Tx または eTx)	86(Rx または eTx) + 88(Tx または eTx)
EP2AGZ300	—	42(Rx または eTx) + 44(Tx または eTx)	86(Rx または eTx) + 88(Tx または eTx)
EP2AGZ350	—	42(Rx または eTx) + 44(Tx または eTx)	86(Rx または eTx) + 88(Tx または eTx)

表 8-3 の注：

- (1) Rx=R<sub>D</sub> OCT 付きの真の LVDS 入力バッファ、Tx = 真の LVDS 出力バッファ、eTx = エミュレートされた LVDS 出力バッファ (LVDS\_E\_1R または LVDS\_E\_3R)
- (2) LVDS のレシーバ (Rx) および Tx チャンネルは、780 ピン FineLine BGA のデバイスを除いて、デバイスの左側と右側で等分されます。780 ピン FineLine BGA のデバイスでは、LVDS Rx および Tx はデバイスの左側に配置されています。
- (3) LVDS チャンネル数には専用クロック入力ピンは含まれていません。

表 8-4. Arria II GZ デバイスのカラム I/O バンクでサポートされる LVDS チャンネル  
(注 1)、(2)、(3)

デバイス	780 ピン FineLine BGA	1152 ピン FineLine BGA	1517 ピン FineLine BGA
EP2AGZ225	—	93(Rx または eTx) + 96 eTx	93(Rx または eTx) + 96 eTx
EP2AGZ300	68(Rx または eTx) + 72 eTx	93(Rx または eTx) + 96 eTx	93(Rx または eTx) + 96 eTx
EP2AGZ350	68(Rx または eTx) + 72 eTx	93(Rx または eTx) + 96 eTx	93(Rx または eTx) + 96 eTx

表 8-4 の注：

- (1) Rx = R<sub>D</sub> OCT のない真の LVDS 入力バッファ、eTx = エミュレートされた LVDS 出力バッファ (LVDS\_E\_1R または LVDS\_E\_3R)
- (2) LVDS Rx および Tx チャンネルはデバイスのトップ側とボトム側で等分されます。
- (3) LVDS チャンネル数には専用クロック入力ピンは含まれていません。

## LVDS SERDES および DPA のブロック図

Arria II GX デバイスの右側には、LVDS トランスミッタとレシーバ用の SERDES および DPA 回路があります。Arria II GZ デバイスのロウ I/O バンクには、LVDS トランスミッタとレシーバ用の SERDES および DPA 回路があります。

図 8-3 に、LVDS SERDES および DPA のブロック図を示します。このブロック図はトランスミッタおよびレシーバのデータパスのインタフェース信号を示します。詳細は、8-8 ページの「差動トランスミッタ」および 8-11 ページの「差動レシーバ」を参照してください。

図 8-3. LVDS SERDES および DPA のブロック図 (注 1)、(2)、(3)

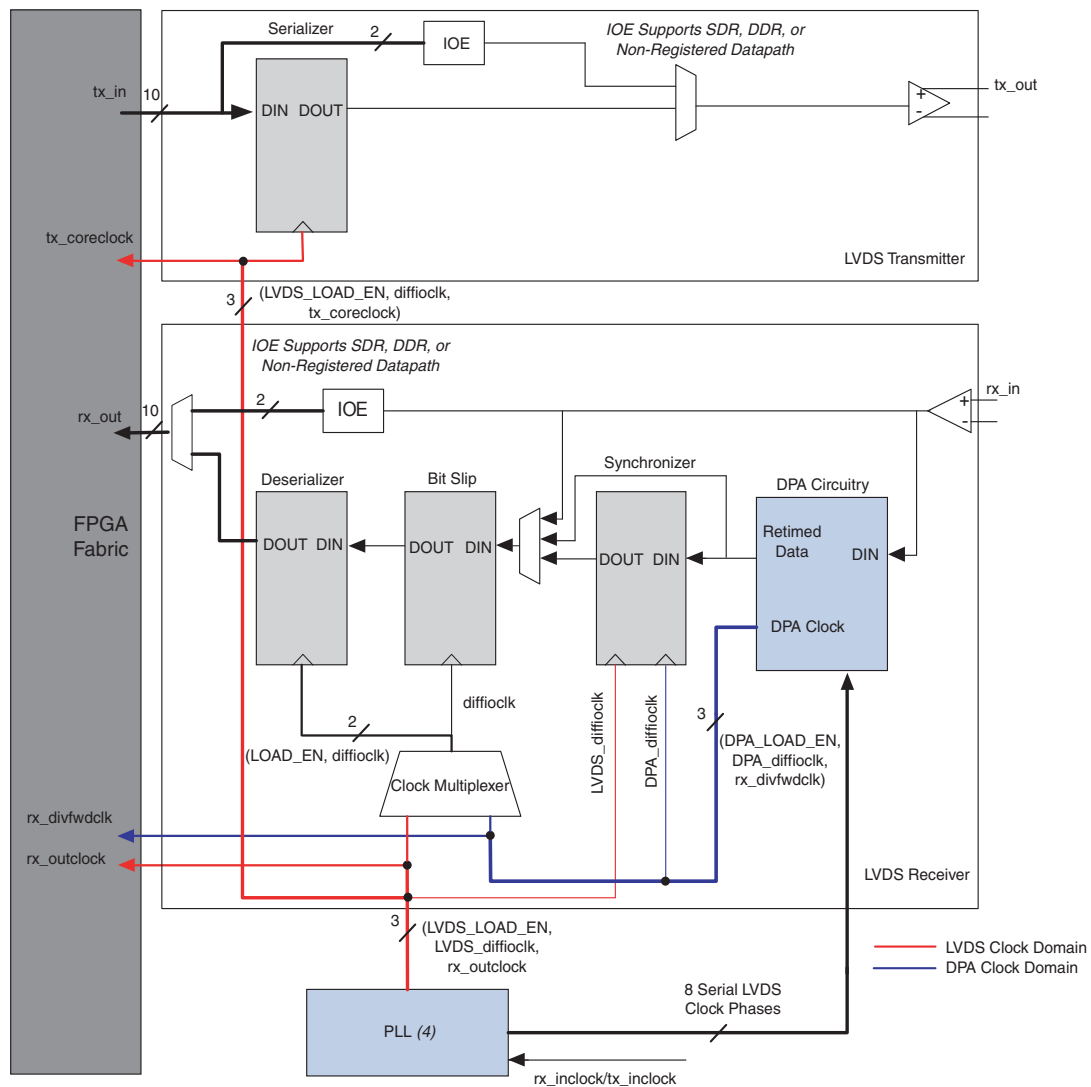


図 8-3 の注：

- (1) この図ではトランスミッタとレシーバ間の共有 PLL を示します。トランスミッタおよびレシーバが同じ PLL を共有していない場合、右側に 2 つの PLL が必要です。
- (2) SDR および DDR モードでは、データ幅はそれぞれ 1 ビットと 2 ビットです。
- (3) Tx\_in および rx\_out ポートには、最大 10 ビットのデータ幅があります。
- (4) Arria II GX のセンター / コーナー PLL、あるいは Arria II GZ の左 / 右 PLL

## 差動トランスミッタ

Arria II トランスミッタは、LVDS 信号方式をサポートする専用回路を内蔵しています。専用回路は差動バッファ、シリアライザ、および PLL で構成され、トランスミッタとレシーバ間で共有できます。差動バッファは、LVDS、mini-LVDS、および RSDS 信号レベルをドライブできます。差動出力バッファは、プログラマブル・プリエンファシスおよびプログラマブル電圧出力差 ( $V_{OD}$ ) コントロールをサポートし、mini-LVDS および RSDS の信号レベルをドライブ・アウトすることもできます。図 8-4 に、LVDS トランスミッタのブロック図を示します。


 差動トランスミッタでエミュレートされた LVDS I/O 規格を使用するとき、SERDES 回路をハード SERDES ではなくロジック・セルに実装する必要があります。

図 8-4. LVDS トランスミッタのブロック図 (注 1)、(2)

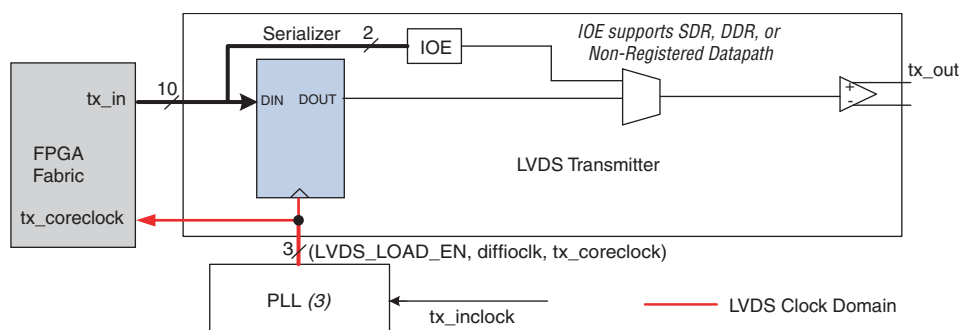


図 8-4 の注：

- (1) SDR および DDR モードでは、データ幅はそれぞれ 1 ビットと 2 ビットです。
- (2) tx\_in ポートには、最大 10 ビットのデータ幅があります。
- (3) Arria II GX のセンター/コーナー PLL、あるいは Arria II GZ の左/右 PLL

## シリアライザ

シリアライザは、データを FPGA ファブリックから取得し、それをパラレル・ロード・レジスタにクロックし、データを差動出力バッファに送信する前にシフト・レジスタを使用してシリアル化します。パラレル・データの最上位ビット (MSB) が最初に送信されます。パラレル・ロードおよびシフト・レジスタはシリアル・データ・レートで動作する高速クロック (diffioclck) にクロックされ、PLL で生成されるロード・イネーブル信号 (LVDS\_LOAD\_EN) によってコントロールされます。シリアライゼーション・ファクタは、ALTLVDS メガファンクションを使用して、スタティックに  $\times 4$ 、 $\times 6$ 、 $\times 7$ 、 $\times 8$  または  $\times 10$  に設定できます。ロード・イネーブル信号は、シリアライゼーション・ファクタの設定から派生します。

シリアライザは、DDR ( $\times 2$ ) および SDR ( $\times 1$ ) の動作をサポートする際にはバイパスされ、それぞれ 2 および 1 のシリアライゼーション・ファクタを実現できます。I/O エレメント (IOE) には、それぞれが DDR または SDR モードで動作可能な 2 個のデータ出力レジスタがあります。図 8-5 に、シリアライザ・バイパス・パスを示します。

図 8-5. シリアライザ・バイパス・パス (注 1)、(2)、(3)

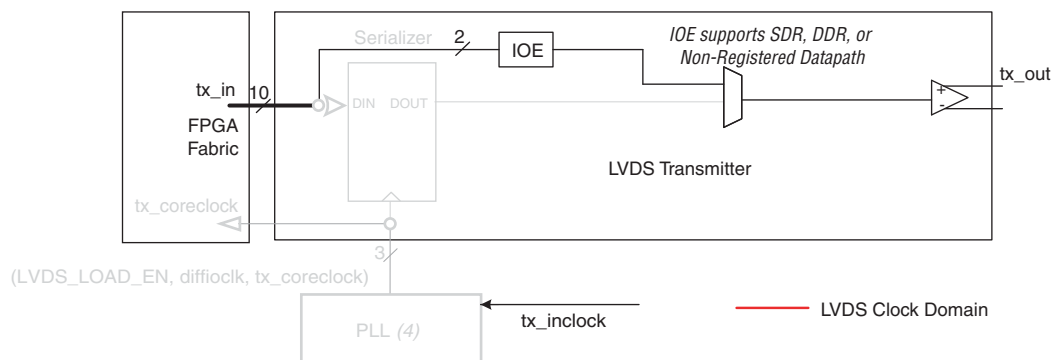


図 8-5 の注：

- (1) すべてのディセーブルされたブロックと信号はグレー表示になっています。
- (2) DDR モードでは、tx\_inclock は IOE レジスタをクロックします。SDR モードでは、データは IOE を直接に通過されます。
- (3) SDR および DDR モードでは、IOE へのデータ幅はそれぞれ 1 および 2 ビットです。
- (4) Arria II GX のセンター / コーナー PLL、あるいは Arria II GZ の左 / 右 PLL

差動アプリケーションには、特定のクロック - データ・アラインメントまたはデータ・レート - クロック・レート・ファクタが必要になる場合があります。Arria II LVDS トランスミッタは、ソース同期トランスミッタ・クロック出力を生成するようにコンフィギュレーションできます。この柔軟性により、出力クロックをデータ出力の近くに配置して、ボード・レイアウトを簡略化し、クロックとデータ間のアラインメントを低減することができます。出力クロックは、シリアライゼーション・ファクタによって 1、2、4、6、8、または 10 で分周することも可能です。データに対するクロックの位相は、0° または 180° (エッジまたは中央揃え) に設定できます。PLL は、さらに 45° の増分でその他の位相シフトの追加サポートを提供します。これらの設定は、QuartusII MegaWizard™ PlugIn Manager ソフトウェアでスタティックに行われます。

図 8-6 に、クロック出力モードでの Arria II LVDS トランスミッタを示します。クロック出力モードでは、LVDS チャンネルはクロック出力チャンネルとして使用できます。

図 8-6. LVDS クロック出力モードのトランスミッタ

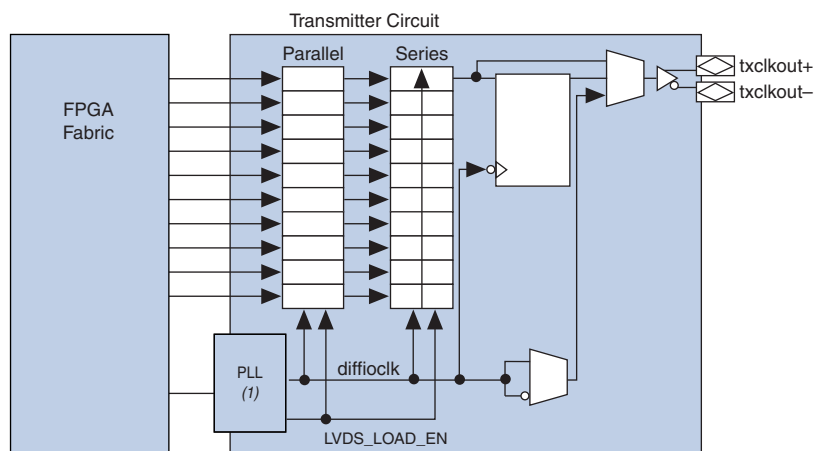


図 8-6 の注：

(1) Arria II GX のセンター/コーナー PLL、あるいは Arria II GZ の左/右 PLL

## プログラマブル・プリエンファシスおよびプログラマブル $V_{OD}$

プリエンファシスは、出力信号の高周波成分の振幅を大きくして、伝送線路における周波数依存減衰を補償するのに役立ちます。図 8-7 に、プリエンファシス付きおよびプリエンファシスなしの LVDS 出力シングル・エンド波形を示します。 $V_{OD}$  の定義も示されています。

図 8-7. プリエンファシス付きおよびプリエンファシスなしの LVDS 出力シングル・エンド波形 (注 1)

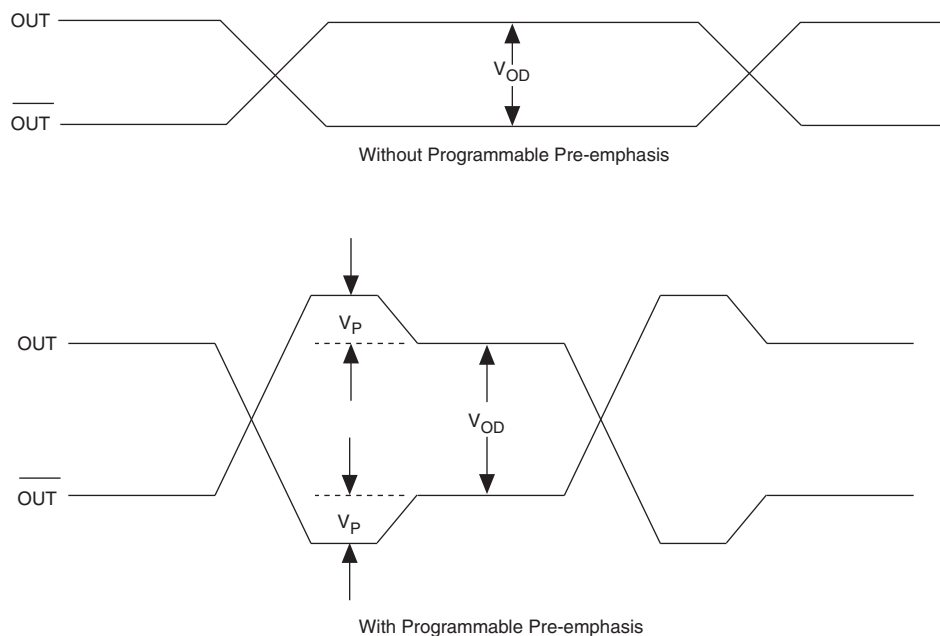


図 8-7 の注：

(1)  $V_p$ -プリエンファシスからの電圧ブースト

プリエンファシスは高速伝送にとって重要な機能です。プリエンファシスを使用しない場合、出力電流は  $V_{OD}$  設定およびドライバの出力インピーダンスにより制限されます。高周波数では、スルー・レートが次のエッジの前にフル  $V_{OD}$  に達するほど高速ではないため、パターンに依存するジッタが発生します。プリエンファシスを適用した場合、スイッチング中に出力電流が瞬時に増幅され、出力スルー・レートが増大します。この余分な電流によるオーバーシュートは、信号の反射で発生するオーバーシュートとは異なり、スイッチング中にのみ発生し、リングングは生じません。このオーバーシュートを  $V_{OD}$  電圧に含めてはいけません。

表 8-5 に、Quartus II ソフトウェアの Assignment Editor でのアサインメント名およびプログラマブル・プリエンファシスの使用可能な値をリストします。

表 8-5. Quartus II ソフトウェアの Assignment Editor でのプログラマブル・プリエンファシス設定

アサインメント名	アサインメント値	
	Arria II GX デバイス	Arria II GZ デバイス
Programmable Pre-Emphasis	0 (オフ)、 1 (デフォルトでオン)	0 (デフォルトで 0)、 1 (中低)、 2 (中高)、 3 (高)

$V_{OD}$  設定は Assignment Editor からスタティックに割り当てることができます。表 8-6 に、Quartus II ソフトウェアの Assignment Editor でのプログラマブル  $V_{OD}$  のアサインメント名および使用可能な値をリストします。

表 8-6. Quartus II ソフトウェアの Assignment Editor でのプログラマブル  $V_{OD}$

アサインメント名	アサインメント値	
	Arria II GX デバイス	Arria II GZ デバイス
Programmable Differential Output Voltage ( $V_{OD}$ )	2	0、1、2、3

## 差動レシーバ

Arria II デバイス・ファミリは、サイド I/O またはロウ I/O で高速差動信号を受信するための専用回路を備えています。図 8-8 に、Arria II レシーバのハードウェア・ブロックを示します。レシーバは、トランスミッタとレシーバ間で共有できる差動バッファと PLL、DPA ブロック、シンクロナイザ、データ・リアライメント・ブロック、およびデシリアライザを備えています。差動バッファは、Quartus II ソフトウェアの Assignment Editor でスタティックに設定することで、LVDS、mini-LVDS、および RSDS 信号レベルを受信します。図 8-8 に、右側の I/O バンクにおける LVDS レシーバのブロック図を示します。

図 8-8. LVDS レシーバのブロック図 (注 1)、(2)

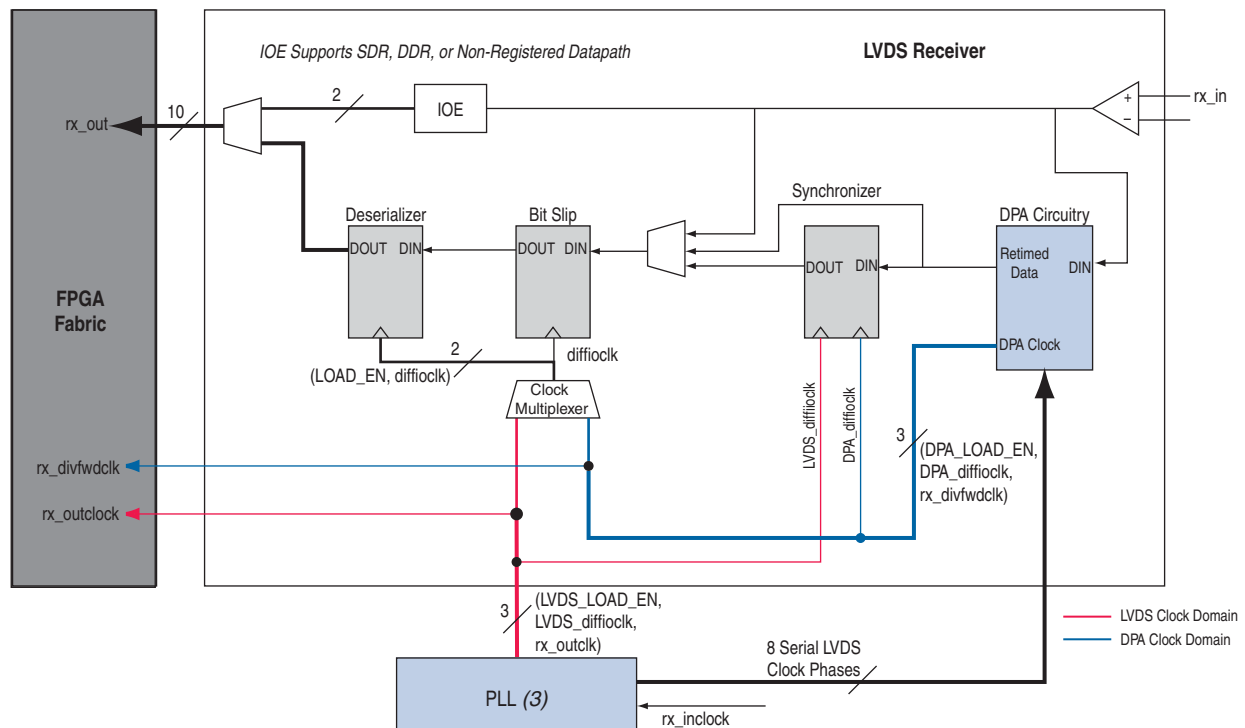


図 8-8 の注：

- (1) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (2) `rx_out` port ポートは最大 10 ビットのデータ幅があります。
- (3) Arria II GX のセンター/コーナー PLL、あるいは Arria II GZ の左/右 PLL

Arria II の PLL は外部基準クロック入力 (`rx_inclk`) を受信し、同じクロックの 8 つの異なる位相を生成します。DPA ブロックは 8 つのクロック位相のいずれかを選択し、着信データを揃えて、レシーバのスキュー・マージンを大きくします。必要に応じて、ユーザーがコントロールするデータ・リアライメント回路はシリアル・ビット・ストリームに 1 ビットのレイテンシを挿入し、ワード境界をアライメントします。必要に応じて、ユーザーがコントロールするデータ・リアライメント回路はシリアル・ビット・ストリームに 1 ビットのレイテンシを挿入し、ワード境界をアライメントします。デシリアライザはシリアル・データをパラレル・データに変換し、FPGA ファブリックにパラレル・データを送信します。


LVDS トランスミッタとレシーバ・チャンネルを接続する物理媒体は、シリアル・データおよびソース・シンクロナス・クロック間のスキューを生じる可能性があります。また、レシーバで観察される、各 LVDS チャンネルおよびクロック間の瞬間的なスキューは、データとクロック信号のジッタによって異なります。



非 DPA モードにのみ手動によるスキュー調整が必要です。

ソース・シンクロナス・クロック / 基準クロックおよび受信したシリアル・データ間のスキューを克服するために、Arria II デバイスが次のレシーバ・モードをサポートします。

- 非 DPA モード
- DPA モード
- ソフト CDR (クロック・データ・リカバリ) モード

 専用の SERDES および DPA 回路はデバイスの右側にのみ存在します。トップおよびボトムの I/O バンクは非 DPA モードのみサポートします。非 DPA モードでは、SERDES はコア・ロジックに実装されます。

## レシーバ・ハードウェア・ブロック

差動レシーバは以下のハードウェア・ブロックで構成されています。

- 8-13 ページの「DPA」
- 8-14 ページの「シンクロナイザ」
- 8-14 ページの「データ・リアライメン・ブロック (ビット・スリップ)」
- 8-15 ページの「デシリアライザ」

### DPA

DPA ブロックは差動入力バッファから高速シリアル・データを取り込み、PLL が生成した 8 つの位相クロックから 1 つの最適の位相を選択して、データをサンプリングします。クロックの 8 つの位相は均等に分割され、 $45^\circ$  の分解能を提供します。受信データと選択された位相の間の最大位相オフセットは  $1/8$  単位間隔 (UI) であり、これは DPA ブロックの最大量子化誤差です。DPA ブロックが選択した最適なクロック位相 (DPA\_diffioclk) は、FIFO バッファへのデータの書き込み、またはソフト CDR 動作の SERDES クロックに使用されます。


 8-9 に DPA クロックと受信シリアル・データ間の可能な位相関係を示します。

図 8-9. DPA クロック位相とシリアル・データ・タイミングの関係 (注 1)

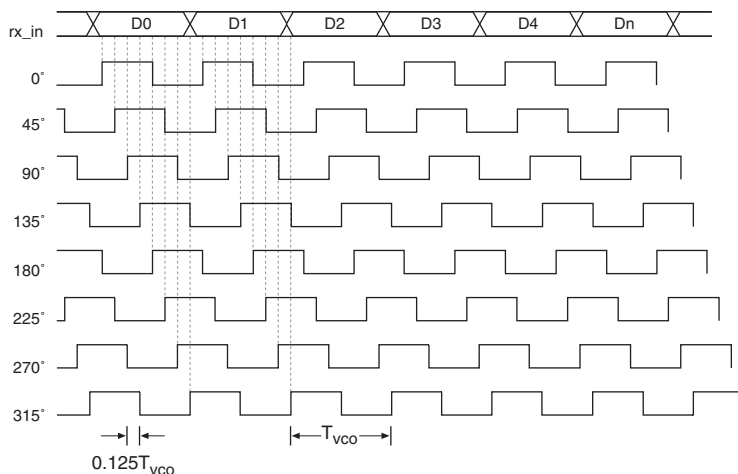


図 8-9 の注:

(1) T<sub>vco</sub> は PLL シリアル・クロックの周期として定義されます。

DPA ブロックは、256 回以上のトレーニング・パターンおよびトレーニング・シーケンスを必要とします。トレーニング・パターンは固定されないため、少なくとも 1 回の遷移がある任意のトレーニング・パターンを使用することができます。オプションのユーザー制御信号 (rx\_dp11\_hold) をアサートすると、DPA クロックは現在の位相にフリーズされます。この信号は、DPA 回路が初期の位相選択後に位相を継続に調整させたくない場合に役立ちます。

DPA 回路が最適なサンプリング位相を維持するために位相を切り替えると、ロックを失います。ロックされたとしても、以下の状況のいずれかに該当すれば、DPA 回路はロック・ステータスを失うことがあります。

- 1 回の位相変更 (現在の位相に隣接する)
- 同じ方向に 2 回の位相変更

独立したリセット信号 (rx\_reset) は FPGA ファブリックから伝達され、ユーザー・モードで DPA 回路をリセットします。DPA 回路はリセット後に再トレーニングする必要があります。

### シンクロナイザ

シンクロナイザは、DPA\_diffioclk と PLL が生成した高速クロック (LVDS\_diffioclk) 間の位相差を補正する 1 ビット幅 x 6 ビット深度の FIFO バッファです。すべての DPA チャンネルでは、データをサンプリングするために選択された位相が異なる可能性があるため、高速 LVDS クロック・ドメインへのデータを同期するために FIFO バッファが必要です。シンクロナイザは位相差を補正するだけで、データとレシーバの入力基準クロック間の周波数差は補正できません。シンクロナイザは、DPA が受信データを最初にロックすると自動的にリセットします。

オプションの信号 (rx\_fifo\_reset) は FPGA ファブリックで使用でき、シンクロナイザをリセットします。DPA がロック状態を喪失し、データ・チェックが破壊された受信データを示す場合、rx\_fifo\_reset を使用してシンクロナイザをリセットすることが推奨されています。

### データ・リアライメン・ブロック (ビット・スリップ)

送信データのスキューとリンクで追加されるスキューによって、受信シリアル・データ・ストリームにチャンネル間スキューが発生します。DPA がイネーブルされた場合、受信データは各チャンネル上の異なるクロック位相でキャプチャされます。これにより、チャンネル間で受信データのミスアライメントが生じる可能性があります。このチャンネル間スキューを補正し、各チャンネル上で正しい受信ワード境界を確立するために、各レシーバ・チャンネルは専用のデータ・リアライメント回路を備えており、シリアル・ストリームにビット・レイテンシを挿入してデータを再アライメントします。

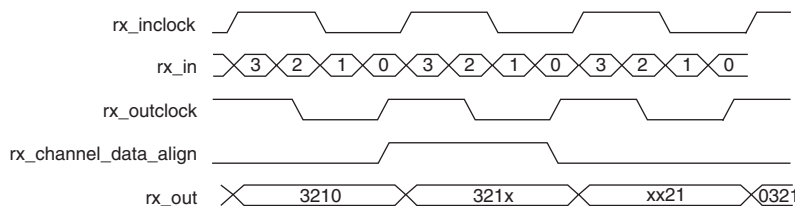
オプションの信号 (rx\_channel\_data\_align) は、内部ロジックから個別に制御される各レシーバのビット挿入を制御します。データは rx\_channel\_data\_align の立ち上がりエッジで 1 ビット・スリップします。rx\_channel\_data\_align 信号の要件は以下の通りです。

- エッジでトリガされる信号である。
- 最小パルス幅はロジック・アレイの平行ル・クロックの 1 周期である。
- パルス間の最小 Low 時間は、平行ル・クロックの 1 周期である。
- rx\_channel\_data\_align を保持しても余分なスリップは生じない。

- 有効なデータは、rx\_channel\_data\_align 信号の立ち上がりエッジから 2 パラレル・クロック・サイクル後に利用可能になる。

図 8-10 に、デシリアライゼーション・ファクタを 4 に設定した状態での、1 ビット・スリップ・パルス後のレシーバ出力を示します。

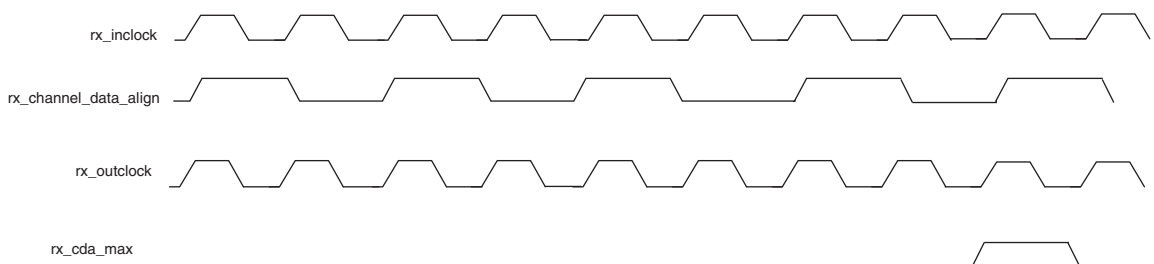
図 8-10. データ・リアラインメント・タイミング



データ・リアラインメント回路は、ロールオーバーが発生する前に最大 11 ビット時間を挿入することができます。プログラマブル・ビットのロールオーバー・ポイントは、デシリアライゼーション・ファクタに関係なく、1 ~ 11 ビット時間にすることができます。プログラマブル・ビットのロールオーバー・ポイントは、デシリアライゼーション・ファクタと等しいかそれよりも高くなければなりません。これで、ワード・アラインメント回路ではフル・ワードが通過できる十分な深さが実現できます。ALTLVDS メガファンクションを使用して、ビット・ロールオーバー・ポイントの値を設定できます。プリセット・ロールオーバー・ポイントに達したことを示すために、各チャンネルから FPGA ファブリックにオプションのステータス信号 (rx\_cda\_max) が提供されます。

図 8-11 にロールオーバーが発生する前に 4 ビット時間のプリセット値を示します。ロールオーバーが発生したことを示すために、rx\_cda\_max 信号は 1 rx\_outclock サイクルの間パルスします。

図 8-11. レシーバ・データ・リアラインメント・ロールオーバー



### デシリアライザ

シフト・レジスタおよびパラレル・ロード・レジスタを含むデシリアライザは、FPGA ファブリックにデータを送信する前に、ビット・スリップからのシリアル・データをパラレル・データに変換します。4、6、7、8 または 10 のデシリアライゼーション・ファクタがサポートされます。DDR (x2) および SDR (x1) 動作をサポートするためには、デシリアライザを図 8-12 に示すようにバイパスすることができます。DPA およびデータ・リアラインメント回路は、デシリアライザがバイパスされている場合は使用できません。IOE は、DDR または SDR モードで動作可能な 2 個のデータ入力レジスタを内蔵しています。

図 8-12. デシリアライザのバイパス (注 1)、(2)、(3)

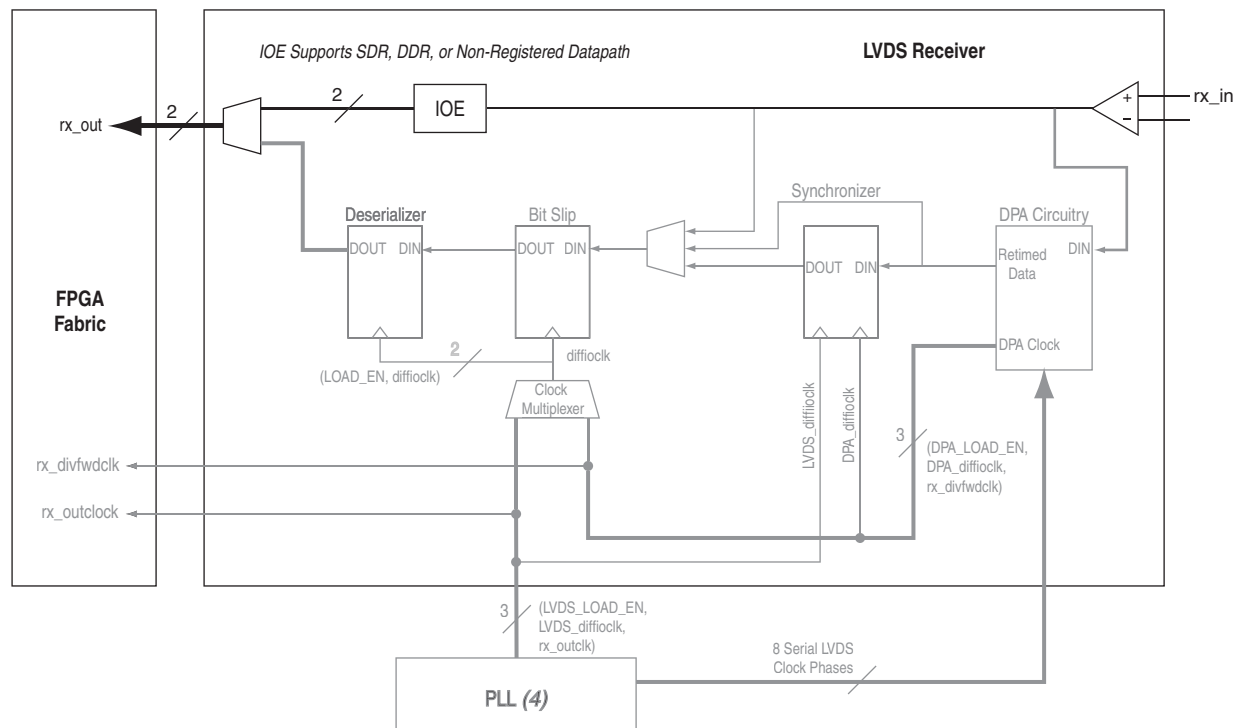


図 8-12 の注：

- (1) すべてのディセーブルされたブロックと信号はグレー表示になっています。
- (2) DDR モードでは、`tx_inclock` は IOE レジスタをクロックします。SDR モードでは、データは IOE を直接に通過されます。
- (3) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (4) Arria II GX のセンター/コーナー PLL、あるいは Arria II GZ の左/右 PLL

## レシーバ・データパス・モード

Arria II デバイスは次のデータパス・モードをサポートします。

- 「非 DPA モード」
- 「DPA モード」
- 「ソフト CDR モード」

### 非 DPA モード

非 DPA モードでは、ソース・シンクロナス基準クロックおよび入力シリアル・データ間のスキューを補償するために、2 つの信号間の最適な位相をスタティックに選択できます。基準クロックは、差動信号でなければなりません。図 8-13 に、非 DPA のデータパスのブロック図を示します。入力シリアル・データは PLL によって生成されるシリアル LVDS\_diffioclk クロックの立ち上がりエッジまたは立ち下がりエッジで登録されます。ALTLVDS メガファンクションで **rising/falling edge** オプションを選択することができます。データ・リアラインメントおよびデシリアライザ・ブロックの両方は LVDS\_diffioclk で駆動されます。

Arria II GX デバイスの場合、840Mbps 以上のデータ・レートで非 DPA のレシーバとインタフェースする際、チャンネル間スキューを改善するためには、PCB トレース補償を実行して各 LVDS チャンネルのトレース長を調整する必要があります。

Quartus II ソフトウェアの Fitter Report パネルでは、Arria II GX の各トレースに追加する必要のある遅延が表示されます。LVDS Transmitter/Receiver Package Skew Compensation パネルで示した推奨トレース遅延を使用して、手動で PCB ボード・トレース上の遅延を補償することができます。これにより、チャンネル間スキューを低減し、LVDS チャンネル間のタイミング・バジェットを満たすことができます。


 LVDS Transmitter/Receiver Package Skew Compensation パネルについて詳しくは、『SERDES Transmitter/Receiver (ALTLVDS) Megafunction User Guide』の「Arria II GX LVDS Package Skew Compensation Report Panel」の項を参照してください。

図 8-13. 非 DPA モードでのレシーバ・データパス (注 1)、(2)、(3)

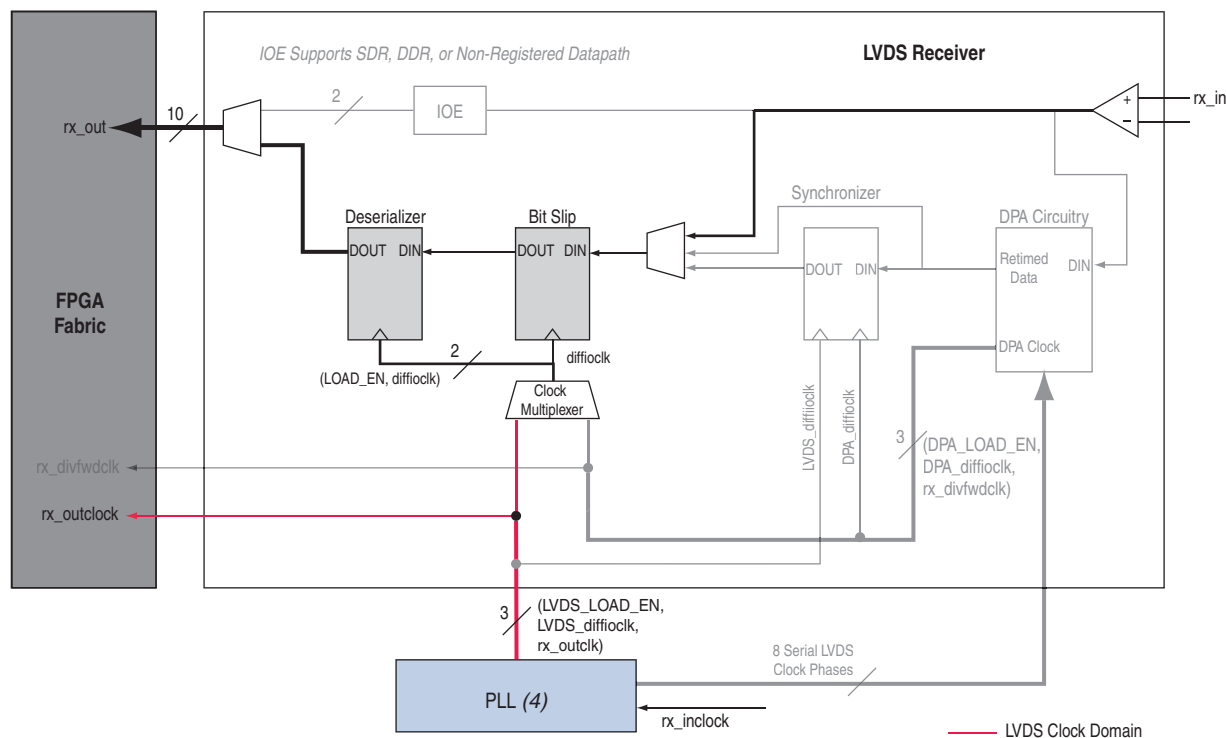


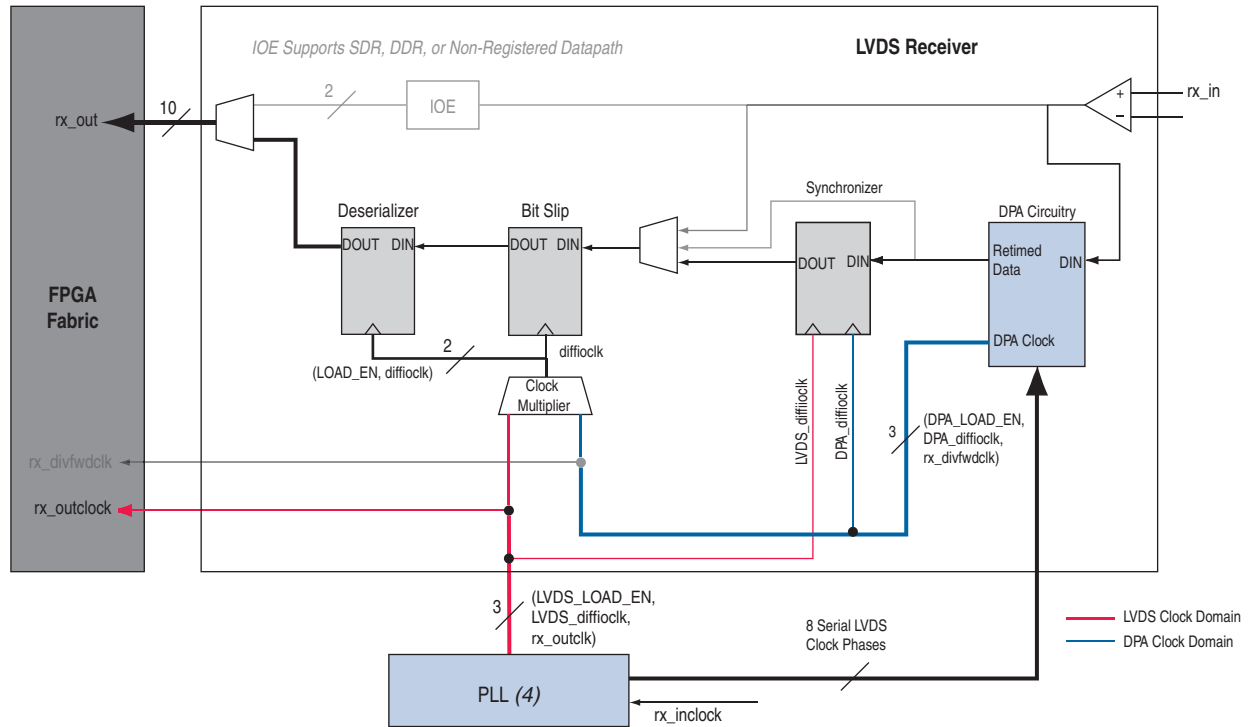
図 8-13 の注：

- (1) すべてのディセーブルされたブロックと信号はグレー表示になっています。
- (2) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (3) rx\_out ポートは最大 10 bits のデータ幅があります。
- (4) Arria II GX のセンター/コーナー PLL、あるいは Arria II GZ の左/右 PLL

### DPA モード

DPA モードでは、ソース・シンクロナス基準クロックおよび入力シリアル・データ間のスキューを補償するために、DPA 回路は 2 つの信号間の最適な位相を自動的に選択します。基準クロックは、差動信号でなければなりません。図 8-14 に、DPA モードでのデータパスを示します。シリアル・データをシンクロナイザに書き込むには、DPA\_diffioclk クロックを使用します。シリアル・データをシンクロナイザから読み出すには、LVDS\_diffioclk クロックを使用します。データ・リアライメント・ブロックおよびデシリアライザ・ブロックに同じ LVDS\_diffioclk クロックを使用してください。

図 8-14. DPA モードでのレシーバ・データパス (注 1)、(2)、(3))



## 図 8-14 の注：

- (1) すべてのディセーブルされたブロックと信号はグレー表示になっています。
- (2) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (3) rx\_out ポートは最大 10 bits のデータ幅があります。
- (4) Arria II GX のセンター / コーナー PLL、あるいは Arria II GZ の左 / 右 PLL

### ソフト CDR モード

図 8-15 に、ソフト CDR モードでのデータパスのブロック図を示します。ソフト CDR モードでは、PLL はローカル・クロックを基準クロックとして使用しています。基準クロックは、差動信号でなければなりません。DPA 回路は、アップストリーム・トランスミッタとローカル・レシーバの入力基準クロック間の ppm（周波数誤差）の差を追跡するために、継続的に位相を変更します。DPA\_diffioclk クロックはビット・スリップ操作およびデシリアライゼーションに使用されます。DPA\_diffioclk クロックはデシリアライゼーション・ファクタで分周され、rx\_divfwdclk を生成します。その後、rx\_divfwdclk クロックは FPGA ファブリックに転送されます。FPGA ファブリックへのレシーバ出力データ (rx\_out) はこのクロックに同期されます。センター/コーナー PLL によって生成される平行ル・クロック rx\_outclock も FPGA ファブリックに転送されます。

図 8-15. ソフト CDR モードでのレシーバ・データパス (注 1)、(2)、(3)

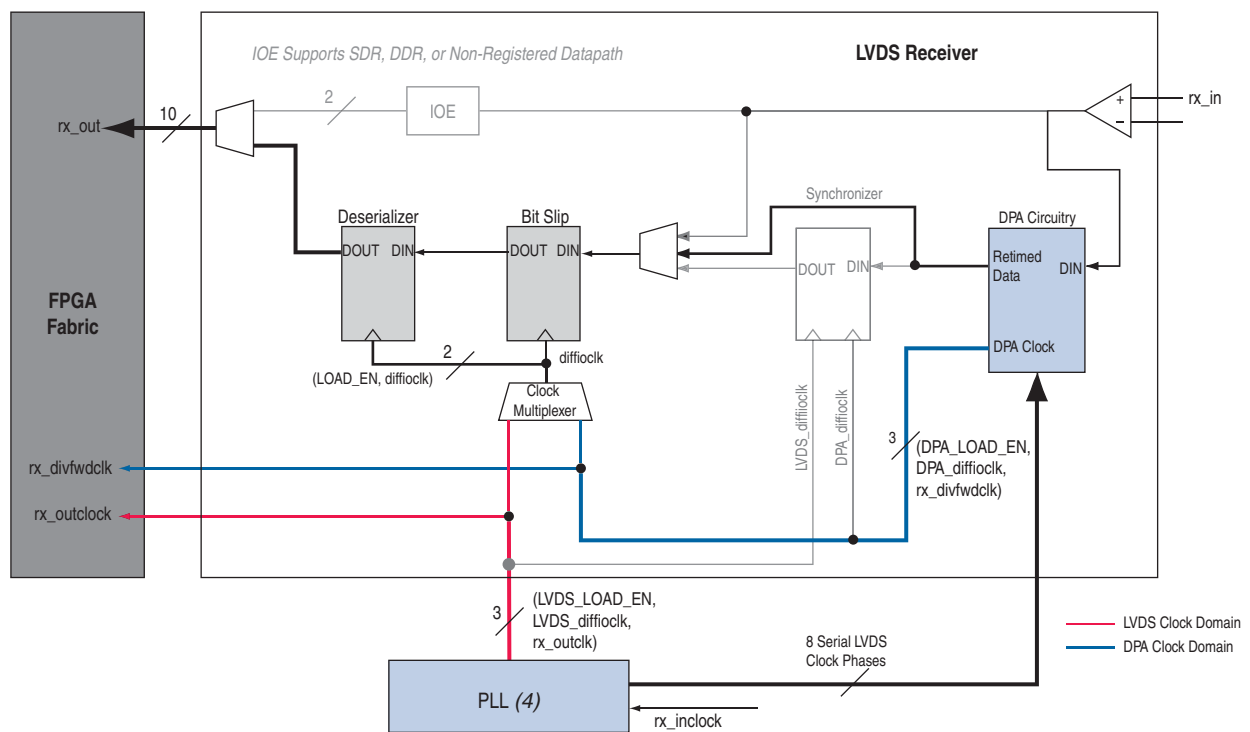


図 8-15 の注：

- (1) すべてのディセーブルされたブロックと信号はグレー表示になっています。
- (2) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (3) rx\_out ポートは最大 10 bits のデータ幅があります。
- (4) Arria II GX のセンター/コーナー PLL、あるいは Arria II GZ の左/右 PLL

## 差動 I/O 終端

Arria II デバイス・ファミリーは、LVDS 規格用の各差動レシーバ・チャンネルにおいて、 $100\Omega$  の  $R_D$  OCT オプションを提供します。OCT により、外部終端抵抗を追加する必要がなくなるため、ボード・スペースが削減されます。Quartus II ソフトウェアの Assignment Editor で、OCT をイネーブルできます。

Arria II GX デバイスの場合、OCT はトップ、右、およびボトム of I/O バンクでサポートされています。Arria II GX のクロック入力ピン (CLK[4..15]) は OCT をサポートしていません。Arria II GZ デバイスの場合、 $R_D$  OCT はすべてのロウ I/O ピンおよび専用クロック入力ピン (CLK[0, 2, 9, 11]) でサポートされています。カラム I/O ピンおよび専用クロック入力ピン (CLK[1, 3, 8, 10]) では、 $R_D$  OCT はサポートされていません。

図 8-16 に、LVDS 入力 OCT を示します。

図 8-16. LVDS 入力バッファ I/O の  $R_D$  OCT

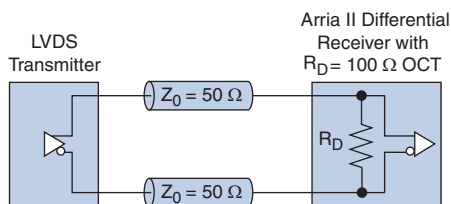


表 8-7 に、Quartus II ソフトウェアの Assignment Editor における差動入力 OCT のアサインメント名およびアサインメント値をリストします。

表 8-7. Quartus II ソフトウェアの Assignment Editor における差動入力 OCT

アサインメント名	アサインメント値
Input Termination (Accepts wildcards/groups)	Differential

詳細は、「[I/O Features in Arria II Devices](#)」の章を参照してください。

## PLL

Arria II GX デバイスは、デバイスの右側に最大 4 個のセンターおよびコーナー PLL を含めた最大 6 個の PLL を備えています。デバイスの右側のセンター/コーナー PLL を使用して、SERDES および DPA 回路に対してパラレル・クロック (rx\_outclock および tx\_outclock) および高速クロック (diffioclk) を生成します。3 ページの図 8-1 に、Arria II GX デバイスの PLL の位置を示します。センター/コーナー PLL を高速差動 I/O サポート・モードで使用するとき、クロック・スイッチオーバーとダイナミック・リコンフィギュレーションが使用できます。

Arria II GZ デバイスは、デバイスの左側および右側にそれぞれ最大 2 個の PLL を配置し、最大 4 個の PLL を備えています。左 PLL は左側で高速差動 I/O バンクをサポートし、右 PLL はデバイスの右側で高速差動 I/O バンクをサポートします。高速差動 I/O レシーバおよびトランスミッタ・チャンネルは、これらの左および右 PLL を使用して、パラレル・クロック (rx\_outclock および tx\_outclock) および高速クロック (diffioclk) を生成します。4 ページの図 8-2 に、Arria II GZ デバイスの左および右 PLL の位置を示します。PLL VCO はデータ・レート of クロック周波数で動作します。左および右 PLL を高速差動 I/O サポート・モードで使用するとき、クロック・スイッチオーバーとダイナミック・リコンフィギュレーションが使用できます。

PLL について詳しくは、「[Clock Network and PLLs in Arria II Devices](#)」の章を参照してください。

## LVDS および DPA クロック・ネットワーク

LVDS および DPA クロック・ネットワークは Arria II GX デバイスの右側にのみあります。センター/コーナー PLL は、LVDS および DPA クロック・ネットワークを通して、差動トランスミッタおよびレシーバ・チャンネルに供給します。図 8-17 および図 8-18 に、センター PLL なしおよびセンター PLL 付きのファミリー・メンバーの LVDS クロック・ツリーをそれぞれ示します。センター PLL は上側および下側の LVDS クロック・ツリーをドライブできます。センター PLL 付きまたはセンター PLL なしの Arria II GX デバイスでも、コーナー PLL はトップおよびボトム of LVDS クロック・ツリーをドライブできます。

図 8-17. センター PLL なしの Arria II GX デバイスの LVDS および DPA クロック・ネットワーク

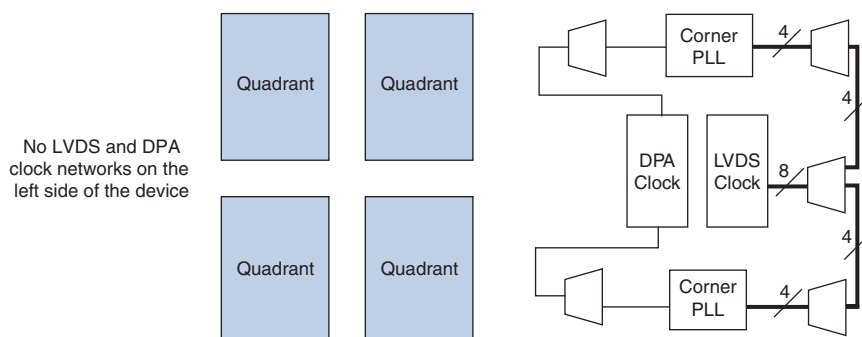
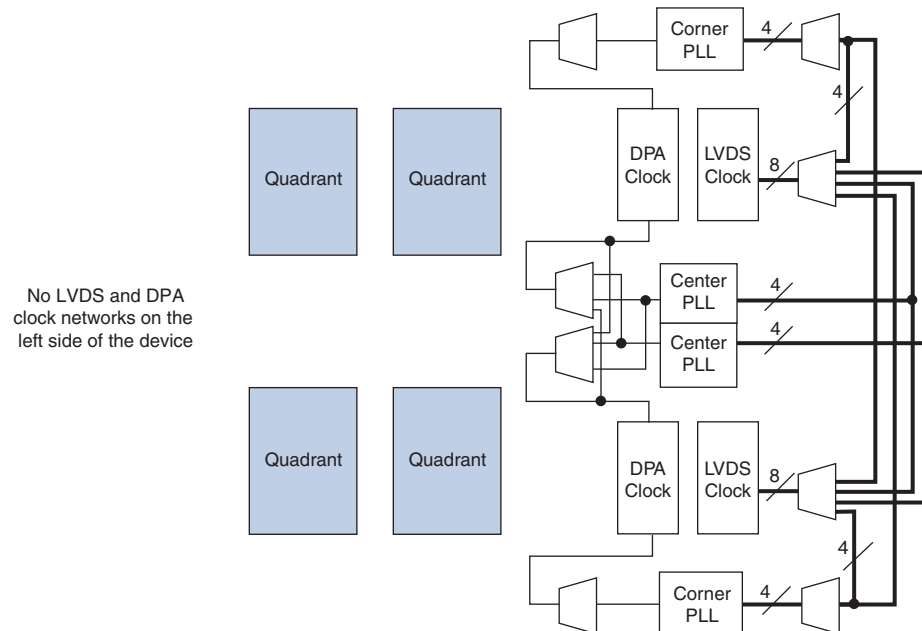


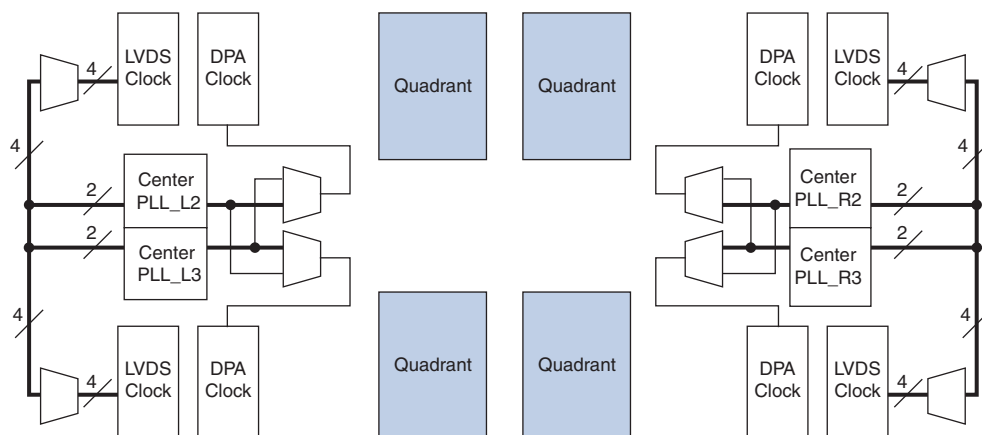
図 8-18. センター PLL 付きの Arria II GX デバイスの LVDS および DPA クロック・ネットワーク



Arria II GZ デバイスの左および右 PLL は、LVDS および DPA クロック・ネットワークを通して、差動トランスミッタおよびレシーバ・チャンネルに供給されます。センターの左側および右側の PLL は、それらの上のバンクまたは下のバンクにトランスミッタおよびレシーバ・チャンネルをクロックすることができます。

図 8-19 に、Arria II GZ デバイスのセンター PLL のクロッキングを示します。

図 8-19. センター PLL 付きの Arria II GZ デバイスの LVDS/DPA クロック



Arria II デバイスの PLL クロッキングの制約について詳しくは、8-27 ページの「差動ピン配置ガイドライン」を参照してください。

## ソース同期タイミング制約

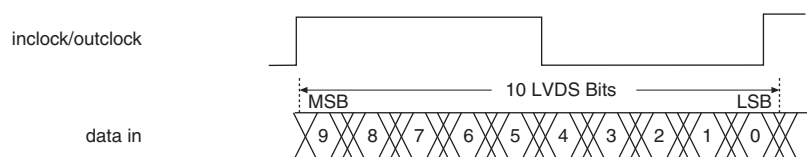
この項では、Arria II デバイスでのソース同期信号方式のタイミング制約、波形、および仕様について説明します。差動ブロックのタイミング解析は、従来の同期タイミング解析とは異なります。したがって、これらの高速信号のタイミング解析方法を理解することが重要です。この項では、ソース同期差動データ方向タイミング・パラメータ、タイミング制約の定義、およびこれらのタイミング・パラメータによるデザインの最大性能の決定方法を定義します。

### 差動データ方向

外部クロックと受信データの間には一定の関係があります。1 Gbps および 10 のシリアライゼーション・ファクタの動作では、外部クロックを 10 逡倍します。フェーズ・アラインメントを PLL で各データ・ビットのサンプリング・ウィンドウと一致するよう設定できます。データは逡倍されたクロックの立ち下がりエッジでサンプリングされます。

図 8-20 に、X10 モードのデータ・ビット方向を示します。

図 8-20. ビット方向



### 差動 I/O のビット位置

高周波でのデータ伝送を成功させるにはデータの同期化が必要です。図 8-21 に、チャンネル動作のデータ・ビット方向を示します。これらの図は以下をベースとしています。

- シリアライゼーション・ファクタがクロック逡倍係数と同等である
- エッジ・アラインメントがフェーズ・アラインメントに選択される
- ハード SERDES に実装される

その他のシリアル変換係数は、QuartusII ソフトウェア・ツールを使用してワード内のビット位置を検索します。デシリアライゼーション後のビット位置は、表 8-8 に表記されています。

図 8-21. 1 本の差動チャンネルのビット・オーダおよびワード境界 (注 1)

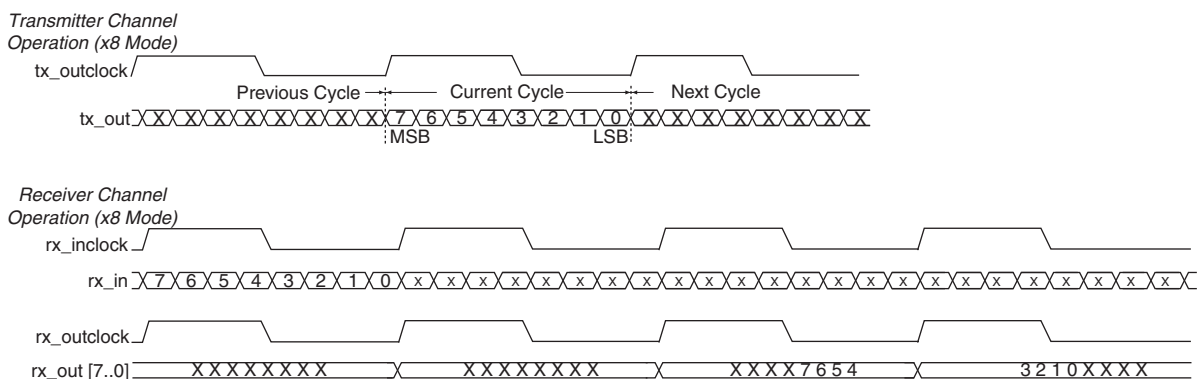


図 8-21 の注：

(1) これらの波形は波形の機能のみを示しており、タイミング情報を示すことを意図したものではありません。

表 8-8 に、18 個の差動チャンネルの差動ビットの命名規則を示します。最上位ビット (MSB) および最下位ビット (LSB) の位置は、システムで使用されるチャンネル数が増えると増加します。


表 8-8. 差動ビットの命名

レシーバ・チャンネル・データ 番号	内部 8 ビット・パラレル・データ	
	最上位ビット (MSB) の位置	最下位ビット (LSB) の位置
1	7	0
2	15	8
3	23	16
4	31	24
5	39	32
6	47	40
7	55	48
8	63	56
9	71	64
10	79	72
11	87	80
12	95	88
13	103	96
14	111	104
15	119	112
16	127	120
17	135	128
18	143	136

## トランスミッタ・チャンネル間スキュー

トランスミッタ・チャンネル間スキュー (TCCS) は、ソース同期差動インタフェースでの Arria II トランスミッタに基づく重要なパラメータです。このパラメータはレシーバ・スキュー・マージンの計算に使用されます。

TCCS は、TCO の変動やクロック・スキューなどを含む最速および最低速のデータ出力の遷移間の差です。LVDS トランスミッタに対して、TimeQuest タイミング・アナライザは、シリアル出力ポートの TCCS の値を示す TCCS レポートを提供します。

 TCCS の値は、TimeQuest タイミング・アナライザの下の QuartusII のコンパイル・レポートでの TCCS レポート (report\_TCCS)、または [「Arria II Device Data Sheet」](#) の章から取得できます。

## 非 DPA モードのレシーバ・スキュー・マージン

温度、媒体 (ケーブル、コネクタ、または PCB)、および装荷などのシステム環境における変化はレシーバのセットアップ時間とホールド時間に影響を与えます。また、内部スキューの変化はレシーバのサンプリング機能に影響を与えます。

LVDS レシーバの異なるモードは異なる仕様を使用し、正しく受信したシリアル・データをサンプリングする機能について決定するのに役に立ちます。DPA モードでは、レシーバ・スキュー・マージン (RSKM) の代わりに、DPA ジッタ許容値を使用してください。

非 DPA モードでは、レシーバのデータ・パスにおける高速ソース同期差動信号に対して、RSKM、TCCS、およびサンプリング・ウィンドウ (SW) 仕様を使用します。RSKM、TCCS、および SW 間の関係は式 8-1 に示す RSKM の式によって表されます。

式 8-1.

---

$$RSKM = \frac{TUI - SW - TCCS}{2}$$

---

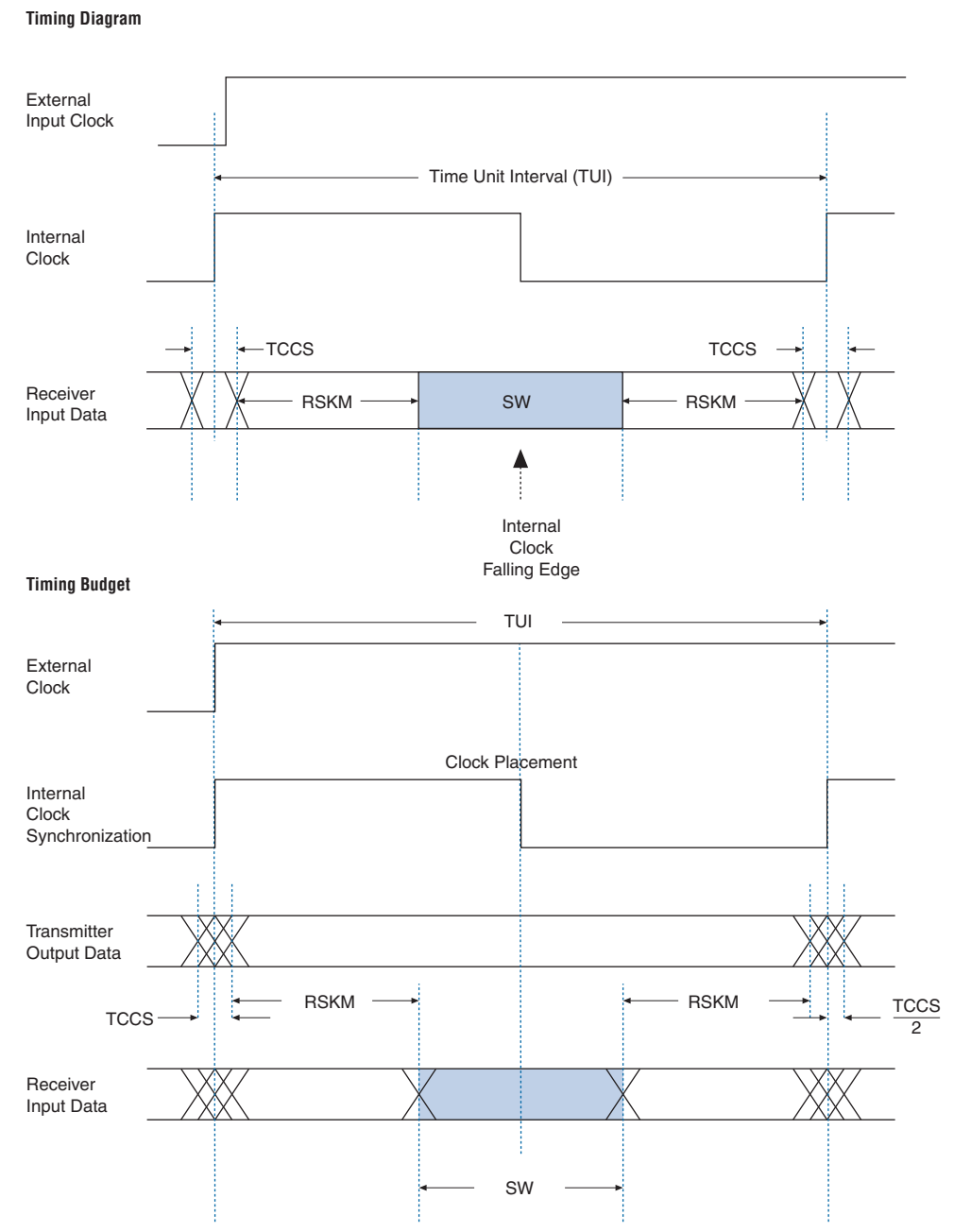
ここで、

- TUI(Time unit interval) — シリアル・データの期間
- RSKM— レシーバのクロック入力およびデータ入力 SW 間のタイミング・マージン
- SW— データが LVDS レシーバで正しくサンプリングされることを確認するために、入力データが安定している期間です。サンプリング・ウィンドウはデバイス・プロパティであり、デバイスのスピード・グレードによって異なります。
- TCCS—TCO の変動やクロック・スキューなどを含む最速および最低速のデータ出力の遷移間の差です。

LVDS レシーバが特定のデータ・レートとデバイスでデータを正しくサンプリングできるかどうかを決定するためには、RSKM の値を計算する必要があります。正の RSKM 値は LVDS レシーバがデータを正しくサンプルできることを示し、負の RSKM 値はそうすることができないことを示します。

図 8-22 に、RSKM、TCCS、および SW 間の関係を示します。

図 8-22. 非 DPA モードの場合の差動高速タイミング図およびタイミング見積もり




LVDS レシーバでは、QuartusII ソフトウェアは非 DPA モードの SW、TUI おとび RSKM 値を示す RSKM レポートを提供します。TimeQuest アナライザで **report\_RSKM** コマンドを実行することで、RSKM を生成することができます。RSKM レポートは、**TimeQuest Timing Analyzer** の項の Quartus II コンパイル・レポートにあります。



RSKM 値を得るには、TimeQuest アナライザの Constraints メニューを利用して適切な入力遅延を LVDS レシーバに割り当てます。

## 差動ピン配置ガイドライン

適切な高速動作を確実に実行させるために、差動ピン配置ガイドラインが提供されています。QuartusII コンパイラは、これらのガイドラインに準拠しているかどうか自動的にチェックし、準拠していない場合はエラー・メッセージを表示します。

 DPA がイネーブルされた差動チャンネルは DPA モードまたはソフト CDR モードを示し、DPA がディセーブルされたチャンネルは非 DPA モードを示します。

### DPA がイネーブルされたチャンネルおよびシングル・エンド I/O

シングル・エンド I/O と LVDS I/O が同じ I/O バンクを共有するとき、LVDS I/O ピンに対するシングル・エンド I/O ピンの配置は制限されています。DPA がイネーブルされた LVDS I/O または DPA がディセーブルされた LVDS I/O に対するシングル・エンド I/O 配置の制約は同じです。

- シングル・エンド I/O 規格が DPA がイネーブルされた差動 I/O バンクと同じ  $V_{CCIO}$  を使用している限り、同じ I/O バンクにシングル・エンド I/O を配置できます。
- シングル・エンド入力は、SERDES 回路を使用する差動チャンネルと同じロウに配置できます。
- ダブル・データ・レート I/O (DDIO) は SERDES 差動チャンネルと同じ LAB ロウ内に配置されますが、ハーフ・レート DDIO またはシングル・データ・レート (SDR) 出力ピンはレシーバ SERDES 差動チャンネルと同じ LAB ロウ内に配置できません。入力レジスタは FPGA ファブリック・ロジック内に実装する必要があります。

### DPA がイネーブルされた差動チャンネルのガイドライン

DPA がイネーブルされたチャンネルを使用する場合、以下のガイドラインに準拠する必要があります。

#### DPA がイネーブルされたチャンネルのドライブ距離

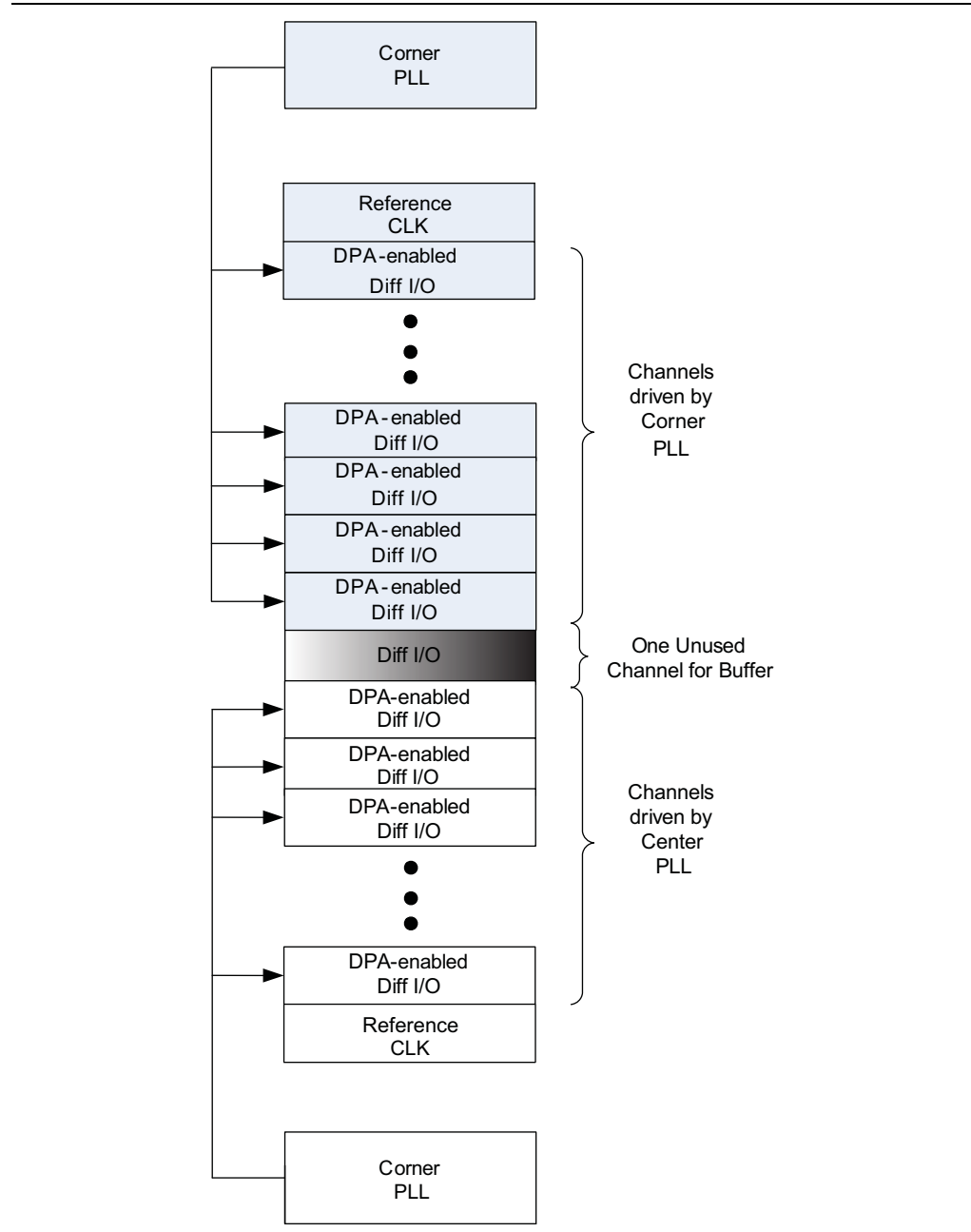
各センターまたはコーナー PLL でドライブされる DPA がイネーブルされたチャンネルの数が 25 LAB ロウを超える場合、アルテラはすべての DPA チャンネルのためのデータ・リアライメント (ビット・スリップ) 回路を実装することを推奨します。

#### Arria II GX デバイスにおけるセンター PLL およびコーナーの左側および右側の PLL の使用

コーナー PLL が 1 つのグループを、センター PLL が別のグループをドライブするというように、DPA がイネーブルされたチャンネルが 2 個の PLL でドライブされている場合、少なくとも 1 つのロウで 2 つの DPA チャンネル・グループを分割する必要がありますが、2 つの DPA がイネーブルされたチャンネル・グループは別々の周波数で動作できます (図 8-23 参照)。この 2 つのグループは別々の周波数で動作できるため、このような分離はノイズの混合を防ぎます。

1 個の PLL が DPA がイネーブルされたチャンネル、および DPA がディセーブルされたチャンネルをドライブしている場合、分離させる必要はありません。

図 8-23. 同じバンクにある DPA がイネーブルされた差動 I/O をドライブしているセンターおよびコーナー PLL



### 両方のセンター PLL の使用

図 8-23 に示すように、センター PLL が隣接するバンク内のチャンネルのみで DPA がイネーブルされたチャンネルをドライブする場合、それらの PLL を DPA がイネーブルされたチャンネルを同時にドライブするのに使用することができます。


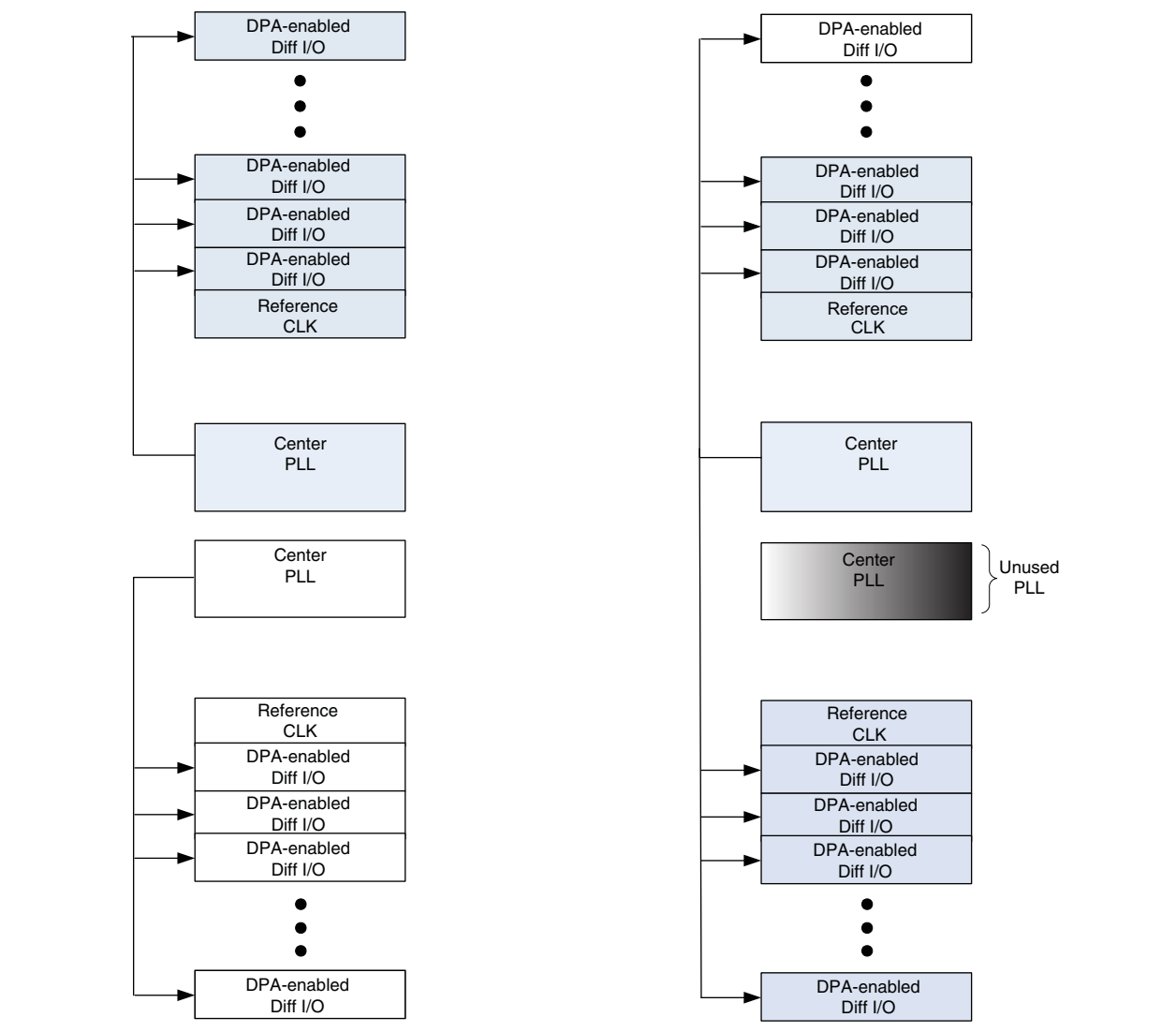
 センター PLL は、Arria II GX デバイスの右 I/O バンクおよび Arria II GZ デバイスの右と左 I/O バンクに使用できます。

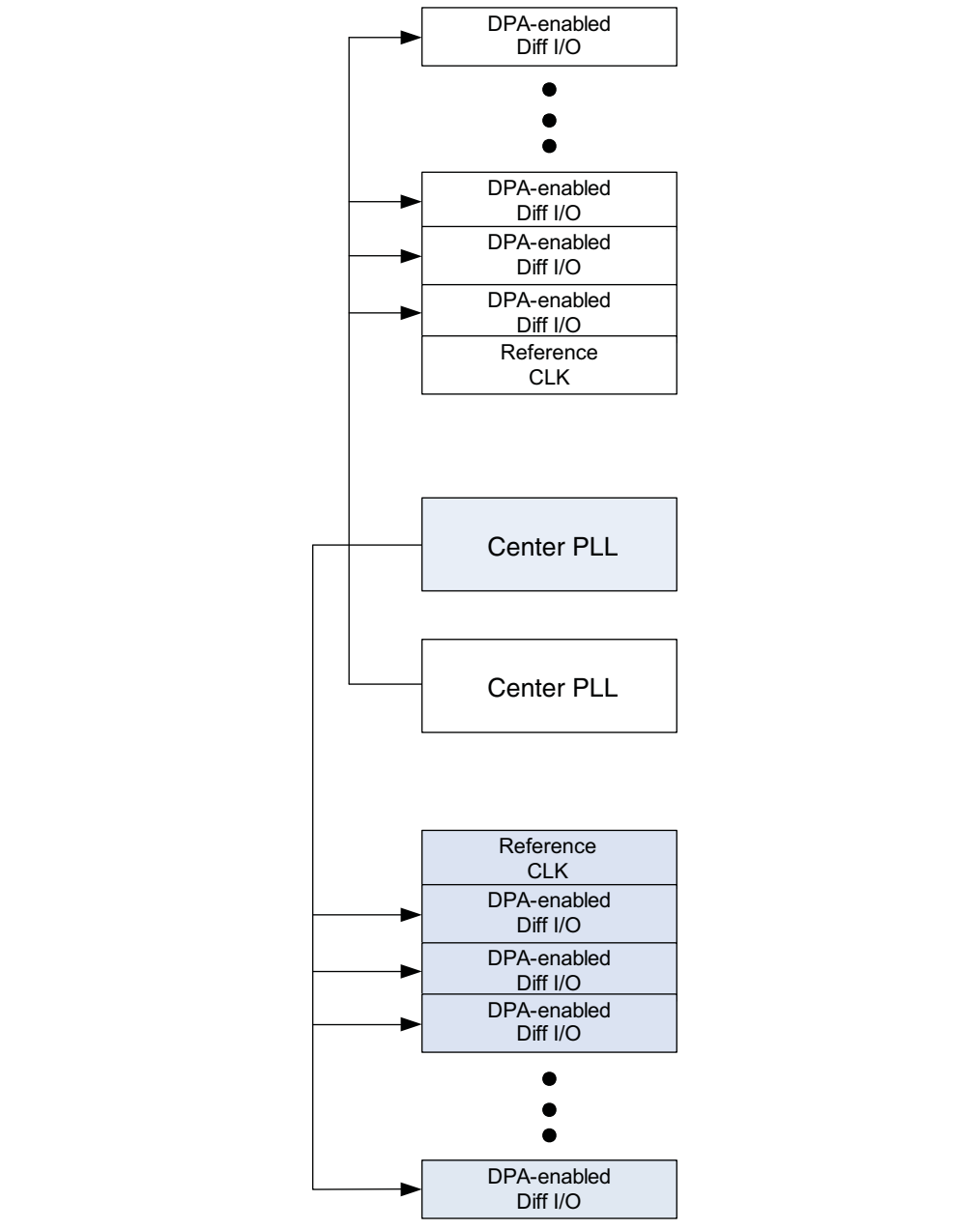
図 8-24 に示すように、センター PLL の 1 つが上下の I/O バンクをドライブする場合、その他のセンター PLL は差動チャンネルをドライブするのに使用できません。

図 8-24. DPA がイネーブルされた差動 I/O をドライブしているセンター PLL



上方のセンター PLL が下方の I/O バンク内の DPA がイネーブルされたチャンネルをドライブする場合、下方のセンター PLL は上方の I/O バンク内の DPA がイネーブルされたチャンネルを（あるいはその逆を）ドライブすることはできません。つまり、センター PLL は、図 8-25 に示すようにバンクをクロスして同時にドライブすることができません。

図 8-25. 両方のセンター PLL でドライブされる DPA がイネーブルされた差動 I/O の無効な配置



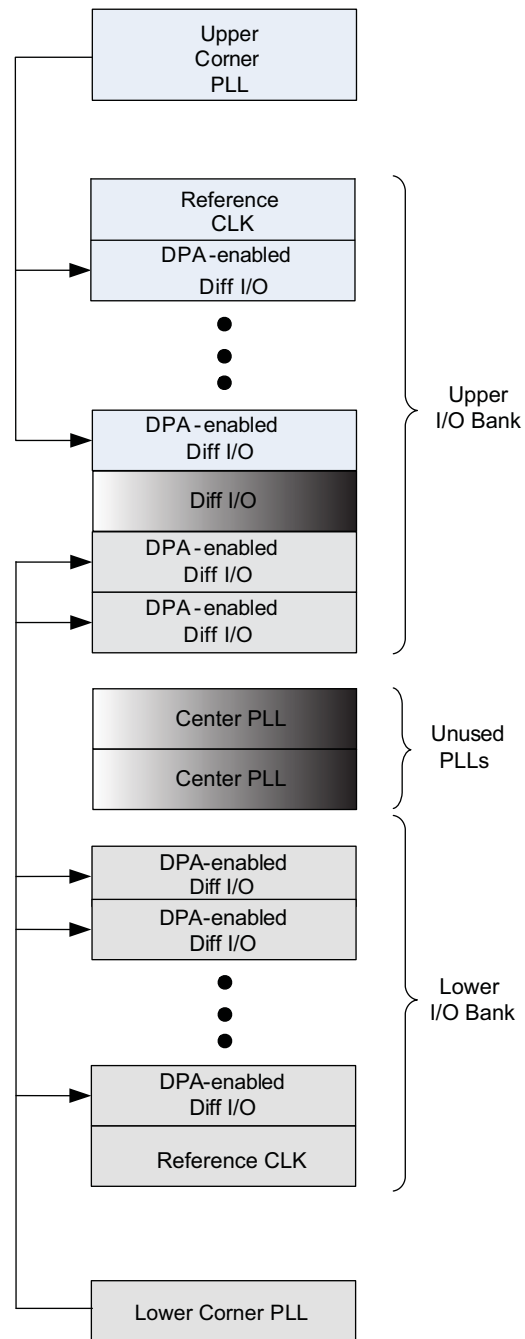
### Arria II GX デバイスにおける両方のコーナー PLL の使用

両方のコーナー PLL が隣接するバンク内のチャンネルのみで DPA がイネーブルされたチャンネルをドライブする場合、それらの PLL を DPA がイネーブルされたチャンネルを同時にドライブするのに使用することができます。少なくとも 1 つのロウで 2 つの DPA がイネーブルされたチャンネル・グループを分割する必要があります。

コーナー PLL の 1 つが上下のバンクをドライブする場合、センター PLL が使用できなくなります。その他のコーナー PLL を使用して隣接するバンクのみで DPA がイネーブルされたチャンネルをドライブできます。少なくとも 1 つのロウで 2 つの DPA がイネーブルされたチャンネル・グループを分割する必要があります。

上方のコーナー PLL が下方の I/O バンク内の DPA がイネーブルされたチャンネルをドライブする場合、下方のコーナー PLL は上方の I/O バンク内の DPA がイネーブルされたチャンネルを（あるいはその逆を）ドライブすることはできません。つまり、コーナー PLL は、[図 8-26](#) に示すようにバンクをクロスして同時にドライブすることができません。

図 8-26. DPA がイネーブルされた差動 I/O をドライブしているセンター PLL



## DPA がディセーブルされた差動チャネルのガイドライン

DPA がディセーブルされたチャネルを使用する場合、以下のガイドラインに準拠する必要があります。

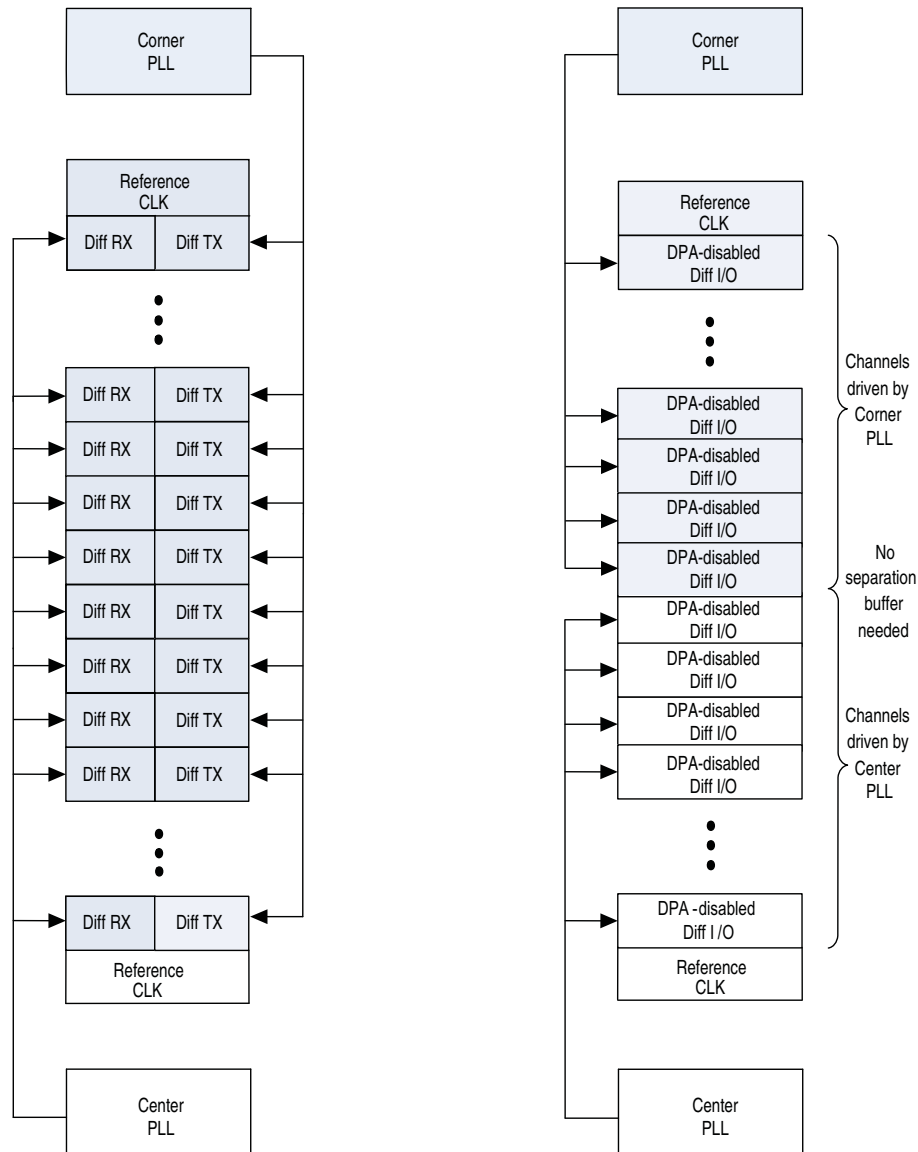
### DPA がディセーブルされたチャネルのドライブ距離

各 PLL は、バンク全体のすべての DPA がディセーブルされたチャネルをドライブすることができます。

### Arria II GX デバイスにおけるセンター PLL およびコーナー PLL の使用

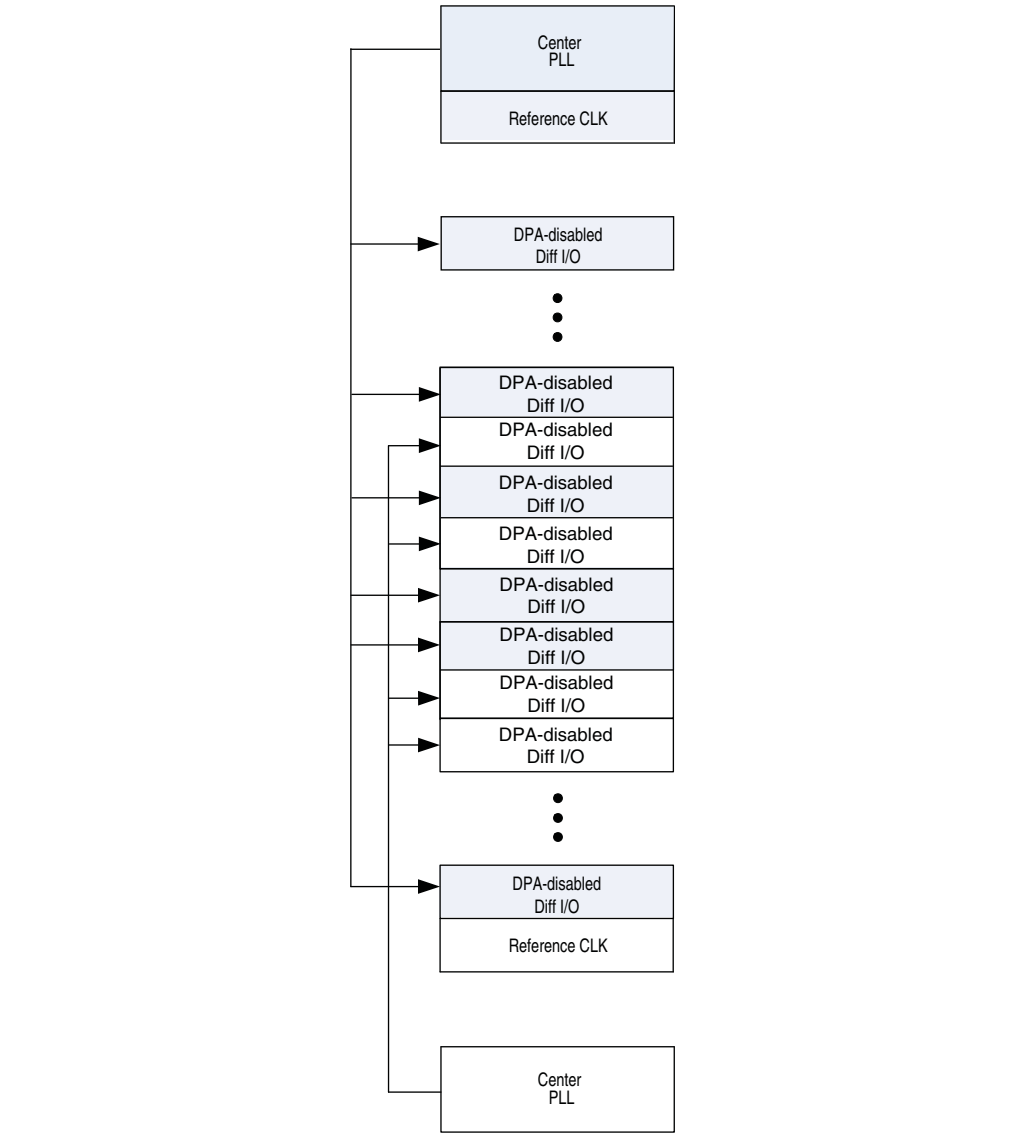
コーナー PLL を使用してすべてのトランスミッタ・チャネルをドライブできます。また、センター PLL を使用して同じ I/O バンク内のあらゆる DPA がディセーブルされたレシーバ・チャネルをドライブすることもできます。つまり、[図 8-27](#) に示すとおり、異なる 2 つの PLL によって同じ LAB ロウのトランスミッタ・チャネルおよびレシーバ・チャネルをドライブすることができます。

図 8-27. 同じバンクにある DPA がディセーブルされた差動 I/O をドライブしているコーナーおよびセンター PLL



各 PLL でドライブされるチャンネルがインタリーブされない限り、コーナー PLL およびセンター PLL で、同じ I/O バンク内のデュプレックス・チャンネルをドライブできます。コーナーおよびセンターの左右 PLL でドライブされるチャンネル・グループ間に分離は必要ありません。図 8-27 および図 8-28 を参照してください。

図 8-28. コーナーおよびセンター PLL でドライブされるチャンネルのインタリーブによる DPA がディセーブルされた差動 I/O の無効な配置



## 両方のセンター PLL の使用

両方のセンター PLL は、上方および下方の I/O バンクで DPA がディセーブルされたチャンネルをドライブするために同時に使用できます。DPA がイネーブルされたチャンネルの場合とは異なり、センター PLL はバンクをクロスして DPA がディセーブルされたチャンネルをドライブすることができます。例えば、図 8-29 に示すように、上方のセンター PLL が下方の I/O バンクをドライブする同時に、下方のセンター PLL は上方の I/O バンクをドライブすること（あるいはその逆）ができます。


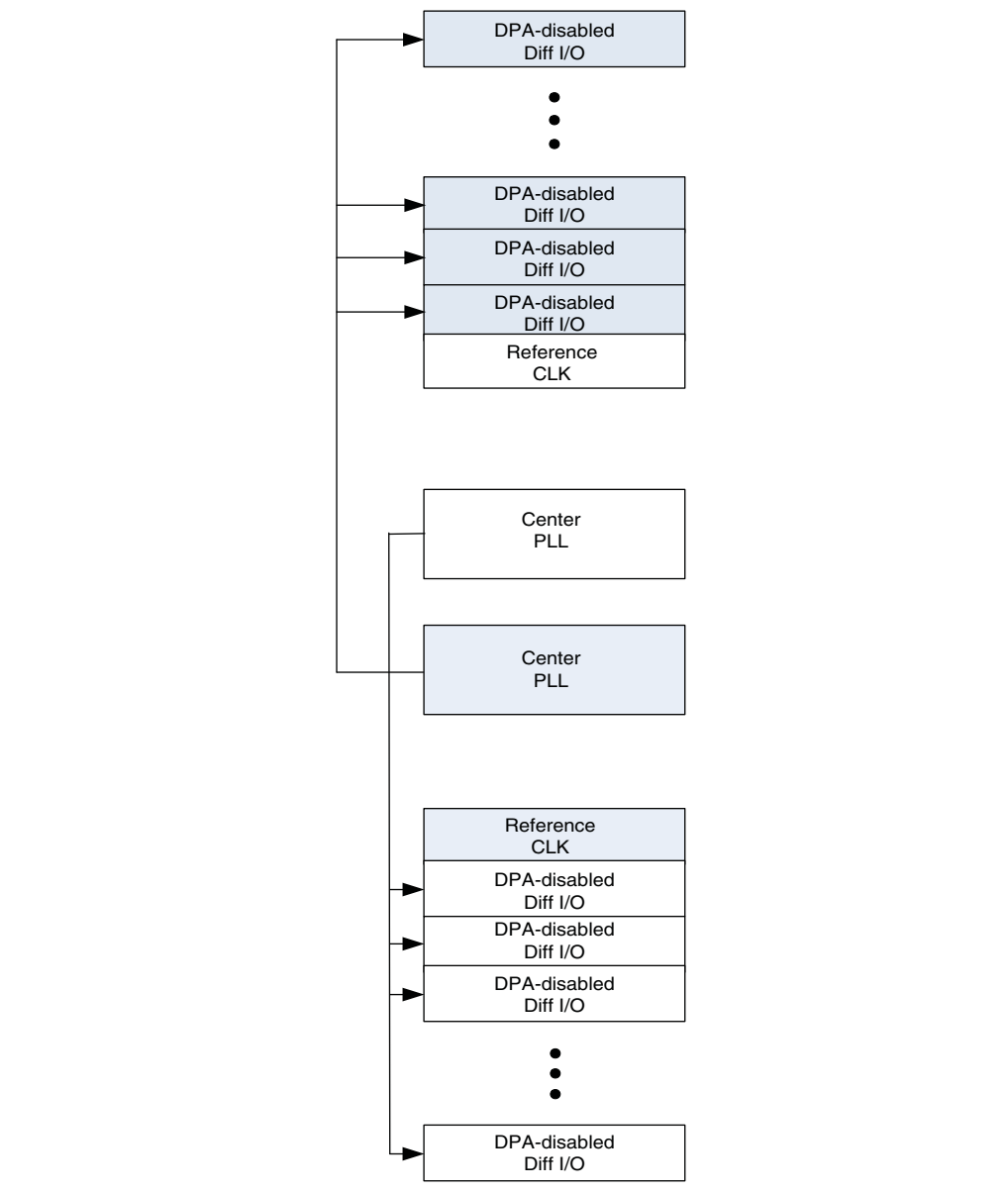
 センター PLL は、Arria II GX デバイスの右 I/O バンクおよび Arria II GZ デバイスの右と左 I/O バンクに使用できます。

図 8-29. 両方のセンター PLL がバンクをクロスして DPA がディセーブルされたチャンネルをドライブしている



## Arria II GX デバイスにおける両方のコーナー PLL の使用

両方のコーナー PLL を使用して DPA がディセーブルされたチャンネルを同時にドライブすることができます。両方の PLL はバンクをクロスしてドライブすることができます。

コーナー PLL を使用してすべてのトランスミッタ・チャンネルをドライブできます。また、もう 1 つのコーナー PLL を使用して同じ I/O バンク内のすべての DPA がディセーブルされたレシーバ・チャンネルをドライブすることもできます。

各 PLL でドライブされるチャンネルがインタリーブされない限り、コーナー PLL およびセンター PLL で、同じ I/O バンク内のデュプレックス・チャンネルをドライブできます。両方のコーナー PLL でドライブされるチャンネル・グループ間に分離は必要ありません。

## LVDS トランスミッタ・チャンネルまたは LVDS レシーバ・チャンネルの設定

ALTLVDS メガファンクションにより、LVDS トランスミッタ・チャンネルまたは LVDS レシーバ・チャンネルの設定が容易になります。ALTLVDS メガファンクションで、SERDES および DPA 回路の設定をコントロールすることができます。ALTLVDS メガファンクションをインスタンス化するとき、PLL が自動的にインスタンス化され、PLL のパラメータを設定することができます。このメガファンクションにより、LVDS トランスミッタ・チャンネルまたは LVDS レシーバ・チャンネルのクロッキング・セットアップが簡素化されます。ただし、PLL を使用する時の柔軟性が低下する欠点があります。

ALTLVDS メガファンクションは、外部 PLL によって LVDS トランスミッタまたはレシーバ・インタフェースを実装するためのオプションを提供します。このオプションをイネーブルすると、PLL の設定をコントロールすることができます。例えば、異なるデータ・レート、ダイナミック位相シフト、およびその他の設定をサポートするために、PLL をダイナミックにリコンフィギュレーションすることが可能です。また、様々なクロックおよびロード・イネーブル信号を生成するためには、ALTPLL メガファンクションをインスタンス化する必要があります。

- PLL、SERDES、DPA ブロックの設定のコントロール、および LVDS トランスミッタとレシーバ・インタフェース信号については、[「SERDES Transmitter/Receiver \(ALTLVDS\) Megafunction User Guide」](#) を参照してください。
- ALTPLL メガファンクションについては、[「Phase Locked-Loops \(ALTPLL\) Megafunction User Guide」](#) を参照してください。

## 改訂履歴

表 8-9 に、本資料の改訂履歴を示します。

表 8-9. 改訂履歴

日付	バージョン	変更内容
2010年12月	4.0	Quartus II ソフトウェア v10.1 のリリースにより、以下を更新。 <ul style="list-style-type: none"> <li>■ Arria II GZ デバイスの情報を追加</li> <li>■ 表 8-3 および表 8-4 を更新</li> <li>■ 図 8-2 を更新</li> </ul>
2010年7月	3.0	Arria II GX v10.0 のリリースにより、以下を更新。 <ul style="list-style-type: none"> <li>■ 表 8-1 および表 8-2 を更新</li> <li>■ 図 8-1 および図 8-5 を更新</li> <li>■ 「非 DPA モード」の項を更新</li> <li>■ 表 8-1. サポートされるデータ範囲を削除</li> <li>■ テキストのマイナーな編集</li> </ul>
2009年11月	2.0	Arria II GX v9.1 のリリースにより、以下を更新。 <ul style="list-style-type: none"> <li>■ 表 8-1 および表 8-2 を更新</li> <li>■ 図 8-1 を更新</li> <li>■ 「LVDS チャンネル」 および 「非 DPA モード」の項を更新</li> <li>■ テキストのマイナーな編集</li> </ul>
2009年6月	1.1	<ul style="list-style-type: none"> <li>■ 表 8-2 および表 8-3 を更新</li> <li>■ 「プログラマブル・プリエンファシスおよびプログラマブル VOD」 および 「LVDS チャンネル」の項を更新</li> </ul>
2009年2月	1.0	初版