

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AIIGX51007-3.0

本章では、DLL (Delay-Locked Loop) など、DDR メモリ規格に対して高速メモリ・インタフェースを促進するための Arria® II GX におけるハードウェア機能について説明します。また、メモリ・インタフェースは、On-Chip Termination (OCT: チップ内終端)、プログラマブル入力遅延チェーン、プログラマブル出力遅延、スルー・レート調整およびプログラマブル・ドライブ強度などの I/O 機能を使用しています。

Arria II GX デバイスは、小型のモジュール・ベースの I/O バンク構造により、幅広い外部メモリ・インタフェースに迅速かつ容易に適合する効率的なアーキテクチャを提供します。これらの I/O は、DDR3、DDR2、DDR SDRAM、QDR II+、および QDR II SRAM などの既存および新しい外部メモリ規格に対して、柔軟かつ高性能のサポートを提供するように設計されています。Arria II GX FPGA はトップ、ボトム、およびライトの I/O バンクで DDR メモリをサポートします。

この高性能なメモリ・インタフェース・ソリューションには、セルフ・キャリブレート・メガファンクション (ALTMEMPHY) および UniPHY IP コアが含まれ、Arria II GX の I/O 構造および TimeQuest タイミング・アナライザを活用するように最適化されています。ALTMEMPHY メガファンクションおよび UniPHY IP コアはプロセス、電圧、温度 (PVT) の変動に対して信頼性のある、高い動作周波数のための完全なソリューションを提供します。

PVT バリエーションに基づいて位相シフトを再同期化するために、ALTMEMPHY メガファンクションおよび UniPHY IP コアは PLL (phase-locked loop) および PLL リコンフィギュレーション・ロジックをインスタンス化します。

この章は、以下の項で構成されています。

- 「Arria II GX メモリ・インタフェース・ピンのサポート」
- 7-14 ページの「×36 QDR II+/QDR II SRAM インタフェースに対する ×16/×18 DQ/DQS グループの組み合わせ」
- 7-15 ページの「Arria II GX 外部メモリインタフェースの機能」



Arria II GX デバイスの場合、Quartus II ソフトウェア V10.0 は、UniPHY IP コア付きの QDR II および DR II + SRAM コントローラのみをサポートします。




上記の機能について詳しくは、「[I/O Features in Arria II GX Devices](#)」の章を参照してください。



Arria II GX デバイスの外部メモリ・システム仕様、実装、ボード・ガイドライン、タイミング解析、シミュレーション、デバッグ情報、ALTMEMPHY メガファンクション、および UniPHY IP コアに対するサポートについては、「[External Memory Interface Handbook](#)」を参照してください。



Arria II GX PLL について詳しくは、「[Clock Networks and PLLs in Arria II GX Devices](#)」の章を参照してください。

 ピン位置要件および Arria II GX デバイスと外部メモリ・デバイス間のピン接続について詳しくは、「外部メモリ・インタフェース・ハンドブック Volume 2」の「Section I. Device and Pin Planning」を参照してください。

Arria II GX デバイスのメモリ・クロック・ピンは、差動出力ピンに送られる DDIO レジスタを使用して生成されます (図 7-2 を参照)。ピン・テーブルで DIFFIN または DIFFIO_RX プリフィックス付きの Arria II GX ピンは、差動出力機能をサポートし、メモリ・クロック・ピンとして使用できます。

図 7-2. メモリ・クロックの生成 (注 1)

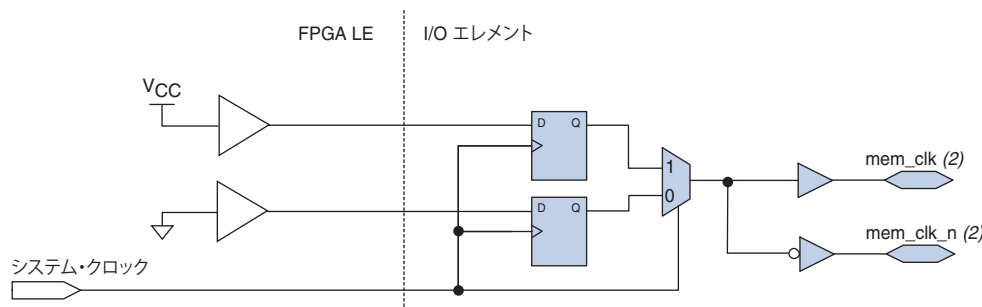



表 7-2 の注:

- (1) DDR3、DDR2、および DDR SDRAM インタフェースの mem_clk[0] および mem_clk_n[0] ピンは、フィードバック用に I/O 入力バッファを使用します。したがって、これらのピンに対しては、双方向 I/O バッファが使用されます。差動 DQS 入力を使用するメモリ・インタフェースの場合、入力フィードバック・バッファは差動入力としてコンフィギュレーションされ、シングル・エンド DQS 入力を使用するメモリ・インタフェースの場合、入力バッファはシングル・エンド入力としてコンフィギュレーションされます。シングル・エンド入力フィードバック・バッファを使用するには、その I/O バンクの VREF ピンに I/O 規格の VREF 電圧を供給する必要があります。
- (2) メモリ出力のクロック生成でのジッタを最小に抑えるためには、グローバル・クロック・ネットワークまたはリージョナル・クロック・ネットワークが必要です。

Arria II GX デバイスは、差動リード・データ・ストローブ/クロック動作の差動入力バッファを備えています。さらに、Arria II GX デバイスはコンプリメンタリ・リード・データ・ストローブ/クロック動作の各 CQn データ・ストローブ・ピンのための独立した DQS ロジック・ブロックを提供します。Arria II GX ピン・テーブルでは、差動 DQS ピン・ペアは DQS ピンと DQSn ピンとして、コンプリメンタリ DQS 信号は DQS ピンと CQn ピンとして表記されます。このピン・テーブルでは、DQS ピンと CQn ピンは別々に記載されています。各 CQn ピンは DQS ロジック・ブロックに接続され、シフトされた CQn 信号は DQS I/O エlement・レジスタのネガティブ・エッジ入力レジスタに入ります。

場合によって、DQ ピンは DDR3、DDR2、および DDR SDRAM に使用されるように、双方向信号になったり、または QDR II+/QDR II SRAM デバイスのように、単方向信号になったりすることができます。単方向読み出しデータ信号を Arria II GX DQ ピンに接続し、単方向書き込みデータ信号を読み出し DQS/DQ グループ以外の DQS/DQ グループに接続します。ライト・クロックは、このライト DQS/DQ グループに関連する DQS/DQSn ピンに割り当てられる必要があります。ライト・クロックには CQ/CQn ピンのペアを使用しないでください。

 書き込みデータ信号に DQS/DQ グループを使用することで、出力スキューが小さくなり、バーティカル・マイグレーションを可能にします。

DQS ピンおよび DQ ピンの位置は、ピン・テーブルで固定されています。トランシーバをサポートしない各 Arria II GX I/O バンクにはメモリ・インタフェース回路が存在します。すべてのメモリ・インタフェース・ピンは、DDR3、DDR2、DDR SDRAM、QDR II+/QDR II SRAM デバイスをサポートするのに必要な I/O 規格をサポートします。

Arria II GX デバイスは、データ信号とデータ・ストロブ信号を $\times 4$ 、 $\times 8/\times 9$ 、 $\times 16/\times 18$ 、または $\times 32/\times 36$ の DQ バス・モードでサポートします。DDR、DDR2 および DDR3 インタフェースは $\times 8$ グループごとに 1 本の DQS ピンを使用します。例えば、 $\times 72$ DDR2 DIMM を有するインタフェースには 9 本の DQS ピンが必要になります。これらのピンの一部がメモリ・インタフェースに使用されていないときは、ユーザー I/O として使用できます。さらに、クロッキングに使用されていない任意の DQSn または CQn ピンを DQ (データ) ピンとして使用できます。表 7-1 に、DQS および DQSn/CQn ピン・ペアを含む各 DQS/DQ バス・モードのピン・サポートを示します。

表 7-1. Arria II GX DQ/DQS バス・モードのピン数

モード	DQSn サポート	CQn サポート	パリティ または DM (オプション)	グループごとの 標準データ・ピン数	グループごとの 最大データ・ピン数 (1)
$\times 4$	Yes	No	No (2)	4	5
$\times 8/\times 9$ (3)	Yes	Yes	Yes	8 or 9	11
$\times 16/\times 18$ (4)	Yes	Yes	Yes	16 or 18	23
$\times 32/\times 36$ (5)	Yes	Yes	Yes	32 or 36	47

表 7-1 の注：

- (1) これは、シングル・エンド DQS 信号方式で DQS バス・ネットワークに接続された DQ ピン (パリティとデータ・マスクを含む) の最大数を表します。差動またはコンプリメンタリ DQS 信号方式を使用する場合は、グループあたりのデータの最大数は 1 つ少なくなります。この数は個々のデバイスで DQS/DQ グループごとに変ります。 $\times 8$ グループごとに 1 本の DQS ピンが必要なため、DDR、DDR2、および DDR3 の場合は、 $\times 8$ より大きなインタフェースのピン数が更に減少します。グループごとの正確な数は、ピン・テーブルで確認してください。
- (2) DQS が使用されていない場合、そしてグループに追加の信号がない場合は、DM ピンがサポートされます。
- (3) $8/9$ グループは 2 つの 4 DQS/DQ グループを統合して作成されるため、このグループの総ピン数は 12 本になります。
- (4) $16/18$ グループは、4 つの 4 DQS/DQ グループを統合して作成されます。
- (5) $32/36$ グループは、8 つの 4 DQS/DQ グループを統合して作成されます。

図 7-3 ~ 図 7-9 に、Arria II GX デバイスのサイドごとの最大 DQS/DQ グループ数を示します。これらの図は、Arria II GX デバイスのダイの上面図です。

表 7-2 に、Arria II GX デバイスのサイドごとの I/O モジュールおよび DQ/DQS グループの数を示します。


 グループ・ピンアウト制約フォーマットについては、「[Arria II GX Pin Connection Guidelines](#)」を参照してください。

表 7-2. Arria II GX デバイスの各サイドの DQS/DQ グループ数 (1 / 2)

デバイス	パッケージ	サイド	I/O モジュール数 (1)	DQS/DQ グループ数			
				$\times 4$	$\times 8/\times 9$	$\times 16/\times 18$	$\times 32/\times 36$
EP2AGX45 EP2AGX65	358 ピン Ultra FineLine BGA	トップ/ ボトム	3	6	3	1	0
		ライト	2	4	2	0	0

表 7-2. Arria II GX デバイスの各サイドの DQS/DQ グループ数 (2 / 2)

デバイス	パッケージ	サイド	I/O モジュール数 (1)	DQS/DQ グループ数			
				×4	×8/×9	×16/×18	×32/×36
EP2AGX45 EP2AGX65 EP2AGX95 EP2AGX125	572 ピン FineLine BGA	トップ/ ボトム	4	8	4	2	0
		ライト	6	12	6	2	0
EP2AGX45 EP2AGX65 EP2AGX95 EP2AGX125 EP2AGX190 EP2AGX260	780 ピン FineLine BGA	トップ/ ボトム/ ライト	7	14	7	3	1
EP2AGX95 EP2AGX125	1152 ピン FineLine BGA	トップ/ ボトム	9	18	9	4	2
		ライト	8	16	8	4	2
EP2AGX190 EP2AGX260	1152 ピン FineLine BGA	トップ/ ボトム/ ライト	12	24	12	6	2

表 7-2 の注：

(1) 各 I/O モジュールは 16 本の I/O ピンから構成されています。16 本のピンの中に、12 本のピンが DQ/DQS ピンです。

図 7-3 に、358 ピン Ultra FineLine BGA (UBGA) パッケージの EP2AGX45 および EP2AGX65 デバイス内のバンクごとの DQ/DQS グループ数を示します。

図 7-3. 358 ピン Ultra FineLine BGA (UBGA) の EP2AGX45 および EP2AGX65 デバイス内のバンクごとの DQ/DQS グループ数 (注 1), (2), (3))

I/Oバンク 8A 22本のユーザーI/O x4=2 x8/x9=1 x16/x18=0 x32/x36=0	I/Oバンク 7A 38本のユーザーI/O x4=4 x8/x9=2 x16/x18=1 x32/x36=0	
358ピン Ultra FineLine BGA パッケージの EP2AGX45 および EP2AGX65 デバイス		I/Oバンク 6A 18本のユーザーI/O x4=2 x8/x9=1 x16/x18=0 x32/x36=0
		I/Oバンク 5A 18本のユーザーI/O x4=2 x8/x9=1 x16/x18=0 x32/x36=0
I/Oバンク 3A 22本のユーザーI/O x4=2 x8/x9=1 x16/x18=0 x32/x36=0	I/Oバンク 4A 38本のユーザーI/O x4=4 x8/x9=2 x16/x18=1 x32/x36=0	

図 7-3 の注：

- (1) すべての I/O ピン数は、データの入力に使用できる 12 本の専用クロック入力 (CLK4 ~ CLK15) を含みます。
- (2) バンク 6A 内の一部のコンフィギュレーション・ピンは DQ/DQS ピンと共有されます。ピン・メンバの一部がコンフィギュレーションに使用されている場合、x4 DQS/DQ グループは使用できません。選択した DQS/DQ グループがコンフィギュレーションに使用されないことを確認してください。
- (3) 358 ピン Ultra FineLine BGA パッケージの Arria II GX デバイスは x36 QDR II+/QDR II SRAM インタフェースをサポートしません。

図 7-4 に、572 ピン FineLine BGA パッケージの Arria II GX EP2AGX45 および EP2AGX65 デバイス内のバンクごとの DQ/DQS グループ数を示します。

図 7-4. 572 ピン FineLine BGA パッケージの Arria II GX EP2AGX45 および EP2AGX65 デバイス内のバンクごとの DQ/DQS グループ数 (注 1), (2), (3)

I/Oバンク 8A 38本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	I/Oバンク 7A 38本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	
572ピンFineLine BGA パッケージの EP2AGX45 および EP2AGX65 デバイス		I/Oバンク 6A 50本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0
		I/Oバンク 5A 50本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0
I/Oバンク 3A 38本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	I/Oバンク 4A 38本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	

図 7-4 の注：

- (1) すべての I/O ピン数は、データの入力に使用できる 12 本の専用クロック入力 (CLK4 ~ CLK15) を含みます。
- (2) バンク 6A 内の一部のコンフィギュレーション・ピンは DQ/DQS ピンと共有されます。ピン・メンバの一部がコンフィギュレーションに使用されている場合、×4 DQS/DQ グループは使用できません。選択した DQS/DQ グループがコンフィギュレーションに使用されないことを確認してください。
- (3) 572 ピン FineLine BGA パッケージの Arria II GX デバイスは ×36 QDR II+/QDR II SRAM インタフェースをサポートしません。

図 7-5 に、572 ピン FineLine BGA パッケージの Arria II GX EP2AGX95 および EP2AGX125 デバイス内のバンクごとの DQ/DQS グループ数を示します。

図 7-5. 572 ピン FineLine BGA パッケージの Arria II GX EP2AGX95 および EP2AGX125 デバイス内のバンクごとの DQ/DQS グループ数 (注 1), (2), (3))

I/Oバンク 8A 42本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	I/Oバンク 7A 38本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	
572ピンFineLine BGA パッケージの EP2AGX95 および EP2AGX125 デバイス		I/Oバンク 6A 50本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0
		I/Oバンク 5A 50本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0
I/Oバンク 3A 38本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	I/Oバンク 4A 42本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	

図 7-5 の注：

- (1) すべての I/O ピン数は、データの入力に使用できる 12 本の専用クロック入力 (CLK4 ~ CLK15) を含みます。
- (2) バンク 6A 内の一部のコンフィギュレーション・ピンは DQ/DQS ピンと共有されます。ピン・メンバの一部がコンフィギュレーションに使用されている場合、×4 DQS/DQ グループは使用できません。選択した DQS/DQ グループがコンフィギュレーションに使用されないことを確認してください。
- (3) 572 ピン FineLine BGA パッケージの Arria II GX デバイスは ×36 QDR II+/QDR II SRAM インタフェースをサポートしません。

図 7-6 に、780 ピン FineLine BGA パッケージの Arria II GX EP2AGX45 および EP2AGX65 デバイス内のバンクごとの DQ/DQS グループ数を示します。

図 7-6. 780 ピン FineLine BGA パッケージの Arria II GX EP2AGX45 および EP2AGX65 デバイス内のバンクごとの DQ/DQS グループ数 (1), (2)

I/Oバンク 8A 54本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0	I/Oバンク 7A 70本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1	
780ピンFineLine BGA パッケージの EP2AGX45 および EP2AGX65 デバイス		I/Oバンク 6A 50本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0
		I/Oバンク 5A 66本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1
I/Oバンク 3A 54本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0	I/Oバンク 4A 70本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1	

図 7-6 の注：

- (1) すべての I/O ピン数は、データの入力に使用できる 12 本の専用クロック入力 (CLK4 ~ CLK15) を含みます。
- (2) バンク 6A 内の一部のコンフィギュレーション・ピンは DQ/DQS ピンと共有されます。ピン・メンバの一部がコンフィギュレーションに使用されている場合、×4 DQS/DQ グループは使用できません。選択した DQS/DQ グループがコンフィギュレーションに使用されないことを確認してください。

図 7-7 に、780 ピン FineLine BGA パッケージの Arria II GX EP2AGX95、EP2AGX125、EP2AGX190 および EP2AGX260 デバイス内のバンクごとの DQ/DQS グループ数を示します。

図 7-7. 780 ピン FineLine BGA パッケージの Arria II GX EP2AGX95、EP2AGX125、EP2AGX190 および EP2AGX260 デバイス内のバンクごとの DQ/DQS グループ数 (注 1), (2)

I/Oバンク 8A 58本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0	I/Oバンク 7A 70本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1	
780ピンFineLine BGA / パッケージの EP2AGX95、EP2AGX125、EP2AGX190 および EP2AGX260 デバイス		I/Oバンク 6A 50本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0
		I/Oバンク 5A 66本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1
I/Oバンク 3A 54本のユーザーI/O ×4=6 ×8/×9=3 ×16/×18=1 ×32/×36=0	I/Oバンク 4A 74本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1	

図 7-7 の注：

- (1) すべての I/O ピン数は、データの入力に使用できる 12 本の専用クロック入力 (CLK4 ~ CLK15) を含みます。
- (2) バンク 6A 内の一部のコンフィギュレーション・ピンは DQ/DQS ピンと共有されます。ピン・メンバの一部がコンフィギュレーションに使用されている場合、×4 DQS/DQ グループは使用できません。選択した DQS/DQ グループがコンフィギュレーションに使用されないことを確認してください。

図 7-8 に、1152 ピン FineLine BGA パッケージの Arria II GX EP2AGX95 および EP2AGX125 デバイス内のバンクごとの DQ/DQS グループ数を示します。

図 7-8. 1152 ピン FineLine BGA パッケージの Arria II GX EP2AGX95 および EP2AGX125 デバイス内のバンクごとの DQ/DQS グループ数 (1), (2)

I/Oバンク 8A 74本のユーザーI/O x4=8 x8/x9=4 x16/x18=2 x32/x36=1	I/Oバンク 7A 70本のユーザーI/O x4=8 x8/x9=4 x16/x18=2 x32/x36=1	I/Oバンク 7B 16本のユーザーI/O x4=2 x8/x9=1 x16/x18=0 x32/x36=0	
1152ピンFineLine BGA パッケージの EP2AGX95 および EP2AGX125 デバイス			I/Oバンク 6A 66本のユーザーI/O x4=8 x8/x9=4 x16/x18=2 x32/x36=1
			I/Oバンク 5A 66本のユーザーI/O x4=8 x8/x9=4 x16/x18=2 x32/x36=1
I/Oバンク 3A 70本のユーザーI/O x4=8 x8/x9=4 x16/x18=2 x32/x36=1	I/Oバンク 4A 74本のユーザーI/O x4=8 x8/x9=4 x16/x18=2 x32/x36=1	I/Oバンク 4B 16本のユーザーI/O x4=2 x8/x9=1 x16/x18=0 x32/x36=0	

図 7-8 の注：

- (1) すべての I/O ピン数は、データの入力に使用できる 12 本の専用クロック入力 (CLK4 ~ CLK15) を含みます。
- (2) バンク 6A 内の一部のコンフィギュレーション・ピンは DQ/DQS ピンと共有されます。ピン・メンバの一部がコンフィギュレーションに使用されている場合、x4 DQS/DQ グループは使用できません。選択した DQS/DQ グループがコンフィギュレーションに使用されないことを確認してください。

図 7-9 に、1152 ピン FineLine BGA パッケージの Arria II GX EP2AGX190 および EP2AGX260 デバイス内のバンクごとの DQ/DQS グループ数を示します。

図 7-9. 1152 ピン FineLine BGA パッケージの Arria II GX EP2AGX190 および EP2AGX260 デバイス内のバンクごとの DQ/DQS グループ数 (1), (2)


I/Oバンク 8B 32本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	I/Oバンク 8A 74本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1	I/Oバンク 7A 70本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1	I/Oバンク 7B 32本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	
1152ピンFineLine BGA パッケージの EP2AGX190 および EP2AGX260 デバイス				I/Oバンク 6B 32本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0
				I/Oバンク 6A 66本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1
				I/Oバンク 5A 66本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1
				I/Oバンク 5B 32本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0
I/Oバンク 3B 32本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	I/Oバンク 3A 70本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1	I/Oバンク 4A 74本のユーザーI/O ×4=8 ×8/×9=4 ×16/×18=2 ×32/×36=1	I/Oバンク 4B 32本のユーザーI/O ×4=4 ×8/×9=2 ×16/×18=1 ×32/×36=0	

図 7-9 の注：

- (1) すべての I/O ピン数は、データの入力に使用できる 12 本の専用クロック入力 (CLK4 ~ CLK15) を含みます。
- (2) バンク 6A 内の一部のコンフィギュレーション・ピンは DQ/DQS ピンと共有されます。ピン・メンバの一部がコンフィギュレーションに使用されている場合、×4 DQS/DQ グループは使用できません。選択した DQS/DQ グループがコンフィギュレーションに使用されないことを確認してください。

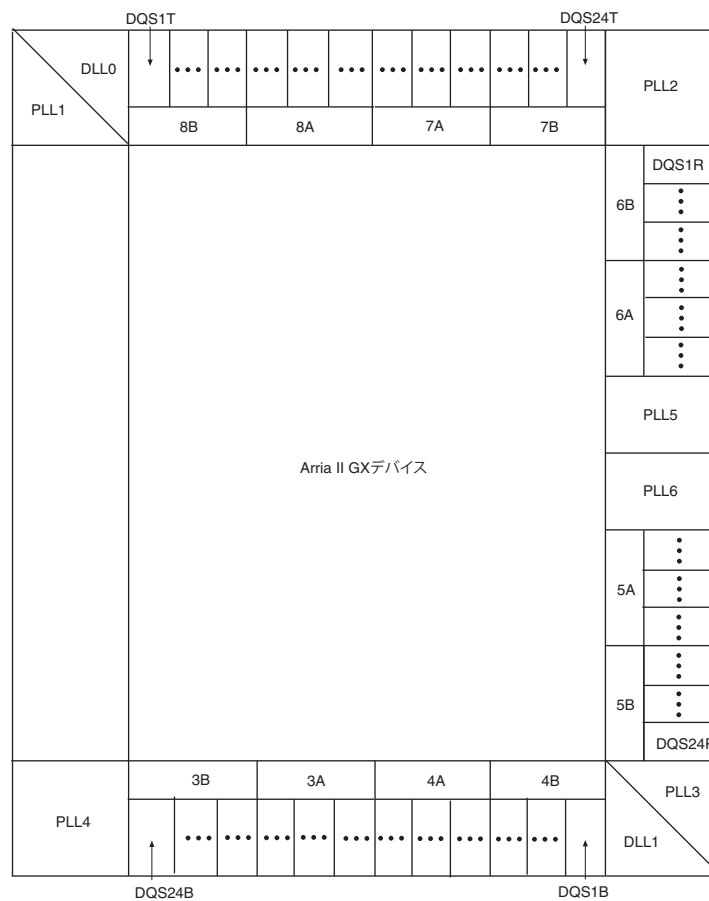
DQS および DQSn ピンは、Arria II GX ピン・テーブルでそれぞれ DQSXY および DQSnXY と表記されます。ここで、X は DQS/DQ グループ番号を、Y はグループがデバイスのトップ (T)、ボトム (B)、またはライト (R) のいずれに位置するかを表します。DQ/DQS ピンのナンバリングは、×4 モードに基づいています。

対応する DQ ピンは DQXY と表記されます。ここで、X はピンが属する DQS グループを、Y はそのグループがデバイスのトップ (T)、ボトム (B)、ライト (R) のいずれに位置するかを表します。例えば、DQS3B はデバイスのボトム・サイドに位置する DQS ピンを示します。そのグループに属する DQ ピンは、ピン・テーブルで DQ3B として示されます。図 7-10 を参照してください。

 パリティ、DM、BWSn および ECC ピンは、ピン・テーブルに DQ ピンとして示されます。

DQ/DQS グループは、上面図でデバイスのトップ・レフト・サイドから時計回りに番号付けられます。図 7-10 に、最大規模の Arria II GX デバイスで DQS/DQ グループに番号を付ける方法を上面図で示します。

図 7-10. F1152 パッケージの EP2AGX260 の Arria II GX I/O バンクにおける DQS ピン



×36 QDR II+/QDR II SRAM インタフェースに対する ×16/×18 DQ/DQS グループの組み合わせ

この実装は、×36 QDR II+/QDR II SRAM デバイスとインタフェースするように ×16/×18 DQ/DQS グループを組み合わせます。×36 リード・データ・バスは 2 つの ×16/×18 グループを使用しており、そして ×36 ライト・データはほかの 2 つの ×16/×18 グループまたは 4 つの ×8/×9 グループを使用します。2 ペアの CQ/CQn ピンを接続させるために、CQ/CQn 信号トレースはボード・トレースに分割されています。これはこの実装で変更する必要のある唯一のボード上の接続です。また、Arria II GX デバイス用のほかの QDR II+/QDR II SRAM インタフェース・ルールもこの実装に適用されます。



UniPHY IP コアは QVLD 信号を使用しないため、Arria II GX デバイス内の任意の QDR II+/QDR II SRAM インタフェースのように QVLD 信号を未接続のままにしておいてもかまいません。



UniPHY IP コアについて詳しくは、'[External Memory Interface Handbook](#)' を参照してください。



トップとボトム I/O バンクの組み合わせ、あるいはトップ/ボトム I/O バンクとライト I/O バンクの組み合わせによって形成された ×36 グループはサポートされますが、×36 モード・エミュレーション・インタフェースを使用する際、可能な限りデバイスの片側だけを使用するようにしてください。

グループ組み合わせのルール

572 ピンのパッケージ・デバイスでは、I/O バンクごとに最大 1 つの ×16/×18 グループを有します。デバイスの 1 つのサイドにおける 2 つの ×16/×18 グループを組み合わせると ×36 インタフェースを得ることができます。358 ピンのパッケージ・デバイスでは、4A および 7A のバンクのみが 1 つの ×16/×18 グループを有します。そのため、この 2 つのバンクによって ×36 インタフェースを形成するしかできません。

リードおよびライト・データのための 2 つの ×36 グループを形成する 4 つの ×16/×18 グループがないデバイスの場合は、デバイスの 1 つのサイドで 1 つの ×36 グループを形成し、そしてもう 1 つのサイドで他の ×36 グループ形成することができます。1 つの ×36 グループをカラム I/O バンク（トップおよびボトム）で生成し、そしてもう 1 つの ×36 グループをデバイスのほかのサイドで形成することはサポートされますが、アルテラは 2 つの ×36 グループをカラム I/O バンクのみで形成することを推奨しています。×36 エミュレーション実装のバーティカル・マイグレーションに対して、デバイス・マイグレーションをイネーブルにすることによって、マイグレーションの可能性をチェックします。また、Quartus II ソフトウェアでは、4 つの ×8/×9DQ グループをライト・データ・ピンに使用でき、これらのグループの各デバイス集積度間のマイグレーションも可能です。358 ピンのパッケージ・デバイスでは、4 つの ×8/×9 グループを使用して 1 つの ×36 グループを形成するしかできません。

表 7-3 に、ネイティブ $\times 32/\times 36$ DQS/DQ グループが足りない Arria II GX デバイスで $\times 32/\times 36$ グループを形成するために使用の可能な $\times 16/\times 18$ DQS/DQ グループの組み合わせをリストします。

表 7-3. Arria II GX デバイスにおける使用可能なグループ組み合わせ

パッケージ	デバイス集積度	I/O バンクの組み合わせ
358 ピン Ultra FineLine BGA	EP2AGX45 EP2AGX65	4A および 7A (トップおよびボトム の I/O バンク) (1)
572 ピン FineLine BGA	EP2AGX45 EP2AGX65 EP2AGX95 EP2AGX125	7A および 8A (トップ I/O バンク) 5A および 6A (ライト I/O バンク) 3A および 4A (ボトム I/O バンク)
780 ピン FineLine BGA (2)	EP2AGX45 EP2AGX65 EP2AGX95 EP2AGX125 EP2AGX190 EP2AGX260	7A および 8A (トップ I/O バンク) 5A および 6A (ライト I/O バンク) 3A および 4A (ボトム I/O バンク)
1152 ピン FineLine BGA (2)	EP2AGX95 EP2AGX125	7A および 8A (トップ I/O バンク) 5A および 6A (ライト I/O バンク) 3A および 4A (ボトム I/O バンク)
	EP2AGX190 EP2AGX260	I/O バンクの各サイドからの任意の 2 つのバンクを組み合わせる

表 7-3 の注 :

- (1) 残りの I/O バンクごとに 1 つの $\times 8/\times 9$ グループのみが残っています。これらのパッケージ内の 4 つの $\times 8/\times 9$ グループにより、 $\times 36$ グループ・ライト・データのみを形成できます。
- (2) このデバイスは I/O バンクの各サイドで $\times 36$ DQ/DQS グループをサポートします。

Arria II GX 外部メモリインタフェースの機能

Arria II GX デバイスは、堅牢で高性能な外部メモリ・インタフェースを可能にする多数の機能を備えています。アルテラのメモリ IP では、これらの外部メモリ・インタフェース機能の使用、およびシステムに対する最適な物理インタフェース (PHY) の設定を支援します。この項では、DQS 位相シフト回路および DQS ロジック・ブロックからの外部メモリ・インタフェースで使用される Arria II GX の各機能について説明します。



アルテラのメモリ・コントローラ MegaCore ファンクションを使用する場合、ALTMEMPHY メガファンクションおよび UniPHY IP コアがインスタンス化されます。



サポートされる外部メモリ IP について詳しくは、「外部メモリ・ハンドブック Volume 1」の「[Section III: External Memory Interface System Specification](#)」の章を参照してください。

DQS 位相シフト回路

Arria II GX 位相シフト回路は、DQS ピンおよび CQ ピンが FPGA への入力クロックまたはストローブとして機能しているときには、リード・トランザクション時に DQS ピンおよび CQ ピンへの位相シフトを提供します。DQS 位相シフト回路は、複数の DQS ピンで共有される DLL とデバイスの異なるサイドに対する DQS 位相シフトをさらに微調整する位相オフセット・モジュールで構成されています。図 7-11 に、デバイスで DQS 位相シフト回路を DQS ピンおよび CQ ピンに接続する方法を示します。ここに、メモリ・インタフェースは、Arria II GX デバイスのトップ、ボトム、およびライトのサイドでサポートされます。

図 7-11. DQS および CQn ピンと DQS 位相シフト回路 (注 1)

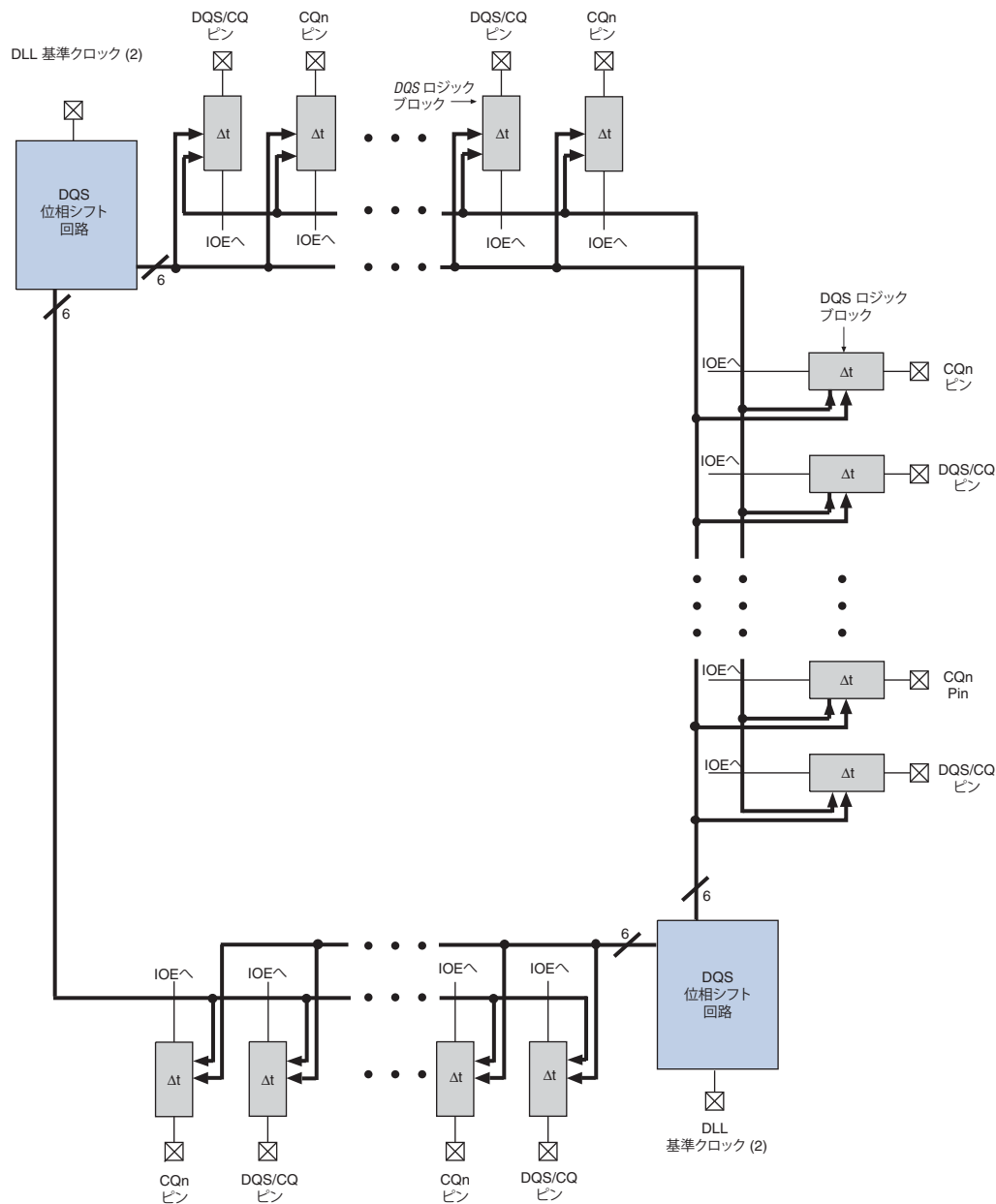



図 7-11 の注：

- (1) 各 PLL の基準入力クロック・ピンについて詳しくは、7-18 ページの「DLL」を参照してください。
- (2) 可能な 2 つの DLL 出力設定の 1 つに基づいて、位相シフトで各 DQS/CQ および CQn ピンをコンフィギュレーションすることができます。

DQS 位相シフト回路は、各 DQS または CQn ピンをコントロールする DQS ロジック・ブロックに接続されます。DQS ロジック・ブロックにより、DQS 遅延設定を各 DQS ピンまたは CQn ピンで同時に更新できます。


DLL

DQS 位相シフト回路は、DLL を使用して DQS/CQ および CQn ピンに必要なクロック遅延をダイナミックにコントロールします。DQS 位相シフト回路は、周波数リファレンスを使用して各 DQS および CQn ピンの遅延チェーンに対してコントロール信号をダイナミックに生成し、それによって PVT のばらつきに対する補償を可能にしています。DQS 遅延設定は Gray コード化され、DLL が設定を更新するときのジッタを低減します。DLL が低ジッタ・モードのとき、位相シフト回路は、正しい入力クロック周期をロックして、計算するために 1,280 クロック・サイクルを必要とします。それ以外の場合は、256 クロック・サイクルのみが必要です。データが適切にキャプチャされる保証はないため、これらのクロック・サイクル中にはデータを送信しないでください。DLL からの設定は、このロック期間が経過するまで安定しないことがあるため、この期間中にこれらの設定を使用する場合は、不安定になる可能性があることに注意してください。

 100 MHz 以下で動作しても DQS 位相シフト回路をメモリ・インタフェースに使用できます。ただし、DQS 信号は 2.5 ns 以上をシフトできません。100 MHz 以下の場合、DQS 位相シフトはデータ有効ウィンドの真ん中にされていませんが、信頼性のある動作を確保するためには、十分なマージンが必要です。


Arria GX デバイスでは、2 つの DLL が含んでおり、それぞれデバイスの左上と右下にあります。これらの 2 つの DLL は、それぞれ一定の周波数で動作する最大 2 つの固有周波数をサポートします。各 DLL は 2 つの出力を持つため、1 個の Arria II GX デバイスで 4 つの差動 DLL 位相シフト設定を持つことができます。

各 DLL は、デバイスのトップ、ボトム、およびライト・サイドにアクセスできます。つまり、各 I/O バンクは 2 つの DLL に接続でき、複数の周波数および複数タイプのインタフェースの作成にもっと柔軟性を与えます。DLL は、デバイスの異なるサイドに同じ DQS 遅延設定を出力します。

 デバイスの 2 つのサイドにまたがるインタフェースは、高性能メモリ・インタフェース・アプリケーションでは推奨されていません。ただし、Arria II GX デバイスは分割のインタフェース（トップおよびボトム I/O バンク）およびデバイスの隣接するサイドからのカラムおよびロウ I/O を覆う複数の DQ/DQS グループをサポートします。「トップおよびボトム I/O バンク」、「ライトおよびボトム I/O バンク」、または「トップ、ボトム、およびライト I/O バンク」にまたがるインタフェースはサポートされています。

各バンクは、2 つ DLL のいずれかまたは両方の設定を使用できます。例えば、DQS1R は、位相シフトの設定を DLL0 から取得できます。一方、DQS2R は位相シフトの設定を DLL1 から取得します。

表 7-4 に示すように、各 DLL のリファレンス・クロックは、PLL 出力クロックまたは専用クロック入力ピンから供給されます。

 DLL 入力基準クロック生成専用の PLL を使用する場合、PLL モードを **No Compensation** に設定します。そうしなかった場合、Quartus II ソフトウェアが自動的に変更します。PLL は他の出力を使用しないため、クロック・パスを補償する必要はありません。


 Arria II GX デバイスは PLL カスケードをサポートします。PLL をカスケードする場合、コア・ノイズを受ける可能性のあるグローバル・クロック (GCLK) またはリージョナル・クロック (RCLK) ネットワークの代わりに、2つの PLL 間の専用パスが使用されるためには、お互いに隣接する 2つの PLL を使用する必要があります。TimeQuest タイミング・アナライザは、PLL カスケードをタイミング解析の考慮に入れます。

表 7-4. DLL リファレンス・クロック入力 (注 1)

DLL	CLKIN (トップ/ボトム)	CLKIN (ライト)	PLL
DLL0	CLK12 CLK13 CLK14 CLK15	—	PLL1
DLL1	CLK4 CLK5 CLK6 CLK7	CLK8 CLK9 CLK10 CLK11	PLL3

表 7-4 の注 :

(1) CLK4 ~ CLK7 はボトム・サイドに、CLK8 ~ CLK11 はライト・サイドに、そして CLK12 ~ CLK15 はデバイスのトップ・サイドにあります。


 ALTMEMPHY メガファンクションまたは UniPHY IP コアを使用する場合、PLL リファレンス・クロックに専用の PLL 入力ピンを使用することが推奨されています。

図 7-12 に、DQS 位相シフト回路の簡略化されたブロック図を示します。入力基準クロックは、DLL に入り最大 16 の遅延エレメントで構成されるチェーンに供給されます。位相コンパレータは、遅延チェーン・ブロックの末端から出力される信号と入力基準クロックを比較します。次に、位相コンパレータは Grey コード・カウンタへの updn 信号を発行します。この信号は 6 ビットの遅延設定 (DQS 遅延設定) を増分または減分します。これによって、遅延エレメント・チェーンを通して遅延を増加 / 減少させ、入力基準クロックと遅延エレメント・チェーンから出力される信号の位相を合わせます。

図 7-12. DQS 位相シフト回路の簡略化されたブロック図 (注 1)

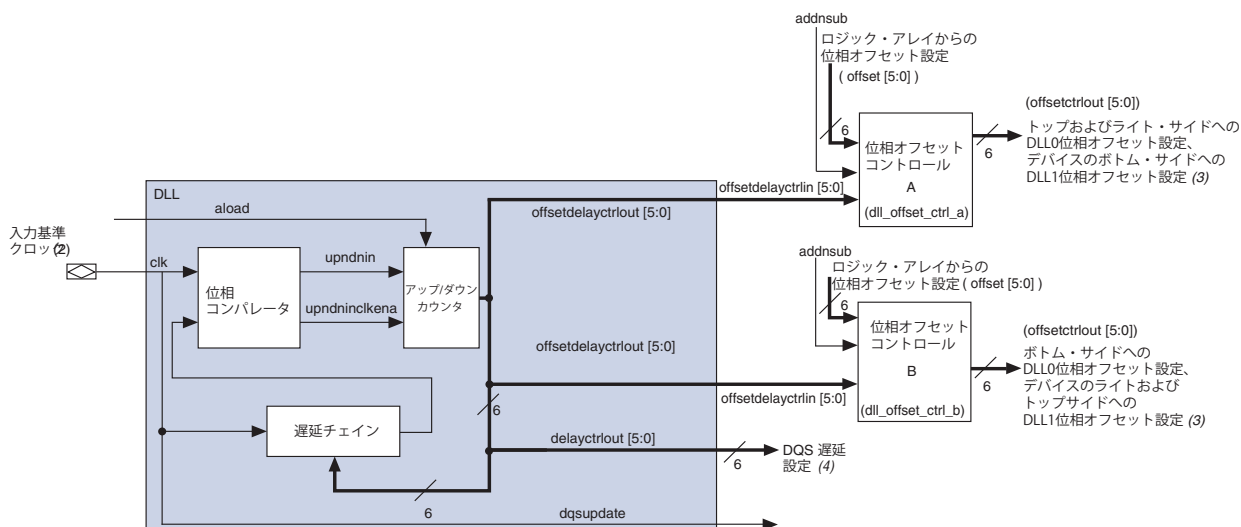


図 7-12 の注：

- (1) DQS 位相シフト回路のすべての機能は、QuartusII ソフトウェアの UniPHY IP コアおよび ALTMEMPHY メガファンクションからアクセスできます。
- (2) DQS 位相シフト回路の入力基準クロックは、PLL 出力クロックまたは入力クロック・ピンから供給できます。正確な PLL および入力クロック・ピンについては、表 7-4 および表 7-5 を参照してください。
- (3) 位相オフセット設定は、DQS ロジック・ブロックにのみ供給可能です。
- (4) DQS 遅延設定は、ロジック・アレイおよび DQS ロジック・ブロックに供給できます。

ロジック・アレイまたはユーザー I/O ピンから DLL をリセットできます。DLL がリセットされるたびに、データを正しくキャプチャできるように、DLL がロックするまで 1,280 クロック・サイクル間待機しなければなりません。

DLL は、DLL 周波数モードに応じて、着信する DQS 信号を 0°、22.5°、30°、36°、45°、60°、67.5°、72°、90°、108°、120°、135°、144°、または 180° シフトすることができます。シフトされた DQS 信号は、DQ IOE 入力レジスタ用のクロックとして使用されます。

同じ DLL に参照される DQS ピンおよび CQn ピンはすべて、異なる度数だけシフトされた入力信号位相を持つことができますが、これらはすべて 1 つの特定周波数で参照しなければなりません。例えば、DQS1T に 90° の位相シフトを、DQS2T に 60° の位相シフトを持たせ、両方を 200 MHz クロックで参照することができます。ただし、すべての位相シフトの組み合わせがサポートされているわけではありません。同じ DLL により参照される DQS ピンにある位相シフトは、すべて 22.5° の倍数 (最大 90°)、30° の倍数 (最大 120°)、36° の倍数 (最大 144°)、または 45° の倍数 (最大 180°) でなければなりません。

表 7-5 に示すように、Arria II GX の DLL には、6 種類の周波数モードがあります。各周波数モードは、異なる位相シフトの選択を提供します。周波数モード 0、1、2、および 3 では、6 ビット DQS 遅延設定は PVT によって変化し、位相シフト遅延が実装されます。周波数モード 4 および 5 では、DQS 遅延設定の 5 ビットのみ変化して位相シフト遅延が実装され、DQS 遅延設定の最上位ビット (MSB) が 0 に設定されます。

表 7-5. Arria II GX DLL の周波数モード

周波数モード	使用可能な位相シフト	遅延チェーンの数
0	22.5、45、67.5、90	16
1	30、60、90、120	12
2	36、72、108、144	10
3	45、90、135、180	8
4	30、60、90、120	12
5	36、72、108、144	10

 各モードの周波数範囲については、「[Arria II GX Devices Datasheet](#)」を参照してください。


0°シフトの場合、DQS/CQ 信号は DLL と DQS ロジック・ブロックの両方をバイパスします。0シフトが実装されているとき、QuartusII ソフトウェアは、DQ IOE レジスタの DQ ピンと DQS/CQ ピン間のスキューが無視できるように、DQ 入力遅延チェーンを自動的に設定します。DQS 遅延設定を DQS ロジック・ブロックおよびロジック・アレイに供給できます。

シフトされた DQS/CQ 信号は、DQS バスに送られて DQ ピンの IOE レジスタをクロックします。この信号は、IOE 再同期化レジスタを使用していない場合、ロジック・アレイに送って再同期化に使用することも可能です。シフトされた CQn 信号は、DQ IOE のネガティブ・エッジ入力レジスタまたはロジック・アレイに転送され、QDRII+ および QDRII SRAM インタフェースにのみ使用されます。


位相オフセット・コントロール

各 DLL には 2 つの独立した位相オフセット・モジュールがあります。1 つのオフセットは時計回りの方向でチップの半分を覆い、もう 1 つのオフセットは反時計回りの方向でデバイスを覆います。独立した位相オフセット・コントロールがある場合でも、同じ DLL を使用するインタフェースの周波数は同じでなければなりません。入力信号に対して小さなシフトを生成するには位相オフセット・コントロール・モジュールを使用し、より大きな信号シフトを生成するには DQS 位相シフト回路を使用する必要があります。例えば、DLL が 30° 位相シフトの倍数しか提供しないが、インタフェースでは DQS 信号に 67.5° 位相シフトが必要な場合、DQS ロジック・ブロックの 2 つの遅延チェーンを使用して 60° 位相シフトを生成し、位相オフセット・コントロール機能を使用して 7.5° 位相シフトを実装することができます。

スタティック位相オフセットまたはダイナミック位相オフセットを使用して、追加位相シフトを実装できます。利用可能な追加位相シフトは、周波数モード 0、1、2、および 3 の場合は設定値 -64 ~ +63、周波数モード 4 および 5 の場合は設定値 -32 ~ +31 の 2 の補数の Gray コードで実装されます。追加ビットは、設定が正または負値のいずれであるかを示します。設定はリニアであり、各位相オフセット設定は遅延値を追加します。

 指定された位相シフト設定について詳しくは、「[Arria II GX Device Datasheet](#)」を参照してください。

DQS 位相シフトは、DLL 遅延設定とユーザーが選択した位相オフセット設定の合計で、周波数モード 0、1、2、および 3 の場合はトップ設定は 64 となり、周波数モード 4 および 5 の場合はトップ設定は 32 となります。したがって、実際の物理オフセットの設定範囲は、64 または 32 から DLL の DQS 遅延設定を減算した値になります。

 この機能を使用する場合、システムで加算または減算できるオフセット数を知るには、DQS 遅延設定をモニタしてください。DLL による DQS 遅延設定出力も Gray コード化されることに注意してください。

例えば、DLL が DLL 周波数モード 1 で 30° の位相シフトを達成するために 28 の DQS 遅延設定が必要であると判断した場合は、最大 28 の位相オフセット設定を減算し、また最大 35 の位相オフセット設定を加算して、必要な最適な遅延を達成することができます。ただし、DLL 周波数モード 4 で 30° 位相シフトを達成するために同じ 28 の DQS 遅延設定が必要な場合、最大 28 の位相オフセット設定を減算することはできませんが、DLL 周波数モード 3 は 5 ビットの DLL 遅延設定しか使用しないため、DQS 遅延設定が最大設定値に達する前に加算できるのは最大 4 つの位相オフセット設定のみです。

 各ステップの値について詳しくは、「[Arria II GX Device Datasheet](#)」を参照してください。

DQS ロジック・ブロック

各 DQS および CQn ピンは、DQS 遅延チェーン、アップデート・イネーブル回路、および DQS ポストアンブル回路で構成された独立した DQS ロジック・ブロックに接続されます (図 7-13 参照)。

図 7-13. Arria II GX DQS ロジック・ブロック

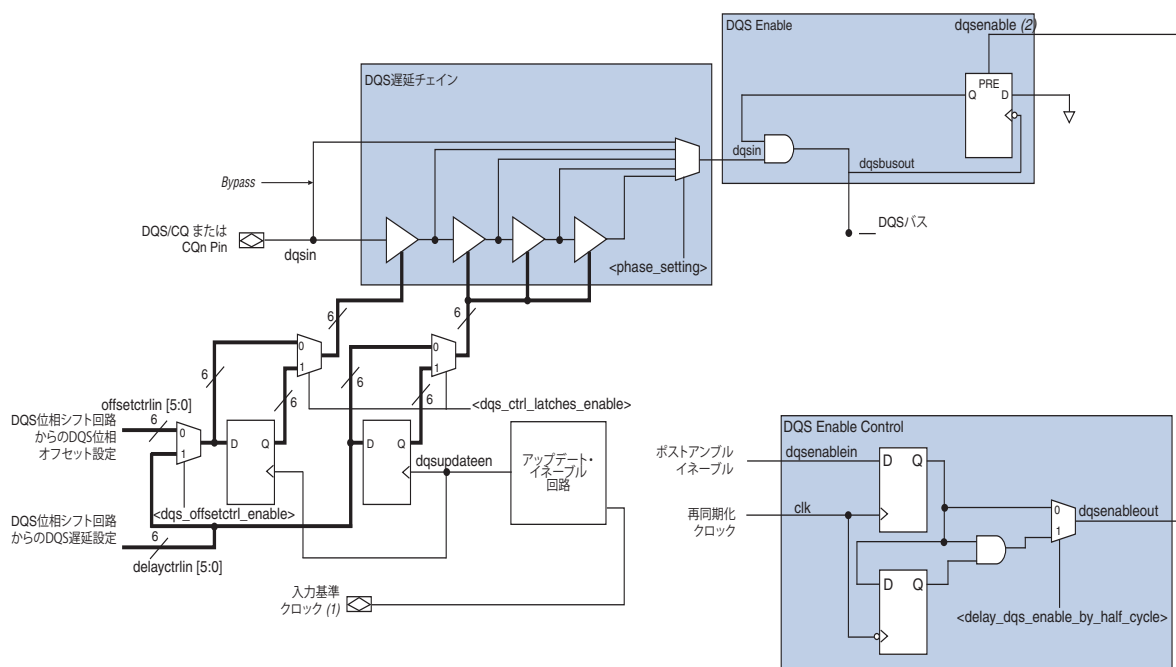


図 7-13 の注：

- (1) DQS 位相シフト回路の入力基準クロックは、PLL 出力クロックまたは入力クロック・ピンから供給できます。確な PLL および入力クロック・ピンについては、19 ページの表 7-4 および 21 ページの表 7-5 を参照してください。
- (2) dqsenable 信号は Arria II GX コア・ファブリックからも供給できます。

DQS 遅延チェーン

DQS 遅延チェーンは一連の可変遅延エレメントで構成されており、入力 DQS/CQ および CQn 信号を DQS 位相シフト回路またはロジック・アレイで指定された量だけシフトすることができます。DQS 遅延チェーンには 4 つの遅延エレメントがあり、DQS/CQ ピンまたは CQn ピンに最も近い最初の遅延チェーンは DQS 遅延設定分または DQS 遅延設定と位相オフセット設定を加算した分だけシフトできます。必要な遅延チェーン数は、動作周波数を選択したときに ALTMEMPHY メガファンクションおよび UniPHY IP コアが自動的に設定するため、ユーザーには分かりません。DQS 遅延設定は、I/O バンクのいずれかのサイドにある DQS 位相シフト回路、またはロジック・アレイから供給できます。

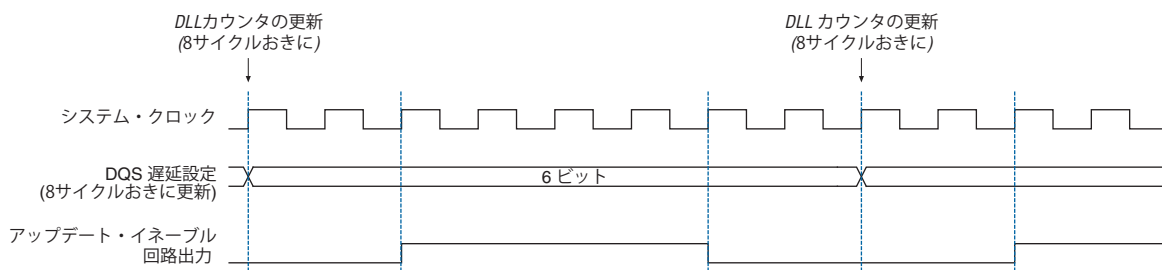
DQS ロジック・ブロックの遅延エレメントは、DLL 内の遅延エレメントと同じ特性を備えています。DLL を DQS 遅延チェーンの制御に使用しない場合、ALTMEMPHY メガファンクションで使用可能な dqs_delayctrlrin[5..0] 信号を使用して、独自の Gray コードの 6 ビットまたは 5 ビット設定を入力することができます。これらの設定は、DQS 遅延チェーンの 1 つ、2 つ、3 つ、または 4 つすべての遅延エレメントを制御します。ALTMEMPHY メガファンクションおよび UniPHY IP コアは、システムに必要な DQS 遅延チェーン数をダイナミックに選択することもできます。遅延量は、遅延エレメント固有の遅延と遅延ステップ数と遅延ステップ値の積との合計に等しくなります。

DQS 遅延チェーンをバイパスして 0 位相シフトを達成することもできます。

アップデート・イネーブル回路

DQS 遅延設定と位相オフセット設定は、レジスタを通過してから DQS 遅延チェーンに入ります。レジスタは DQS 遅延設定ビットの変更がすべての遅延エレメントに到達するのに十分な時間をとるようにアップデート・イネーブル回路で制御されます。これによって遅延を同時に調整できます。アップデート・イネーブル回路は、DQS 遅延設定が次に変更される前に DQS 位相シフト回路またはコア・ロジックからすべての DQS ロジック・ブロックに伝達されるのに十分な時間となるようにレジスタをイネーブルします。この回路は、入力基準クロックまたはコアからのユーザー・クロックを使用して、アップデート・イネーブル出力を生成します。ALTMEMPHY メガファンクションおよび UniPHY IP コアは、デフォルトでこの回路を使用します。図 7-14 に、アップデート・イネーブル回路出力の波形例を示します。

図 7-14. DQS アップデート・イネーブル回路



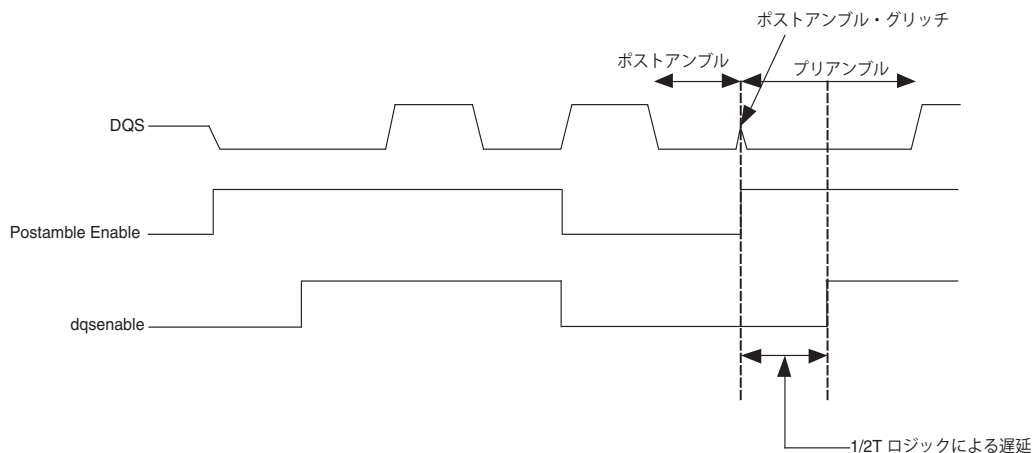
DQS ポストアンブル回路

DDR3、DDR2、および DDR SDRAM などの双方向リード・ストロブを使用する外部メモリ・インタフェースの場合、DQS 信号はハイ・インピーダンス状態に入る前、またはそれから抜ける前に Low になります。ハイ・インピーダンス状態直後の DQS が Low の状態をプリアンブルと呼び、ハイ・インピーダンス状態に戻る直前の状態をポストアンブルと呼んでいます。DDR 3、DDR2、および DDR SDRAM でのリード動作とライト動作の両方に対して、プリアンブル仕様とポストアンブル仕様があります。DQS ポストアンブル回路は、リード・ポストアンブル時間の終了時に DQS ライン上にノイズがあるときにデータが失われないようにしています。

Arria II GX デバイスは、リード動作の終了時に DQ 入力レジスタをクロックするのに使用されるシフトされた DQS 信号をグラウンドに接続できるよう制御可能な専用のポストアンブル・レジスタを備えています。これによって、リード・ポストアンブル時間の終了時に DQS 入力信号上のグリッチが DQ IOE レジスタに影響を与えないようにしています。

ポストアンブル・レジスタ出力の後に AND ゲートがあり、非連続リード・バースト上で前のリード・バーストからのポストアンブル・グリッチを回避するために使用されます。この手法により、図 7-15 に示すように、dqsenable アサーションに対しては 1/2 クロック・サイクル・レイテンシ、dqsenable デアサーションに対しては 0 レイテンシになります。

図 7-15. 非連続リード・バースト波形でのグリッチの回避



I/O エlement・レジスタ

IOE レジスタは、ソース・シンクロナス・システムでより高速なレジスタ間転送および再同期化が可能になるように拡張されてきました。トップ、ボトム IOE およびライトの IOE は同じ機能を備えています。レフトおよびライト IOE には LVDS データ伝送をサポートする機能も備わっています。

図 7-16 に、Arria II GX 入力パスで利用できるレジスタを示します。入力パスは、DDR 入力レジスタおよび再同期レジスタで構成されています。入力パスの各ブロックはバイパスできます。

図 7-16. Arria II GX IOE 入力レジスタ (注 1)

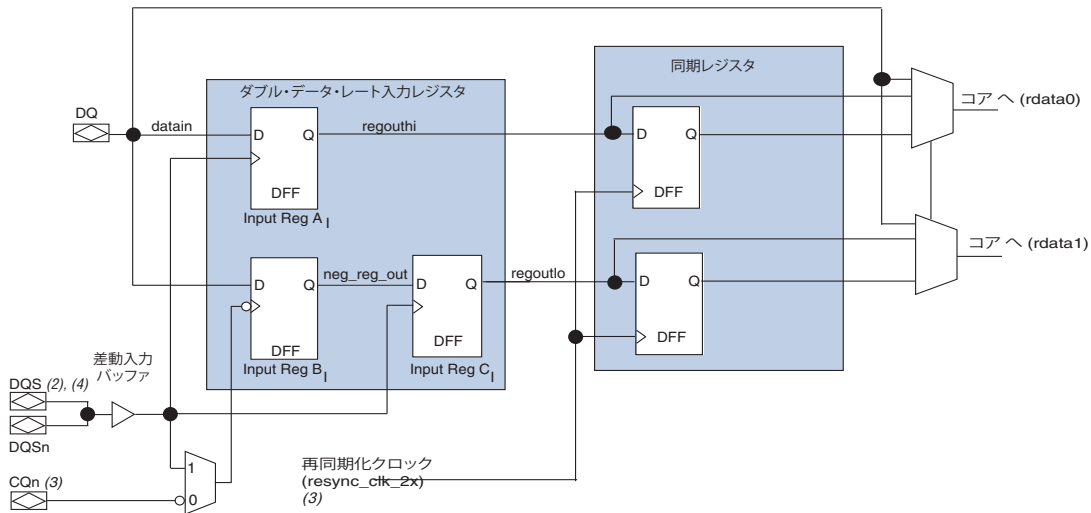


図 7-16 の注：

- (1) このパスの各レジスタ・ブロックはバイパスできます。
- (2) 入力クロックは、DQS ロジック・ブロック（ポストアンブル回路をバイパスするかしないかに関係なく）またはグローバル・クロック・ラインから供給できます。
- (3) この入力クロックは、CQn ロジック・ブロックから供給されます。
- (4) QDR II+/QDR II SRAM インタフェース以外の DDR インタフェースに対して、DQS 信号は反転されなければなりません。アルテラの外部メモリ・インタフェース IP を使用する場合は、この反転は自動的に行われます。

DDR 入力レジスタ・ブロックには 3 個のレジスタがあります。そのうち 2 個のレジスタはクロックのポジティブおよびネガティブ・エッジでデータをキャプチャし、3 個目のレジスタはキャプチャしたデータをアラインメントします。ポジティブ・エッジ・レジスタとネガティブ・エッジ・レジスタに同じクロックを使用するか、または 2 つの相補クロック（ポジティブ・エッジ・レジスタに DQS/CQ、ネガティブ・エッジ・レジスタに DQSn/CQn）を使用するかを選択できます。キャプチャしたデータをアラインメントする 3 番目のレジスタは、ポジティブ・エッジ・レジスタと同じクロックを使用します。

再同期レジスタはデータをシステム・クロック・ドメインに再同期化します。これらのレジスタは、PLL で生成される再同期化クロックによってクロック駆動されます。再同期レジスタの出力は、コアに直接送られます。

図 7-17 に、Arria II GX の出力および出力イネーブル・パスで使用できるレジスタを示します。デバイスは、出力および出力イネーブル・パスの各ブロックをバイパスできます。

図 7-17. Arria II GX IOE 出力および出力イネーブル・パス・レジスタ (注 1)

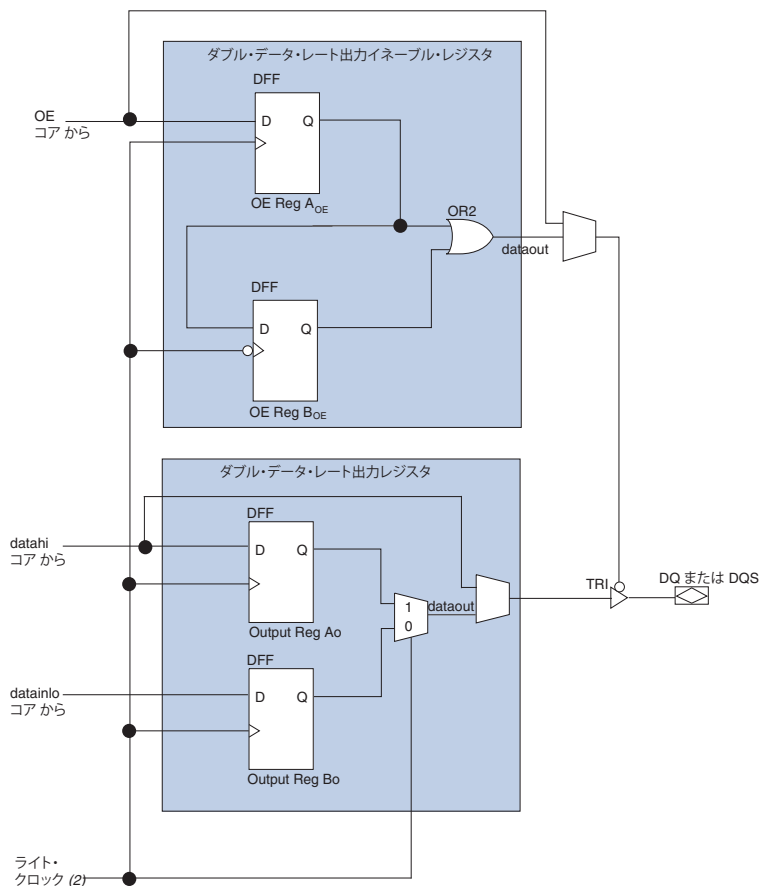


図 7-17 の注 :

- (1) 出力および出力イネーブル・パスの各レジスタ・ブロックはバイパスできます。
- (2) ライト・クロックは PLL から供給されます。DQ ライト・クロックと DQS ライト・クロックの間には、90° のオフセットがあります。

出力パスは、組み合わせまたはレジスタ付きのシングル・データ・レート (SDR) 出力および DDR 出力を配線するように設計されています。

出力イネーブル・パスの構造は、出力パスの構造に似ています。SDR アプリケーションでは、組み合わせ出力またレジスタ付き出力を使用することができます。

改訂履歴

表 7-6 に、本章の改訂履歴を示します。

表 7-6. 改訂履歴

日付	バージョン	変更内容
2010年7月	3.0	<p>Arria II GX v10.0 のリリースにより、以下を更新。</p> <ul style="list-style-type: none"> ■ 「外部メモリ・インタフェース・ハンドブック volume 2」の 「Section I. Device and Pin Planning」 への参照リンクの追加および「表 7-1: メモリ・ピンの利用」の削除により「Arria II GX メモリ・インタフェース・ピンのサポート」の項を更新。 ■ Quartus II ソフトウェアと一致するように DLL のナンバリングを更新 ■ テキストのマイナーな編集
2009年11月	2.0	<p>Arria II GX v9.1 のリリースにより、以下を更新。</p> <ul style="list-style-type: none"> ■ 表 7-1、表 7-2、および表 7-5 を更新 ■ 図 7-1、図 7-2、図 7-3、図 7-11、図 7-12、図 7-13、図 7-15、および図 7-16 を更新 ■ 「Arria II GX 外部インタフェース・メモリの機能」の項を更新 ■ 「x36 QDR II+/QDR II SRAM インタフェースに対する x16/x18 DQ/DQS グループの組み合わせ」の項を追加 ■ テキストのマイナーな編集
2009年6月	1.2	<ul style="list-style-type: none"> ■ 表 7-2 を追加 ■ 表 7-1、表 7-3、および表 7-5 を更新 ■ 図 7-1、図 7-3、図 7-4、図 7-5、図 7-6、図 7-7、図 7-8、図 7-9、および図 7-11 を更新 ■ 「はじめに」および「DLL」の項を更新
2009年2月	1.1	表 7-1 および表 7-2 を更新
2009年2月	1.0	初版