

この章では、I/O の機能、規格と構造、バンクおよびデザイン検討事項を含む Arria® II GX デバイスに以下の業界 I/O 規格を使用するためのガイドラインを提供します。

この章は、以下の項で構成されています。

- 6-2 ページの「Arria II GX の I/O 規格のサポート」
- 6-3 ページの「Arria II GX I/O バンク」
- 6-5 ページの「Arria II GX の I/O 構造」
- 6-11 ページの「Arria II GX の OCT サポート」
- 6-14 ページの「Arria II GX OCT キャリブレーション」
- 6-15 ページの「I/O 規格の Arria II GX 終端方法」
- 6-21 ページの「Arria II GX デザインの検討事項」

概要

この章は、Arria II GX の I/O エLEMENT (IOE) の機能の定義が含まれています。それは IOE の動作方法とその機能についても詳しく説明しています。Arria II GX の I/O は幅広い機能をサポートします。

- 非電圧リファレンス形式および電圧リファレンス形式のシングル・エンド I/O 規格
- LVDS (Low-Voltage Differential Signaling)、RSDS (Reduced Swing Differential Signal)、mini-LVDS、BLVDS (Bus LVDS)、HSTL (HighSpeed Transceiver Logic)、および SSTL (Stub Series Terminated Logic)
- シリアライザ/デシリアライザ (SERDES) 内蔵ハード DPA ブロック
- プログラマブル出力ドライブ強度
- プログラマブル・スルー・レート
- プログラマブル・バス・ホールド
- プログラマブル・プルアップ抵抗
- オープン・ドレイン出力
- チップ内直列終端 (R_s OCT)
- オンチップ差動 I/O 終端 (R_D OCT)
- プログラマブル・プリエンファシス
- プログラマブル電圧出力差 (V_{DD})

Arria II GX の I/O 規格のサポート

表 6-1 に、Arria II GX デバイスのサポートされている I/O 規格と、入力および出力の V_{CCIO} 、 V_{CCPD} 、 V_{REF} 、およびボード V_{TT} の標準値を示します。

表 6-1. Arria II GX の I/O 規格および電圧レベル (注 1),(2)

I/O 規格	規格サポート	V_{CCIO} (V)		V_{CCPD} (V)	V_{REF} (V)	V_{TT} (V)
		入力動作	出力動作			
3.3-V LVTTTL/3.3-V LVCMOS	JESD8-B	3.3/3.0/2.5	3.3	3.3	—	—
3.0-V LVTTTL/3.0-V LVCMOS	JESD8-B	3.3/3.0/2.5	3.0	3.0	—	—
2.5-V LVTTTL/LVCMOS	JESD8-5	3.3/3.0/2.5	2.5	2.5	—	—
1.8-V LVTTTL/LVCMOS	JESD8-7	1.8/1.5	1.8	2.5	—	—
1.5-V LVCMOS	JESD8-11	1.8/1.5	1.5	2.5	—	—
1.2-V LVCMOS	JESD8-12	1.2	1.2	2.5	—	—
3.0-V PCI	PCI Rev 2.2	3.0	3.0	3.0	—	—
3.0-V PCI-X (1)	PCI-X Rev 1.0	3.0	3.0	3.0	—	—
SSTL-2 Class I および Class II	JESD8-9B	(2)	2.5	2.5	1.25	1.25
SSTL-18 Class I および Class II	JESD8-15	(2)	1.8	2.5	0.90	0.90
SSTL-15 Class I	—	(2)	1.5	2.5	0.75	0.75
HSTL-18 Class I および Class II	JESD8-6	(2)	1.8	2.5	0.90	0.90
HSTL-15 Class I および Class II	JESD8-6	(2)	1.5	2.5	0.75	0.75
HSTL-12 Class I および Class II	JESD8-16A	(2)	1.2	2.5	0.6	0.6
差動 SSTL-2	JESD8-9B	(2), (3)	2.5	2.5	—	1.25
差動 SSTL-18	JESD8-15	(2), (3)	1.8	2.5	—	0.90
差動 SSTL-15	—	(2), (3)	1.5	2.5	—	0.75
差動 HSTL-18	JESD8-6	(2), (3)	1.8	2.5	—	0.90
差動 HSTL-15	JESD8-6	(2), (3)	1.5	2.5	—	0.75
差動 HSTL-12	JESD8-16A	(2), (3)	1.2	2.5	—	0.60
LVDS	ANSI/TIA/ EIA-644	(2)	2.5	2.5	—	—
RSDS および mini-LVDS	—	—	2.5	2.5	—	—
LVPECL	—	(2)	—	2.5	—	—
BLVDS	—	(2)	2.5	2.5	—	—

表 6-1 の注:

- (1) PCI-X は、リニア領域に PCI-X I-V カーブの要件を満たしていません。
- (2) シングル・エンド SSTL/HSTL、差動 SSTL/HSTL、LVDS、LVPECL、および BLVDS 入力バッファは、 V_{CCPD} で駆動します。
- (3) 差動 SSTL/HSTL 入力は、 R_D OCT サポートなしの LVDS 差動入力バッファを使用します。

 各 I/O 規格の電気的特性については、「Arria II GX Devices Datasheet」を参照してください。

Arria II GX I/O バンク

図 6-1 に示す通り、Arria II GX デバイスは最大 16 個の I/O バンクを内蔵しています。レフト・サイド I/O バンクには、高速トランシーバ・バンクが含まれていて、専用コンフィギュレーション・バンクに対してはバンク 3C と 8C にあります。残りのバンクはユーザー I/O バンクです。すべてのユーザー I/O バンクはすべてのシングル・エンド I/O 規格および差動 I/O 規格をサポートします。

図 6-1. Arria II GX デバイスの I/O バンク (注 1)、(2)、(3)、(4)、(5)、(6)、(7)

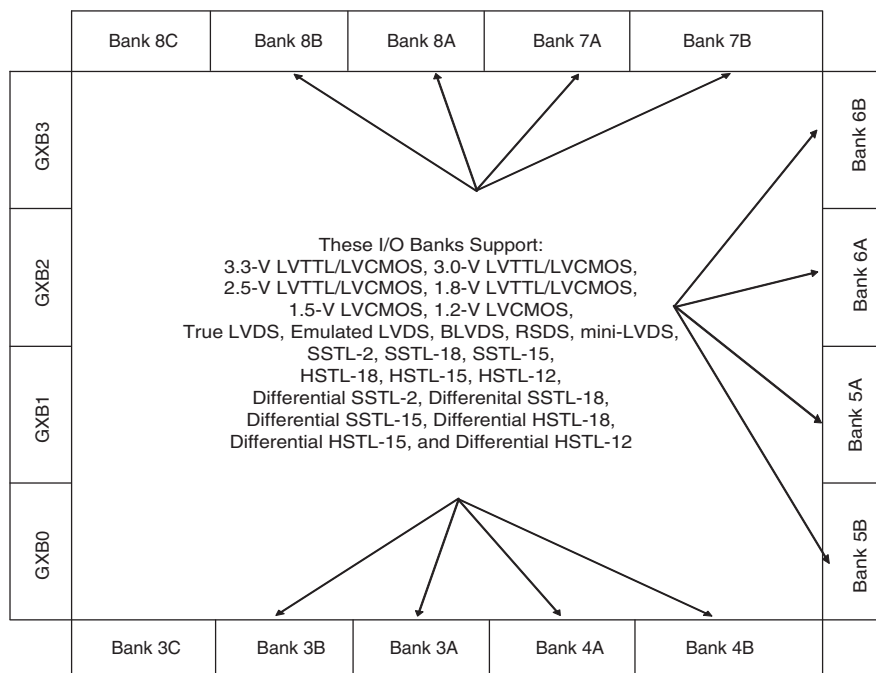


図 6-1 の注:

- (1) バンク GXB0、GXB1、GXB2、および GXB3 は高速トランシーバ I/O の専用バンクです。
- (2) バンク 3C および 8C は専用のコンフィギュレーション・バンクであり、ユーザー I/O ピンがありません。
- (3) DPA 付き LVDS はバンク 5A、5B、6A、および 6B でサポートされます。
- (4) 差動 HSTL および SSTL 入力は、 R_D OCT サポートなしの LVDS 差動入力バッファを使用します。
- (5) 差動 HSTL および SSTL 出力は、真の差動出力ではありません。これらは 2 つのシングル・エンド出力を 2 番目の出力が反転されるようにプログラムして使用します。
- (6) 図 6-1 はシリコン・ダイの上面図で、フリップチップ・パッケージの裏面図に相当します。これは参考図です。
- (7) PLL_CLKOUT ピンは真の差動 I/O 規格ではなく、エミュレートされた差動 I/O 規格のみをサポートします。

モジュラー I/O バンク

Arria II GX デバイスの I/O ピンは、モジュラー I/O バンクと呼ぶグループで編成されます。デバイス集積度に応じて、I/O バンク数の範囲は 6～12 バンクになりますが、トランシーバ・バンク数は 1～4 です。表 6-2 に、各 I/O バンクで利用できる I/O ピン数を示します。

表 6-2. Arria II GX の各 I/O バンクで利用する可能な I/O ピン数 (注 1)

パッケージ	デバイス	バンク												合計
		3A	3B	4A	4B	5A	5B	6A	6B	7A	7B	8A	8B	
358- ピン UBGA- フ リップチッ プ	EP2AGX45	22	—	38	—	18	—	18	—	38	—	22	—	156
	EP2AGX65	22	—	38	—	18	—	18	—	38	—	22	—	156
572- ピン FBGA- フリッ プチップ	EP2AGX45	38	—	38	—	50	—	50	—	38	—	38	—	252
	EP2AGX65	38	—	38	—	50	—	50	—	38	—	38	—	252
	EP2AGX95	38	—	42	—	50	—	50	—	38	—	42	—	260
	EP2AGX125	38	—	42	—	50	—	50	—	38	—	42	—	260
780- ピン FBGA- フリッ プチップ	EP2AGX45	54	—	70	—	66	—	50	—	70	—	54	—	364
	EP24GX65	54	—	70	—	66	—	50	—	70	—	54	—	364
	EP2AGX95	54	—	74	—	66	—	50	—	70	—	58	—	372
	EP2AGX125	54	—	74	—	66	—	50	—	70	—	58	—	372
	EP2AGX190	54	—	74	—	66	—	50	—	70	—	58	—	372
	EP2AGX260	54	—	74	—	66	—	50	—	70	—	58	—	372
1152- ピン FBGA- フリッ プチップ	EP2AGX95	70	—	74	16	66	—	66	—	70	16	74	—	452
	EP2AGX125	70	—	74	16	66	—	66	—	70	16	74	—	452
	EP2AGX190	70	32	74	32	66	32	66	32	70	32	74	32	612
	EP2AGX260	70	32	74	32	66	32	66	32	70	32	74	32	612

表 6-2 の注:

- (1) I/O ピンの数では、汎用 I/O、専用クロック・ピン、および兼用コンフィギュレーション・ピンをすべて含まれています。トランシーバ・ピンおよび専用コンフィギュレーション・ピンは、I/O ピン数に含まれていません。

Arria II GX デバイスでは、コンフィギュレーション・バンクを除いて、サイドあたりの最大 I/O バンク数は 4 つです。すべての Arria II GX デバイスは、デバイス集積度とパッケージにわたってマイグレーションをサポートします。1 サイドあたりの I/O バンク数が異なるデバイスを移行するとき、除去または挿入されるのは「B」バンクです。例えば、12 バンク・デバイスから 8 バンク・デバイスに移行するとき、除去されるバンクは、「B」バンク、すなわち 3B、5B、6B、および 8B です。同様に、8 バンク・デバイスから 12 バンク・デバイスに移行するとき、追加されるバンクは、「B」バンク、すなわち 3B、5B、6B、および 8B です。

小さなデバイスからより大きなデバイスへの移行時に、バンク・サイズは同じか増加しますが、決して減少することはありません。図 6-3 に、デバイス集積度とパッケージにわたって、ピンのマイグレーションを示します。

表 6-3. デバイス集積度にわたって Arria II GX ピン・マイグレーション

パッケージ	ピン・タイプ	デバイス					
		EP2AGX45	EP2AGX65	EP2AGX95	EP2AGX125	EP2AGX190	EP2AGX260
358-ピン UBGA-フリップ チップ	I/O	144	144	—	—	—	—
	クロック	12	12	—	—	—	—
	XCVR チャンネル	4	4	—	—	—	—
572-ピン FBGA- フリップチップ	I/O	240	240	248	248	—	—
	クロック	12	12	12	12	—	—
	XCVR チャンネル	8	8	8	8	—	—
780-ピン FBGA- フリップチップ	I/O	352	352	360	360	360	360
	クロック	12	12	12	12	12	12
	XCVR チャンネル	8	8	12	12	12	12
1152-ピン FBGA-フリップ チップ	I/O	—	—	440	440	600	600
	クロック	—	—	12	12	12	12
	XCVR チャンネル	—	—	12	12	16	16

表 6-3 の注:

(1) 各トランシーバ・チャンネルは2つのTXピン、2つのRXピン、および1つのトランシーバ・クロック・ピンで構成されています。

Arria II GX の I/O 構造

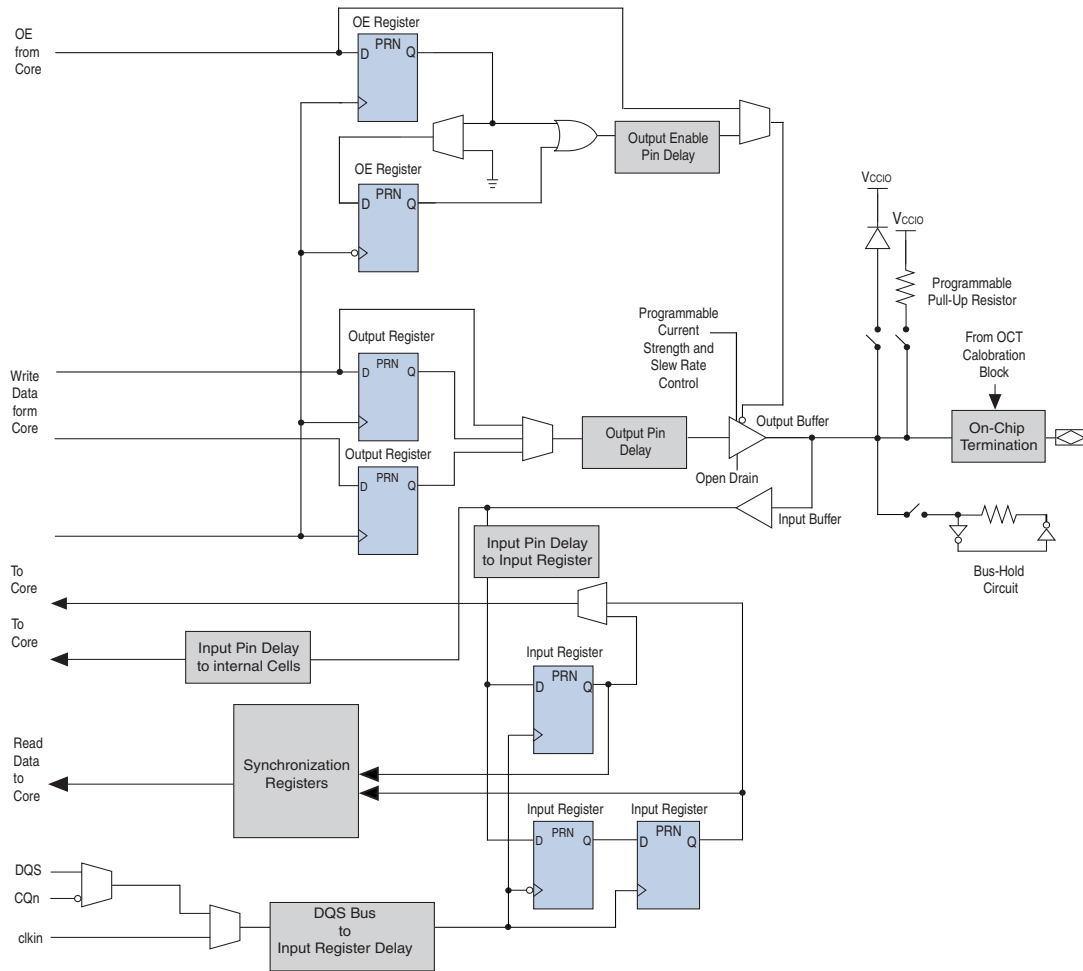
Arria II GX デバイスの IOE は、1 個の双方向 I/O バッファおよび I/O レジスタで構成されており、完全なエンベデッド双方向シングル・データ・レート (SDR) またはダブル・データ・レート (DDR) 転送をサポートします。IOE は、Arria II GX デバイス周辺の I/O ブロック内に配置されています。各ロウ I/O ブロックあたり最大 4 個の IOE、各コラム I/O ブロックあたり最大 4 個の IOE があります。

Arria II GX の双方向 IOE は、これらの機能をサポートしています。

- プログラムマブル入力遅延
- プログラムマブル出力ドライブ強度
- プログラムマブル・スルー・レート
- プログラムマブル・バス・ホールド
- プログラムマブル・プルアップ抵抗
- オープン・ドレイン出力
- キャリブレーション付きまたはなしの R_s OCT
- R_0 OCT
- PCI クランプ・ダイオード

図 6-2 に、Arria II GX IOE 構造を示します。

図 6-2. Arria II GX IOE 構造



I/O レジスタおよびメモリ・アプリケーションのための使用方法については、[「External Memory Interfaces in Arria II GX Devices」](#)の章を参照してください。

3.3 V I/O のインターフェース


Arria II GX I/O バッファは 3.3 V I/O 規格と完全に対応しております。Arria II GX I/O バッファはシステム内のトランスミッタまたはレシーバとして使用できます。Arria II GX の V_{CCIO} 電圧は 3.3 V または 3.0 V で動作されるとき、出力 High 電圧 (V_{OH})、出力 Low 電圧 (V_{OL})、入力 High 電圧 (V_{IH})、および入力 Low 電圧 (V_{IL}) のレベルは、わずかなマージンで EIA/JEDEC 規格 JESD8-B で定義される 3.3-V I/O 規格に適合します。

デバイスの信頼性と適切な動作を実現するには、Arria II GX デバイスを使用して 3.3 V I/O システムとインターフェースするとき、Arria II GX デバイスの絶対最大定格に違反しないことが重要です。アルテラでは、オーバーシュート電圧およびアンダーシュート電圧はガイドライン範囲内にあることを確認するように、IBIS シミュレーションを実行することを推奨しています。必要なわけではありませんが、オーバーシュートおよびアンダーシュートを制限するように、いくつかのテクニックを使用できます。

Arria II GX デバイスをトランスミッタとして使用する場合は、オーバーシュートおよびアンダーシュートを制限するように低速スルー・レートおよび直列終端を利用できます。レシーバで大きな電圧変動を引き起こす伝送線路の影響は、ドライバと伝送線路間のインピーダンス・ミスマッチに関連しています。ドライバのインピーダンスを伝送線路の特性インピーダンスにマッチングさせることによって、オーバーシュート電圧を大幅に低下させることができます。ドライバの近くに配置されている直列終端抵抗を使用して、総ドライバ・インピーダンスを伝送線路インピーダンスとマッチングさせることができます。3.3-V LVTTTL および 3.3-V LVCMOS I/O の規格の他に、Arria II GX デバイスはすべての I/O バンクですべての LVTTTL/LVCMOS I/O 規格に対して R_s OCT をサポートしています。


必須ではありませんが、Arria II GX デバイスをレシーバとして使用する場合は、オーバーシュートを制限するように、クランプ・ダイオード（オンチップまたはオフチップ）を利用できます。Arria II GX デバイスは、各 I/O ピンにオプションのオンチップ PCI クランプ・ダイオードを提供します。このダイオードを使用して I/O ピンをオーバーシュート電圧から保護することができます。

オーバーシュートを制限するためのもう一つの方法はバンク電源電圧 (V_{CCIO}) を 3.0 V に低減することです。この方法により、クランプ・ダイオード（オンチップまたはオフチップ）は、オーバーシュート電圧を DC および AC 入力電圧仕様の範囲内まで十分にクランプすることができますが、それは必須ではありません。クランプされた電圧は、電源電圧 (V_{CCIO}) とダイオード順方向電圧の合計値として表すことができます。 V_{CCIO} を 3.0 V に低減することにより、3.3-V LVTTTL/LVCMOS、3.0-V LVTTTL/LVCMOS、および 3.0-V PCI/PCI-X を含むすべての I/O 規格のオーバーシュートおよびアンダーシュートを低減することができます。更に、 V_{CCIO} を 3.0 V に低減することによって、消費電力を減少します。

 絶対最大定格および過渡期間における最大許容オーバーシュートについては、[「Arria II GX Devices Datasheet」](#) を参照してください。

外部メモリ・インタフェース

Arria II GX デバイスは、各 IOE 内の I/O レジスタに加えて、外部メモリ・インタフェースにインタフェースするために、すべての I/O バンクに専用レジスタおよび位相シフト回路も内蔵しています。

 外部メモリ・インタフェースについては詳しくは、[「External Memory Interfaces in Arria II GX Devices」](#) の章を参照してください。

DPA サポート付き高速差動 I/O

Arria II GX デバイスは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- レシーバ・デシリアライザ
- データ・リアラインメント回路
- ダイナミック・フェーズ・アライナ (DPA)
- シンクロナイザ (FIFO バッファ)

■ PLL (Phase-Locked Loop)

 DPA サポートについて詳しくは、『*High-Speed Differential I/O Interfaces with DPA in Arria II GX Devices*』の章を参照してください。

プログラマブル電流強度


Arria II GX デバイスの各 I/O ピンの出力バッファは、特定の I/O 規格に適合させるためのプログラマブルなドライブ強度コントロール機能が内蔵されています。プログラマブル電流強度を使用して、長い伝送線路またはレガシー・バックプレーンに起因する高い信号減衰の影響を緩和できます。LVTTTL、LVCMOS、SSTL、および HSTL 規格には、ユーザーがコントロール可能な複数レベルのドライブ強度があります。表 6-4 に、プログラマブル電流強度設定をリストします。

表 6-4. プログラマブル電流強度設定 (注 1)

I/O 規格	トップ、ボトム、およびライト I/O ピンの I_{OL}/I_{OH} の電流値設定 (mA)
3.3-V LVTTTL (2)	[12], 8, 4
3.3-V LVCMOS (2)	[2]
3.0-V LVTTTL	16, 12, 8, 4
3.0-V LVCMOS	16, 12, 8, 4
2.5-V LVTTTL/LVCMOS	16, 12, 8, 4
1.8-V LVTTTL/LVCMOS	16, 12, 10, 8, 6, 4, 2
1.5-V LVCMOS	16, 12, 10, 8, 6, 4, 2
1.2-V LVCMOS	12, 10, 8, 6, 4, 2
SSTL-2 Class I	12, 8
SSTL-2 Class II	16
SSTL-18 Class I	12, 10, 8
SSTL-18 Class II	16, 12
SSTL-15 Class I	12, 10, 8
HSTL-18 Class I	12, 10, 8
HSTL-18 Class II	16
HSTL-15 Class I	12, 10, 8
HSTL-15 Class II	16
HSTL-12 Class I	12, 10, 8
HSTL-12 Class II	16
BLVDS	8, 12, 16

表 6-4 の注:

- (1) Quartus II ソフトウェアのデフォルトの電流設定は、すべての非電圧リファレンスおよび HSTL/SSTL Class I I/O 規格に対して、キャリブレーションなしで $50\text{-}\Omega R_S$ OCT です。HSTL/SSTL Class II I/O 規格に対するデフォルト設定は、キャリブレーションなしで $25\text{-}\Omega R_S$ OCT です。
- (2) Quartus II ソフトウェアのデフォルトの電流設定は、[] 内に示す電流強度です。

 アルテラでは、特定のアプリケーションに対する正しいドライブ強度設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。

プログラマブル・スルー・レート・コントロール

Arria II GX デバイスのレギュラー・ピンおよびデュアル・ファンクション・ピンの出力バッファは、各出力を低ノイズまたは高速性能に設定可能なプログラマブル出力スルー・レート・コントロール機能を内蔵しています。高速スルー・レートを指定した場合は、高性能システムに対応した高速転送が行われます。低速スルー・レートを指定した場合、システム・ノイズの低減には役立ちますが、立ち上がりおよび立ち下がりエッジに一定の遅延が追加されます。各 I/O ピンは個別にスルー・レート・コントロール機能を備えているため、ユーザーはピン単位でスルー・レートを指定することができます。



R_S OCT を使用するときには、プログラマブル・スルー・レート機能を使用することはできません。

Quartus® II ソフトウェアでは、プログラマブル・スルー・レート・コントロールの低速および高速設定が可能です。Quartus II ソフトウェアのアサインメント・エディタで、設定 1 = 高速、および 0 = 低速です。プログラマブル・スルー・レートは、8 mA の電流強度で使用可能であり、3.3 V LVTTTL/LVCMOS を除いて、非電圧リファレンスの I/O 規格に対してそれ以上の電流強度が使用可能です。

より高速なスルー・レートを使用して、メモリ・インタフェース・アプリケーションで得られるタイミング・マージン、または出力ピンに高い容量性負荷がある場合のタイミング・マージンを改善することができます。アルテラでは、特定のアプリケーションに対する正しいスルー・レート設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。

オープン・ドレイン出力

Arria II GX デバイスは、各 I/O ピンに対しオプションでオープン・ドレイン出力（オープン・コレクタと同等）を提供します。オープン・ドレインとしてコンフィギュレーションした場合、出力のロジック値は High-Z または 0 のいずれかです。High-Z 出力をロジック High にプルするために、外部プルアップ抵抗を使用する必要があります。

バス・ホールド

Arria II GX デバイスの各 I/O ピンは、オプションでバス・ホールド機能を提供しています。バス・ホールド回路は、I/O ピンの信号を最後にドライブされた状態にウィーク状態で保持します。バス・ホールド機能は、次の入力信号が現れるまで、最後にドライブされた状態にピンを保持するため、バスがトライ・ステートになったとき、信号レベルを保持するための外部プルアップまたはプルダウン抵抗が不要になります。

バス・ホールド回路は、ノイズによって高周波数スイッチングが予定外に発生しそうな場合、ドライブされていないピンを入力スレッショルド電圧から離します。この機能は、ユーザーが各 I/O ピンに対して個別に選択できます。バス・ホールド出力のドライブは V_{CCIO} を超えることがなく、信号のオーバードライブを防ぎます。バス・ホールド機能がイネーブルの場合、プログラマブル・プルアップ・オプションは使用できません。I/O ピンが差動信号用にコンフィギュレーションされているときは、バス・ホールド機能がディセーブルされます。

バス・ホールド回路は、抵抗値を持つ抵抗を使用して、最後にドライブされた状態に固定します。

バス・ホールド回路は、コンフィギュレーション完了後にのみアクティブになります。ユーザー・モードに移行すると、バス・ホールド回路はコンフィギュレーションの終了時にピンに与えられた値をキャプチャします。

プログラマブル・プルアップ抵抗

Arria II GX デバイスの各 I/O ピンは、ユーザー・モードで使用されるプログラマブル・プルアップ抵抗をオプションで提供します。この機能を 1 つの I/O ピンに対してイネーブルにすると、プルアップ抵抗は、 V_{CCIO} レベルに I/O をウィーク状態で保持します。

プログラマブル・プルアップ抵抗は、ユーザー I/O ピンでのみサポートされており、専用コンフィギュレーション・ピン、JTAG ピン、または専用クロック・ピンではサポートされていません。プログラマブル・プルアップ・がイネーブルの場合、バス・ホールド機能は使用できません。


プログラマブル・プリエンファシス

Arria II GX LVDS トランスミッタは伝送線路の周波数依存減衰の補正をサポートされます。Quartus II ソフトウェアには、0 と 1 の 2 つのプログラマブル・プリエンファシス・コントロールの設定があります。0 がプリエンファシス・オフで、1 がプリエンファシス・オンです。デフォルト設定は 1 です。

 プログラマブル・プリエンファシスについて詳しくは「[High-Speed Differential I/O Interfaces with DPA in the Arria II GX Devices](#)」の章を参照してください。

プログラマブル差動出力電圧

Arria II GX LVDS トランスミッタはプログラマブル V_{OD} をサポートします。プログラマブル V_{OD} 設定で、トレース長と消費電力を最適化するように出力アイの高さを調整できます。より小さい V_{OD} 振幅は消費電力を低減しますが、より高い V_{OD} 振幅はレシーバ端における電圧マージンを向上させます。プログラマブル V_{OD} を **high** に設定するとき、プログラマブル V_{OD} を **2** に設定できます。

 プログラマブル V_{OD} について詳しくは、「[High-Speed Differential I/O Interfaces with DPA in the Arria II GX Devices](#)」の章を参照してください。

MultiVolt I/O インタフェース

Arria II GX アーキテクチャは、MultiVolt I/O インタフェース機能をサポートしており、すべてのパッケージの Arria II GX デバイスは電源電圧の異なるシステムとインタフェースすることができます。

VCCIO ピンは要求される出力のレベルに応じて、1.2 V、1.5 V、1.8 V、2.5 V、3.0 V または 3.3 V のいずれかの電源に接続することができます。出力レベルは電源と同じ電圧のシステムと互換性があります。例えば、VCCIO ピンを 1.5 V の電源に接続した場合、出力レベルは 1.5 V のシステムと互換性を持つようになります。

Arria II GX VCCPD 電源ピンは、2.5-V、3.0-V、または 3.3-V の電源に接続されている必要があります。これらの電源ピンは、出力バッファにプリドライバ電源を供給するために使用され、出力ピンの性能を強化します。表 6-5 は、Arria II GX の MultiVolt I/O サポートをまとめたものです。

表 6-5. Arria II GX の MultiVolt I/O サポート (注 1)

VCCIO (V) (2)	入力信号 (V)						出力信号 (V)					
	1.2	1.5	1.8	2.5	3.0	3.3	1.2	1.5	1.8	2.5	3.0	3.3
1.2	✓	—	—	—	—	—	✓	—	—	—	—	—
1.5	—	✓	✓	—	—	—	—	✓	—	—	—	—
1.8	—	✓	✓	—	—	—	—	—	✓	—	—	—
2.5	—	—	—	✓	✓ (3)	✓ (3)	—	—	—	✓	—	—
3.0	—	—	—	✓	✓ (3)	✓ (3)	—	—	—	—	✓	—
3.3	—	—	—	✓	✓ (3)	✓ (3)	—	—	—	—	—	✓

表 6-5 の注:


- ピン電流はデフォルト値よりもわずかに高くなる場合があります。駆動デバイスの V_{OL} 最大電圧および V_{OH} 最低電圧が、適用される Arria II GX の V_{IL} 最大電圧仕様および V_{IH} 最小電圧仕様に違反していないことを検証する必要があります。
- Arria II GX デバイスの各 I/O バンクには、専用の VCCIO ピンがあり、1.2、1.5、1.8、2.5、3.0、または 3.3V のいずれか 1 つの VCCIO のみサポートします。VCCIO は 3.0V のとき、LVDS I/O 規格はサポートされていません。VCCIO は 1.2、1.5、1.8、または 2.5V のとき、LVDS の入力動作はサポートされています。VCCIO は 2.5V のときのみ、LVDS 出力動作はサポートされます。
- アルテラでは、入力信号が 3.0V か 3.3V のとき、I/O ピンの上に外部のクランプ・ダイオードを使用することを推奨しています。

Arria II GX の OCT サポート

Arria II GX デバイスは、I/O インピーダンス・マッチングおよび終端機能を可能にする R_S OCT を備えています。On-Chip Termination (OCT) は、信号品質の維持、ボード・スペースの節約、外部コンポーネント・コストの低減を実現します。

Arria II GX デバイスは、キャリブレーション付きまたはキャリブレーションなしの R_S OCT、および差動 LVDS I/O 規格のオンチップ差動終端をサポートします。Arria II GX デバイスは、OCT I/O 規格の 1 つを選択することによって、すべてのユーザー I/O バンクで OCT をサポートしています。

Arria II GX デバイスは、同じ VCCIO 電源電圧を使用する場合、異なる I/O 規格に対して、同じ I/O バンクで R_S OCT をサポートします。I/O バンクの各 I/O は、プログラマブル電流強度、または R_S OCT をサポートするために、独立してコンフィギュレーションすることができます。

 同じ I/O バッファに対して、 R_S OCT とプログラマブル電流強度の両方をコンフィギュレーションすることはできません。

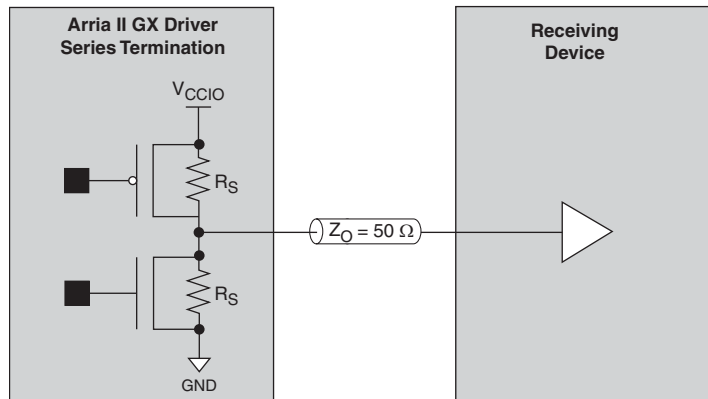
I/O バンクでは、RUP ピンと RDN ピンのペアを利用でき、直列キャリブレーション終端のために共有されます。RUP ピンと RDN ピンは、それぞれ配置されている I/O バンクと同じ VCCIO および GND を共有します。RUP ピンと RDN ピンは兼用 I/O であり、キャリブレーション回路を使用しない場合は、通常の I/O として機能します。キャリブレーションに使用する場合、RUP ピンおよび RDN ピンは、25-Ω または 50-Ω の R_S OCT 値については、それぞれ外部 25-Ω ±1% または 50-Ω ±1% 抵抗を通して VCCIO または GND に接続されます。

キャリブレーションなし直列 On-Chip Termination

Arria II GX デバイスは、I/O ドライバに伝送ラインのインピーダンスと厳密にマッチングする制御された出力インピーダンスを提供するために、ドライバ・インピーダンス・マッチングをサポートしています。その結果、反射を大幅に低減できます。Arria II GX デバイスは、シングル・エンド I/O 規格の R_S OCT をサポートします。

図 6-3 に示す R_s は、出力トランジスタの固有インピーダンスです。標準的な R_s の値は、25- Ω と 50- Ω です。

図 6-3. Arria II GX のキャリブレーションなし直列 On-Chip Termination



OCT を使用するには :

- SSTL Class I 規格 — (50- Ω 伝送ラインに整合させるために) 外部 25- Ω R_s を不要にする **50- Ω on-chip series termination** 設定を選択します。
- SSTL Class II 規格 — (50- Ω 伝送ラインと近端の V_{TT} への 50- Ω プルアップ抵抗を整合させるために) **25- Ω on-chip series termination** 設定を選択します。

キャリブレーション付き直列 On-Chip Termination

Arria II GX デバイスは、キャリブレーション付き R_s OCT をすべてのバンクでサポートします。 R_s OCT キャリブレーション回路は、I/O バッファの合計インピーダンスと RUP ピンおよび RDN ピンに接続された外部 25- $\Omega \pm 1\%$ または 50- $\Omega \pm 1\%$ 抵抗を比較し、それらがマッチングするまでダイナミックにトランジスタをイネーブルまたはディセーブルします。

図 6-4 に示す R_s は、トランジスタの固有インピーダンスです。キャリブレーションは、デバイス・コンフィギュレーションの最後に行われます。キャリブレーション回路は、正しいインピーダンスを見つけるとパワーダウンし、ドライバ特性の変更を停止します。

図 6-4. Arria II GX のキャリブレーション付き直列 On-Chip Termination

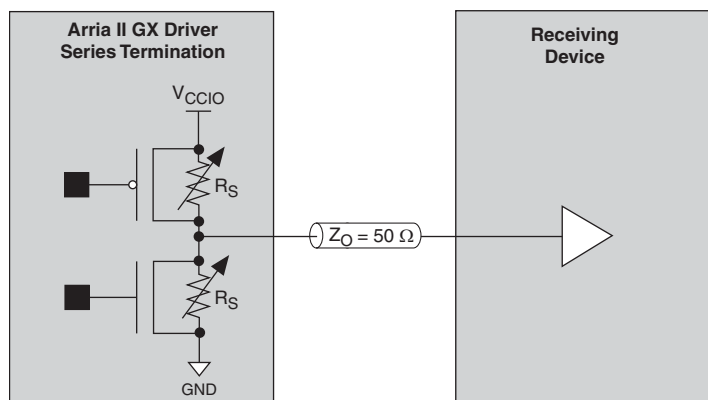


表 6-6 に、キャリブレーション付きおよびキャリブレーションなし R_S OCT をサポートする I/O 規格を示します。

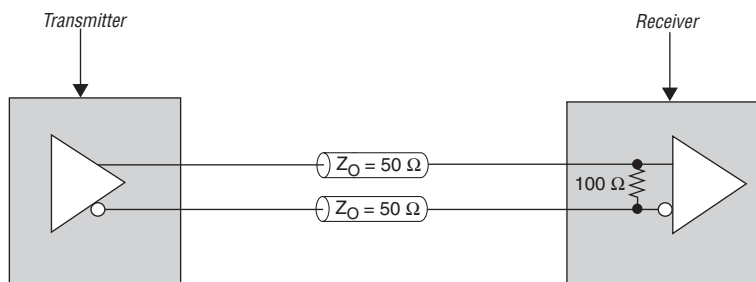
表 6-6. キャリブレーション付きおよびキャリブレーションなし直列 On-Chip Termination を使用した選択可能な I/O ドライバ

I/O 規格	R_S OCT Termination 設定	
	ライト I/O (Ω)	トップおよびボトム I/O (Ω)
3.0-V LVTTTL/LVCMOS	50	50
	25	25
2.5-V LVTTTL/LVCMOS	50	50
	25	25
1.8-V LVTTTL/LVCMOS	50	50
	25	25
1.5-V LVCMOS	50	50
	25	25
1.2-V LVCMOS	50	50
	25	25
SSTL-2 Class I	50	50
SSTL-2 Class II	25	25
SSTL-18 Class I	50	50
SSTL-18 Class II	25	25
SSTL-15 Class I	50	50
HSTL-18 Class I	50	50
HSTL-18 Class II	25	25
HSTL-15 Class I	50	50
HSTL-15 Class II	25	25
HSTL-12 Class I	50	50
HSTL-12 Class II	25	25

LVDS 入力の差動 On-Chip Termination

Arria II GX デバイスのすべての I/O バンクは、[図 6-5](#) に示すとおり、 $100\text{-}\Omega$ の公称抵抗値を持つ入力 R_D OCT をサポートします。ただし、すべての入力差動ピンは R_D OCT をサポートするわけではありません。 V_{CCIO} および V_{CCPD} の両方が 2.5 V に設定される時、 R_D OCT をイネーブルできます。

図 6-5. 差動入力 On-Chip Termination



[R_D OCT](#) について詳しくは、[『High-Speed Differential I/O Interfaces with DPA in Arria II GX Devices』](#) の章を参照してください。

Arria II GX OCT キャリブレーション

Arria II GX デバイスはすべての I/O ピンでキャリブレーション済み R_S OCT をサポートします。Arria II GX I/O バンクにデバイスで利用可能な 3 個の OCT キャリブレーション・ブロックのいずれかをキャリブレーションできます。

OCT キャリブレーション・ブロック

3 個の OCT キャリブレーション・ブロックはデバイスのトップ・レフト、トップ・ライト、およびボトム・レフト・コーナーにあります。

OCT キャリブレーション・ブロックと、そのブロックを持つ I/O バンクの V_{CCIO} は同じです。 R_S OCT キャリブレーションは、利用可能な OCT キャリブレーション・ブロック数を上限とする異なる V_{CCIO} 電圧規格を持つすべての I/O バンクでサポートされます。I/O バンクをコンフィギュレーションして、同じ V_{CCIO} を持つ任意の OCT キャリブレーション・ブロックからのキャリブレーション済みコードを受信することができます。同じ V_{CCIO} を持つすべての I/O バンクは、そのバンクが専用の OCT キャリブレーション・ブロックを持っている場合でも、1 つの OCT キャリブレーション・ブロックを共有できます。

[OCT キャリブレーション・ブロック](#) について詳しくは、[『ALT_OCT Megafunction User Guide』](#) を参照してください。

I/O 規格の Arria II GX 終端方法

以下のセクションは Arria II GX デバイスで使用される I/O 規格の異なった差動終端方法について説明します。

シングル・エンド I/O 規格の終端

電圧リファレンス形式の I/O 規格では、入力リファレンス電圧 (V_{REF}) と終端電圧 (V_{TT}) の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。図 6-6 に、Arria II GX デバイスで SSTL I/O 終端の詳細を示します。

図 6-6. Arria II GX SSTL の I/O 規格の終端

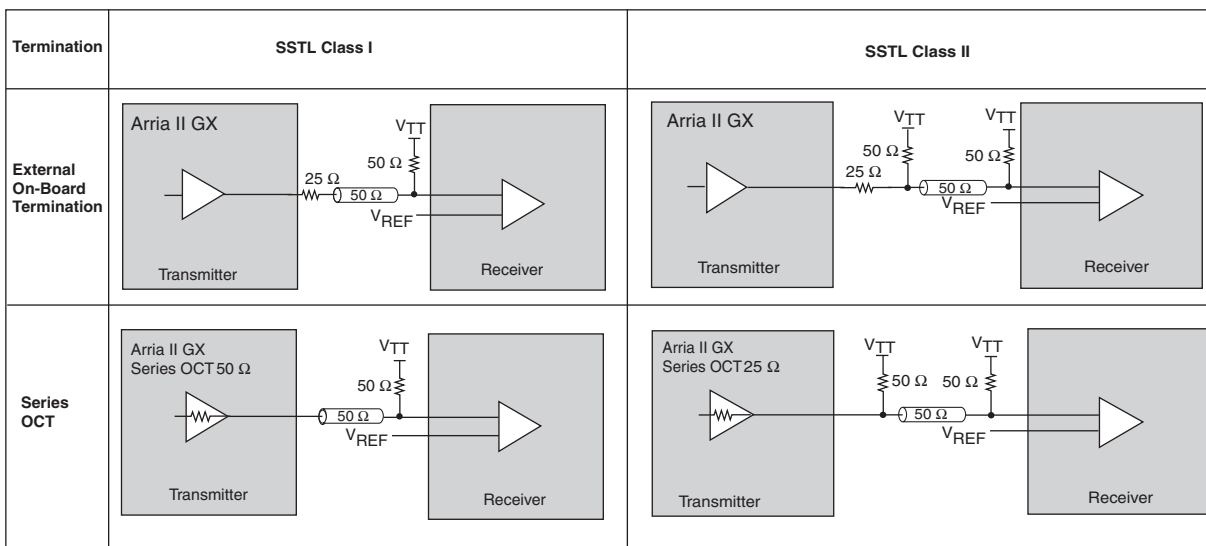
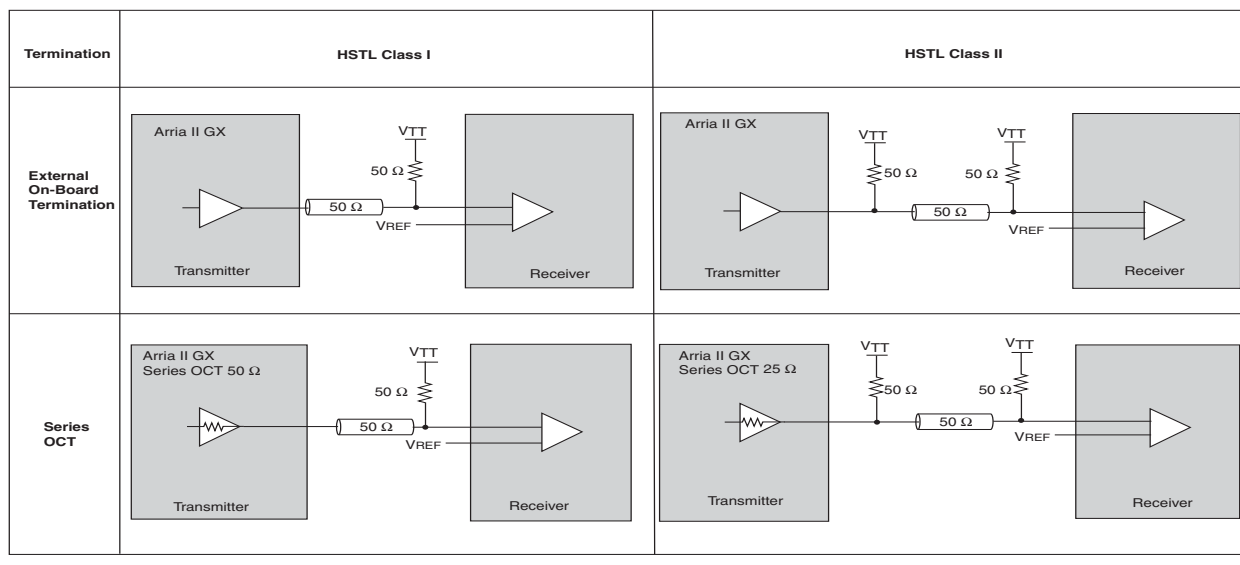


図 6-7 に、Arria II GX デバイスで HSTL I/O 終端の詳細を示します。

図 6-7. Arria II GX HSTL の I/O 規格の終端



差動 I/O 規格の終端

Arria II GX デバイスは、差動 SSTL-2 および SSTL-18、差動 HSTL-18、HSTL-15 および HSTL-12、LVDS、LVPECL、RSDS、および mini-LVDS をサポートします。図 6-8 ~ 図 6-14 には、Arria II GX デバイスでの様々な差動 I/O 終端の詳細を示します。

図 6-8 に、Arria II GX デバイスでの差動 SSTL I/O 規格の終端の詳細を示します。

図 6-8. Arria II GX の差動 SSTL I/O 規格の終端

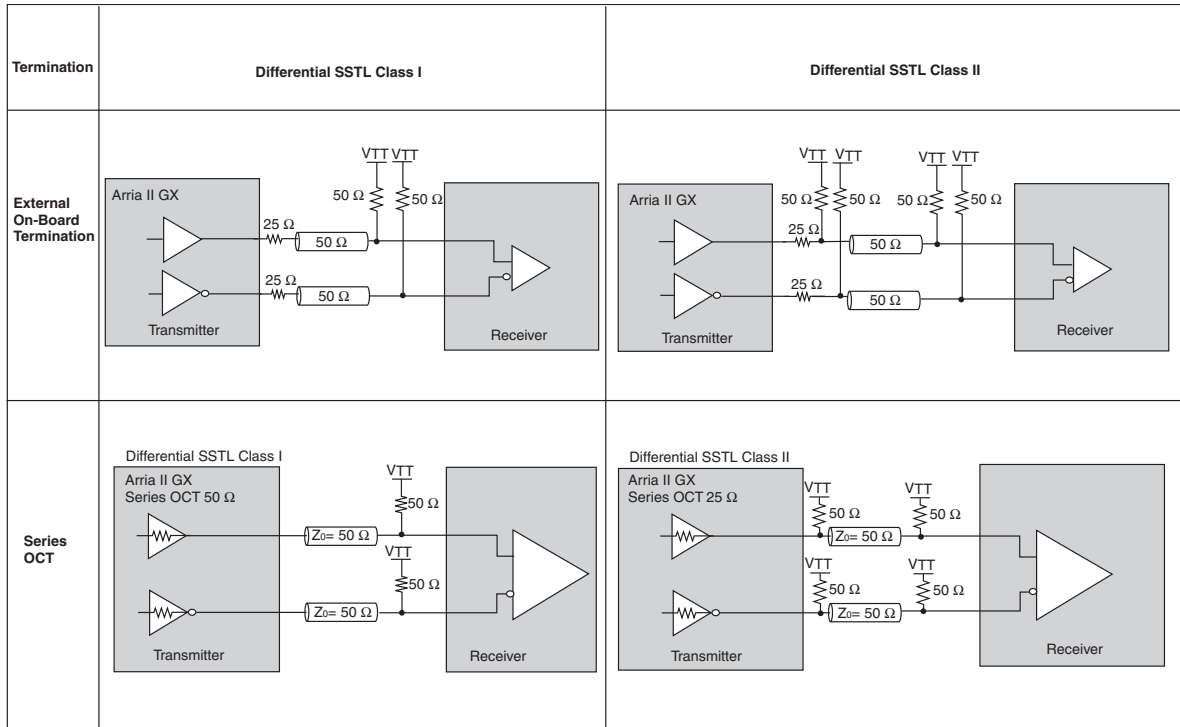
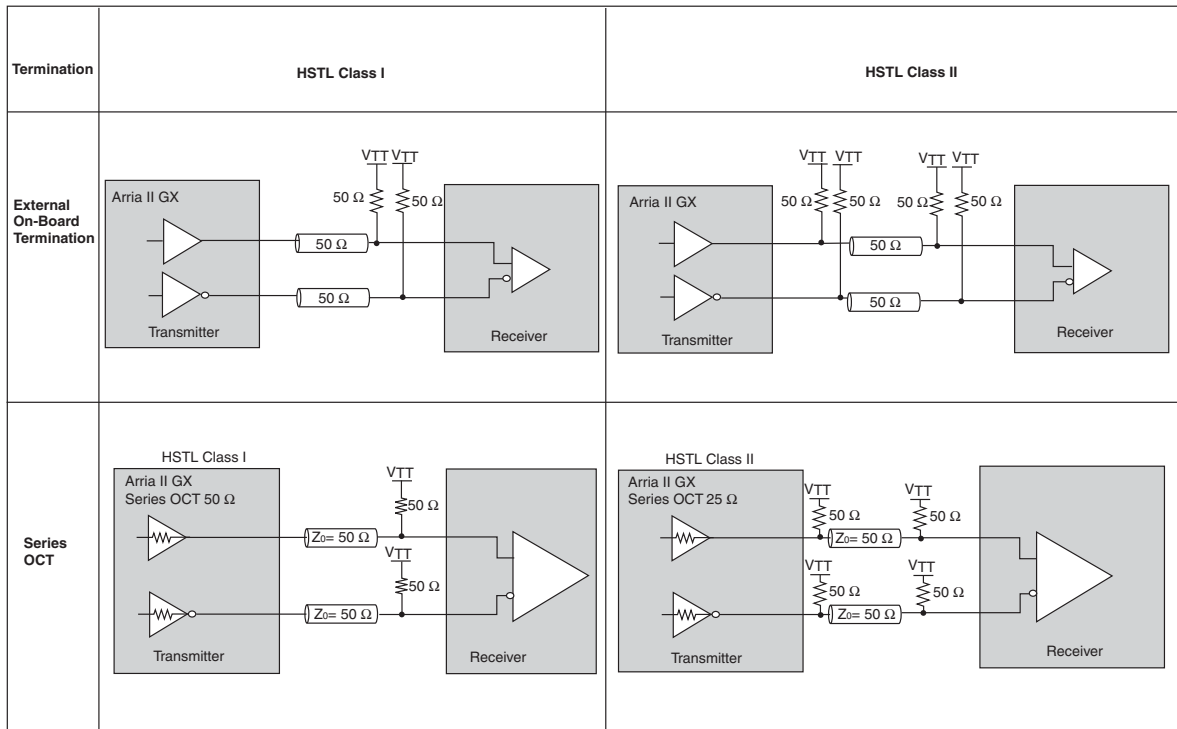


図 6-9 に、Arria II GX デバイスでの差動 HSTL I/O 規格の終端の詳細を示します。

図 6-9. Arria II GX の差動 HSTL I/O 規格の終端



LVDS

LVDS I/O 規格は、差動高速、低電圧振幅、低電力の汎用 I/O インタフェース規格です。Arria II GX デバイスでは、LVDS I/O 規格は 2.5 V の V_{CCIO} レベルを要求します。LVDS 入力バッファは、2.5 V の V_{CCPD} を要求します。LVDS は、入力バッファの 2 つの信号間で 100- Ω の終端抵抗を要求します。Arria II GX デバイスは、 R_D OCT を使用するデバイスで、オプションの 100- Ω 差動終端抵抗を提供します。外部抵抗トポロジーは 700 Mbps までのデータ・レートに対応しています。

図 6-10 に、Arria II GX デバイスの LVDS 終端の詳細を示します。

図 6-10. Arria II GX LVDS I/O 規格の終端 (注 1)

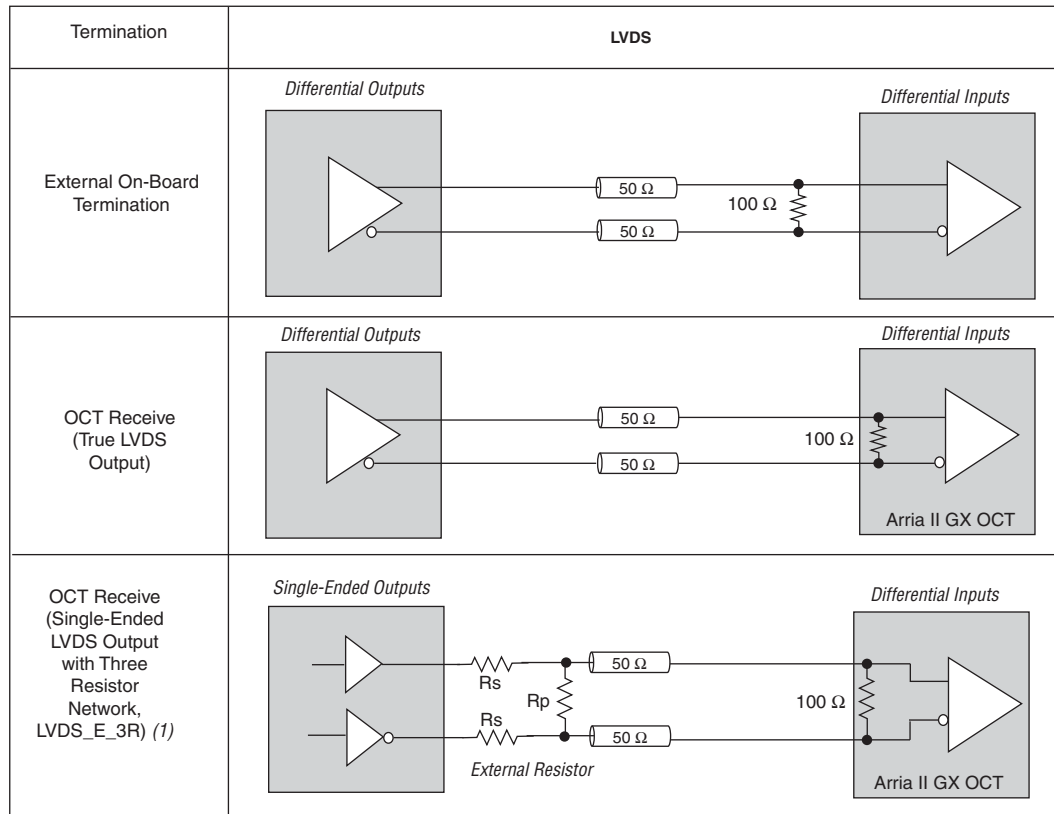


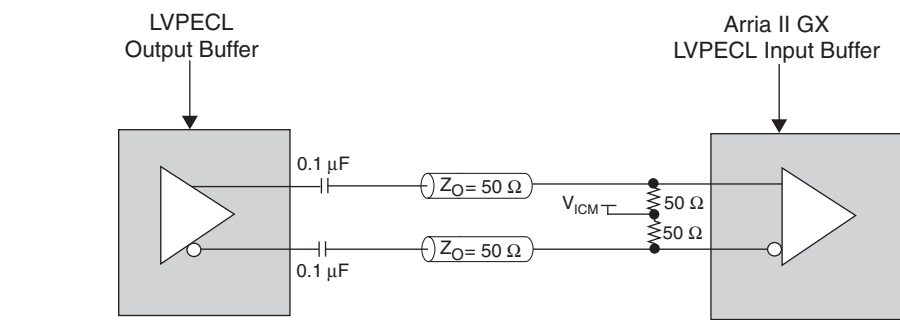
図 6-10 の注:

(1) LVDS_E_3R に対して、 $R_p = 170 \Omega$ および $R_s = 120 \Omega$ になります。

差動 LVPECL

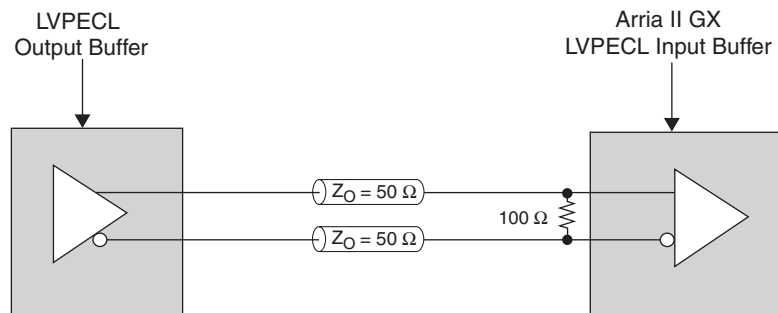
Arria II GX デバイスは、LVPECL I/O 規格を入力クロック・ピンでのみサポートします。LVPECL 出力動作はサポートされていません。LVDS の入力バッファは、LVPECL 入力動作をサポートするために使用されます。出力バッファの LVPECL コモン・モード電圧が、Arria II GX LVPECL 入力コモン・モード電圧よりも高いときは AC 結合が必要です。図 6-11 に、AC 結合終端方法を示します。レシーバ端で使用される 50-Ω 抵抗は、デバイスの外部になります。

図 6-11. LVPECL AC 結合終端



Arria II GX デバイスは、LVPECL 出力コモン・モード電圧が、Arria II GX LVPECL 入力バッファ仕様の範囲内にある場合、DC 結合 LVPECL をサポートします（図 6-12 を参照）。

図 6-12. LVPECL DC 結合終端



RSDS

Arria II GX デバイスは、LVDS 出力バッファ・タイプを使用して、最大 360 Mbps のデータ・レートの RSDS 出力規格をサポートします。Arria II GX デバイスは、真の RSDS、1 本の抵抗ネットワーク付き RSDS、および 3 本の抵抗ネットワーク付き RSDS をサポートします。図 6-13 に示すとおり、1 本または 3 本の外部抵抗ネットワークで 2 つのシングル・エンド出力バッファを使用します。

図 6-13. Arria II GX の RSDS I/O 規格の終端（注 1）

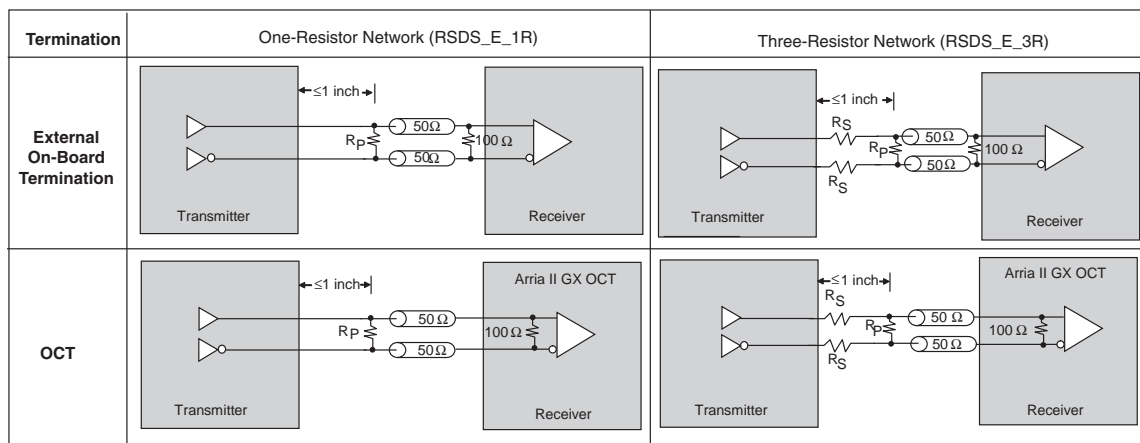



図 6-13 の注:

- (1) RSDS_E_1R および RSDS_E_3R に対して、 $R_p = 170 \Omega$ および $R_s = 120 \Omega$ になります。

LVDS 出力電圧振幅を減衰させて RSDS 仕様に適合させるには、1 本の抵抗ネットワークが必要です。3 本の抵抗ネットワークの値を変更して、消費電力を低減したり、ノイズ・マージンを改善することができます。選択する抵抗値は、式 6-1 に示す式を満たさなければなりません。

式 6-1.

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50 \Omega$$

 アルテラでは、IBIS モデルを使用して追加シミュレーションを実行し、カスタム抵抗値が RSDS 要件に適合するかどうか確認することを推奨しています。

 RSDS I/O 規格について詳しくは、National Semiconductor のウェブサイト (www.national.com) の「RSDS Specification」を参照してください。

mini-LVDS


Arria II GX デバイスは、LVDS タイプの出力バッファを使用して、最大 400 Mbps のデータ・レートの mini-LVDS 出力規格をサポートします。Arria II GX デバイスは 3 本の抵抗ネットワーク付き真の mini-LVDS をサポートします。 6-14 に示すとおり、3 本の外部抵抗ネットワークで 2 つのシングル・エンド出力バッファを使用します。

図 6-14. Arria II GX の mini-LVDS I/O 規格の終端 (注 1)

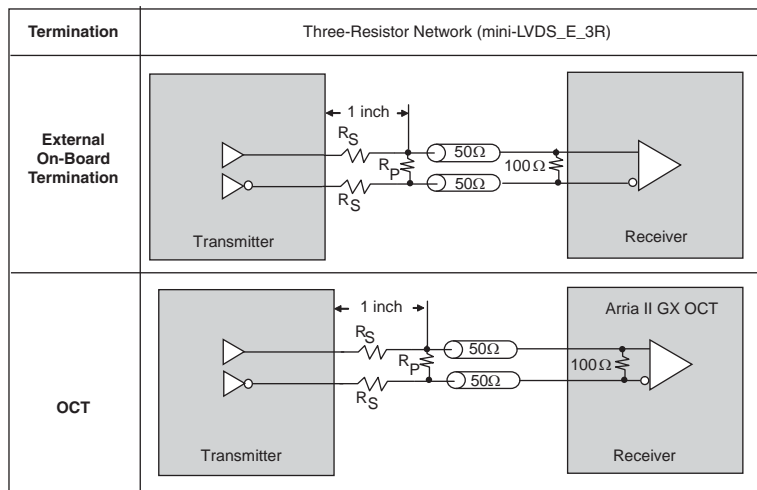



図 6-14 の注:


(1) mini-LVDS_E_3R に対して、 $R_p = 170 \Omega$ および $R_s = 120 \Omega$ になります。

LVDS 出力電圧振幅を減衰させて mini-LVDS 仕様に適合させるには、1本の抵抗ネットワークが必要です。3本の抵抗ネットワークの値を変更して、消費電力を低減したり、ノイズ・マージンを改善することができます。選択する抵抗値は、式 6-2 に示す式を満たさなければなりません。

式 6-2.

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50 \Omega$$

 アルテラでは、IBIS モデルを使用して追加シミュレーションを実行し、カスタム抵抗値が RSDS 要件に適合するかどうか確認することを推奨しています。

 Mini-LVDS I/O 規格について詳しくは、Texas Instruments 社のウェブサイト (www.ti.com) の「*miniLVDS Specification*」を参照してください。

Arria II GX デザインの検討事項

Arria II GX デバイスは、高性能および高速システム・デザインに対応する多様な I/O 機能を備えていますが、以下の項目はこれらのデザインの成功を保証するために注意する必要はありません。

- 6-21 ページの「I/O 終端」
- 6-22 ページの「I/O バンクの制約」
- 6-23 ページの「I/O 配置のガイドライン」

I/O 終端

この項では、電圧リファレンス形式 I/O 規格および差動 I/O 規格に推奨される終端方法について説明します。

シングル・エンド I/O 規格


シングル・エンド非電圧リファレンス形式の I/O 規格では終端は不要ですが、反射を抑え、シグナル・インテグリティを向上させるためにインピーダンス・マッチングが必要です。

電圧リファレンス形式の I/O 規格では、入力リファレンス電圧 (V_{REF}) と終端電圧 (V_{TT}) の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。電圧リファレンス形式の I/O 規格は、それぞれに特定の終端設定が必要です。例えば、SSTL2 規格では優れたノイズ・マージンを持つ信頼性の高い DDR メモリ・システムを作成するために、適切な抵抗性の信号終端方式が重要です。

Arria II GX R_S OCT では、外部コンポーネントが必要ないためデザインが簡潔になります。標準的な伝送路環境で、使用する OCT を最適化するとき、 R_S インピーダンスが最適性能を達成するには、伝送路のインピーダンスと等しいまたはそれ以下でなければなりません。理想的なアプリケーションでは、伝送路のインピーダンスを合わせるように OCT インピーダンスを設定することにより、反射を避けます。その代わりとして、外部プルアップ抵抗を使用して、SSTL や HSTL などの電圧リファレンス形式の I/O 規格を終端できます。

差動 I/O 規格

差動 I/O 規格は、通常はレシーバの 2 つの信号間に終端抵抗を必要とします。終端抵抗は、信号ラインの差動負荷インピーダンスと整合しなければなりません。Arria II GX デバイスは、LVDS を使用するときオプションの差動オンチップ抵抗を提供します。

 PCB レイアウトのガイドラインについては、「AN 224: High-Speed Board Layout Guidelines」および「AN 315: Guidelines for Designing High Speed FPGA PCBs」を参照してください。

I/O バンクの制約

各 I/O バンクは複数の I/O 規格を同時にサポートできます。以下の項では、Arria II GX デバイスで非電圧リファレンス形式および電圧リファレンス形式の I/O 規格を混在させるためのガイドラインを示します。

非電圧リファレンス形式の規格

Arria II GX デバイスの各 I/O バンクには、専用の V_{CCIO} ピンがあり、1.2、1.5、1.8、2.5、3.0 または 3.3 V のいずれか 1 つの V_{CCIO} のみサポートします。I/O バンクは、6-2 ページの表 6-1 に示すように、異なる差動 I/O 規格が割り当てられたいかなる数の入力信号でも同時にサポートできます。

出力信号の場合、1 つの I/O バンクは V_{CCIO} と同じ電圧でドライブする非電圧リファレンス形式の出力信号をサポートします。1 つの I/O バンクは 1 つの V_{CCIO} の値しか取ることができないため、非電圧リファレンス信号に対してはその 1 つの値のみドライブ・アウトできます。例えば、V_{CCIO} 設定が 2.5 V の I/O バンクは、2.5 V の標準入力と出力、および 3.3 V の LVCMOS 入力（出力または双方向ピン以外）をサポートします。

電圧リファレンス形式の規格

電圧リファレンス形式の I/O 規格に対応するために、Arria II GX デバイスの各 I/O バンクは、専用の V_{REF} ピンを備えています。ただし、各バンクが任意の時点で持つことができるのは、1 つの V_{CCIO} 電圧レベルと 1 つの V_{REF} 電圧レベルだけです。

シングル・エンド規格または差動規格に対応する I/O バンクは、すべての電圧リファレンス形式の規格が同じ V_{REF} 設定を使用している限り、電圧リファレンス形式の規格をサポートできます。

電圧リファレンス形式の双方向信号および出力信号は、I/O バンクの V_{CCIO} 電圧と同じでなければなりません。例えば、V_{CCIO} が 2.5 V の I/O バンクには、SSTL-2 出力ピンしか配置できません。

電圧リファレンス形式の規格と非電圧リファレンス形式の規格の混在

I/O バンクはルール・セットを個別に適用することによって、電圧リファレンス形式と非電圧リファレンス形式のピンの両方をサポートできます。例えば、I/O バンクは 1.8 V の V_{CCIO} および 0.9 V の V_{REF} で、SSTL-18 入力と 1.8 V 入力および出力をサポートできます。同様に、I/O バンクは 1.5 V 規格、1.8 V 入力（出力は非適用）、および 1.5 V の V_{CCIO} および 0.75 V の V_{REF} で、HSTL および HSTL-15 I/O 規格をサポートできます。

I/O 配置のガイドライン

この項では、Arria II GX デバイスでサポートされるプログラマブル I/O 規格の I/O 配置ガイドラインを示します。Arria II GX デバイスの選択可能な I/O 機能を使用してシステムをデザインするのに必要な情報が記載されています。

3.3-V、3.0-V、および 2.5-V LVTTTL/LVCMOS の許容値ガイドライン

アルテラでは、3.3 V、3.0 V、および 2.5 V の I/O 規格を使用するとき、I/O ピンでオーバーシュートおよびアンダーシュートを制限するように、以下の手法を推奨しています。

- 低ドライブ強度または直列終端 — 非終端レシーバ・エンドにおけるオーバーシュートおよびアンダーシュートを最小限に抑えるために、I/O ドライバのインピーダンスはボード・トレースのインピーダンスと等しいまたはそれ以上にする必要があります。高いドライブ強度（より低いドライバ・インピーダンス）が必要な場合、アルテラではトドライバ端に直列終端（オンチップまたはオフチップ）を推奨しています。
- 出力スルー・レート — Arria II GX デバイスは、シングル・エンド出力バッファ向けに 2 つレベルのスルー・レート・コントロールを提供します。低速スルー・レートはシステム内のオーバーシュートおよびアンダーシュートを大幅に低減することができますが、性能がわずかに遅くなります。
- 入力クランピング・ダイオード — Arria II GX I/O にはオンチップ・クランプ・ダイオードがあります。
- クランピング・ダイオードを使用するとき、I/O のフローティング・ウエルは V_{CCIO} にクランプされます。その結果、Arria II GX デバイスは外部の入力ドライバから付加的な入力リーク電流を得るかもしれません。これは、ホット・ソケット DC 仕様と AC 電流仕様に違反して、消費電力を増強するかもしれません。クランピング・ダイオードがイネーブルされている場合、Arria II GX デバイスは、最大 8 mA の DC 電流をサポートします。

ピン配置ガイドライン

アルテラは、Quartus II デザインの作成で、デバイス I/O アサインメントを入力して、ピン配置を検証するためにデザインをコンパイルすることを推奨しています。Quartus II ソフトウェアは、適切なデバイス動作を確認するために、I/O アサインメントと配置ルールに関するピン接続をチェックします。これらのルールは、デバイス集積度、パッケージ、I/O アサインメント、電圧アサインメント、および本章で説明されない他の要因によって異なります。

改訂履歴

表 6-7 に、本資料の改訂履歴を示します。

表 6-7. 改訂履歴

日付	バージョン	変更内容
2010年7月	3.0	Arria II GX v10.0 のリリースの便新は、 <ul style="list-style-type: none"> ■ 表 6-4、表 6-5、および表 6-6 を便新。 ■ 図 6-1 を便新。 ■ 「概要」の項を更新。
2009年10月	2.0	Arria II GX v9.1 のリリースの便新は、 <ul style="list-style-type: none"> ■ 表 6-2 と表 6-3 を更新。 ■ 図 6-2、図 6-13、および図 6-14 を便新。 ■ テキストのマイナーな編集。
2009年6月	1.1	<ul style="list-style-type: none"> ■ 表 6-1、表 6-4、および表 6-5 を更新。 ■ 「プログラマブル・スルーレート・コントロール」、「差動出力電圧」、「Mini-LVDS」、「RSDS」、「OCT キャリブレーション・ブロック」、および「I/O 配置のガイドライン」の項を便新。 ■ 図 6-1、図 6-6、図 6-7、図 6-8、図 6-9、図 6-10、および図 6-14 を更新。
2009年2月	1.0	初版。