

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AIIGX51001-4.0

Arria® II デバイス・ファミリは使いやすさを考慮して設計されています。この 40nm のデバイス・ファミリのアーキテクチャは低消費電力、プログラム可能なロジック・エンジン、高速トランシーバおよび高速 I/O を最適なコストで提供します。アルテラの Quartus® II ソフトウェア、SOPC Builder デザイン・ソフトウェア、および数多くの IP (intellectual property) を使用することで、Physical Interface for PCI Express® (PIPE) (PCIe®)、イーサネット、および DDR3 メモリなどの一般的なインタフェースを容易に実装できます。Arria II デバイス・ファミリにより、最大 6.375 Gbps を必要とするアプリケーションの設計が迅速かつ容易になります。

この章は、以下の項で構成されています。

- 1-1 ページの「Arria II デバイスの機能」
- 1-6 ページの「Arria II デバイスのアーキテクチャ」
- 1-13 ページの「製品コード」

## Arria II デバイスの機能

Arria II デバイスは以下の機能を備えています。

- 40nm の低消費電力 FPGA エンジン
  - 業界最高のロジック効率を提供する ALM (アダプティブ・ロジック・モジュール)
  - 分割可能な 8 入力 LUT (ルック・アップ・テーブル)
  - 小規模な FIFO を効率的に実装できる MLAB (メモリ・ロジック・アレイ・ブロック)
- 最大 550MHz の高性能 DSP (デジタル信号処理) ブロック
  - 9x9 ビット、12x12 ビット、18x18 ビット、および 36x36 ビットの完全精度の乗算器、または 18 x 36 ビットの高精度乗算器にコンフィギュレーションでできる
  - ハードコード化された加算器、減算器、アキュムレータおよび加算機能を備えている
  - デザイン・フローは MATLAB ソフトウェアおよびアルテラの DSP Builder ソフトウェアに完全に統合されている

©2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



- 高いシステム帯域幅
  - 155 Mbps ~ 6.375 Gbps のデータ・レートをサポートする最大 24 個の全二重 CDR ベース・トランシーバ
  - PCI Express (PIPE) Gen1/Gen2、ギガビット・イーサネット、Serial RapidIO® (SRIO)、CPRI (Common Public Radio Interface)、Common Public Radio Interface (CPRI)、OBSAI、SD/HD/3G/ASI-SDI、XAUI、RXAUI (Reduced XAUI)、HiGig/HiGig+、SATA/SAS (Serial Attached SCSI)、GPON、SerialLite II、Fiber Channel、SONET/SDH、Interlaken、Serial Data Converter (JESD204)、および SFI-5 などの一般的なシリアル・プロトコルの物理レイヤ機能をサポートする専用回路
- PHY-MAC レイヤ、データ・リンク・レイヤ、およびトランザクション・レイヤ機能を実装するエンベデッド・ハード IP ブロックによる完全 PIPE プロトコル・ソリューション
- 高帯域幅システム・インタフェースに対して最適化される
  - シングル・エンドおよび差動 I/O 規格を幅広くサポートする最大 20 個のモジュラー I/O バンクに、最大 726 本のユーザー I/O ピンを配列
  - シリアライザ/デシリアライザ (SERDES)、ダイナミック・フェーズ・アライメント (DPA) による 150 Mbps ~ 1.25 Gbps データ・レートの高速 LVDS I/O サポート
- 低消費電力
  - アーキテクチャ省電力技術
  - 100mW (3.125Gbps 時) のフィジカル・メディア・アタッチメント (PMA) 消費電力 (標準値)
  - Quartus II 開発ソフトウェアに統合された消費電力最適化
- 高度なユーザビリティおよびセキュリティ機能
  - パラレルおよびシリアルのコンフィギュレーション・オプション
  - シングル・エンド I/O 規格に対しては自動キャリブレーションによるチップ内直列 ( $R_s$ ) 終端とチップ内並列 ( $R_T$ ) 終端、差動 I/O に対してはチップ内差動 ( $R_D$ ) 終端をサポート
  - デザイン・セキュリティのための 256 ビットの高度暗号化規格 (Advanced Encryption Standard、略称: AES) 暗号化機能を揮発性および不揮発性のキー・ストレージ・オプションで提供する。
  - プロセス、シリアル・プロトコル、およびメモリ・インタフェース用の IP を数多く提供している
  - 高速メザニン・コネクタ (HSMC) 搭載の低コストかつ使いやすい開発キット
- エミュレートされる LVDS 出力を最大 1152Mbps のデータ・レートでサポートする

表 1-1 に、Arria II デバイスの機能を示します。

表 1-1. Arria II デバイスの機能

機能	Arria II GX デバイス						Arria II GZ デバイス		
	EP2AGX45	EP2AGX65	EP2AGX95	EP2AGX125	EP2AGX190	EP2AGX260	EP2AGZ225	EP2AGZ300	EP2AGZ350
合計トランシーバ数 (1)	8	8	12	12	16	16	16 または 24	16 または 24	16 または 24
ALM 数	18,050	25,300	37,470	49,640	76,120	102,600	89,600	119,200	139,400
LE 数	42,959	60,214	89,178	118,143	181,165	244,188	224,000	298,000	348,500
PCIe ハード IP ブロック数	1	1	1	1	1	1	1	1	1
M9K ブロック数	319	495	612	730	840	950	1,235	1,248	1,248
M144K ブロック数	—	—	—	—	—	—	—	24	36
M9K ブロック内の合計 エンベデッド・メモリ (K ビット)	2,871	4,455	5,508	6,570	7,560	8,550	11,115	14,688	16,416
合計オンチップ・メモリ (M9K + M144K + MLABs) (K ビット)	3,435	5,246	6,679	8,121	9,939	11,756	13,915	18,413	20,772
エンベデッド乗算器数 (18 x 18) (2)	232	312	448	576	656	736	800	920	1,040
汎用 PLL 数	4	4	6	6	6	6	6 または 8	4、6、または 8	4、6、または 8
トランシーバ TX PLL 数 (3)、(4)	2 または 4	2 または 4	4 または 6	4 または 6	6 または 8	6 または 8	8 または 12	8 または 12	8 または 12
ユーザー I/O バンク数 (5)、(6)	6	6	8	8	12	12	16 または 20	8、16、または 20	8、16、または 20
高速 LVDS SERDES 数 (最大 1.25 Gbps) (7)	8、24、または 28	8、24、または 28	24、28、または 32	24、28、32	28 または 48	24 または 48	42 または 86	0 (8)、42、または 86	0 (8)、42、または 86

表 1-1 の注：

- (1) トランシーバの総数は、F780 パッケージのデバイスを除いて、各デバイスの左側と右側で等分されます。これらのデバイスには、デバイスの右側にのみ 8 本のトランシーバ・チャネルが配置されています。
- (2) Four-Multiplier Adder モードを使用する場合。
- (3) これらの PLL がトランシーバに使用されていない場合、FPGA ファブリックはこれらの PLL を使用することができます。
- (4) PLL の数はパッケージによって異なります。トランシーバ TX PLL 数はトランシーバ・ブロック数の 2 倍です。
- (5) バンク 3C および 8C は専用のコンフィギュレーション・バンクであり、ユーザー I/O ピンがありません。
- (6) Arria II GZ デバイスの場合、ピンアウト・ファイルからの I/O ピン数はすべての汎用 I/O、専用クロック・ピン、および兼用コンフィギュレーション・ピンを含みます。トランシーバ・ピンおよび専用コンフィギュレーション・ピンは、I/O ピン数に含まれていません。
- (7) Arria II GZ デバイスの場合、高速 LVDS SERDES ペアの総数は最低の R<sub>X</sub>/T<sub>X</sub> 数です。詳細については、'[High-Speed I/O Interfaces and DPA in Arria II Devices](#)' の章を参照してください。
- (8) 最小のパッケージ (780 ピンのパッケージ) は高速 LVDS SERDES をサポートしません。

表 1-2 および表 1-3 に、Ultra FineLine BGA (UBGA) および FineLine BGA (FBGA) の Arria II デバイスのパッケージ・オプション、および各パッケージ・オプションのユーザー I/O ピン数、高速 LVDS チャンネル数、およびトランシーバ・チャンネル数を示します。

表 1-2. Arria II GX デバイスのパッケージ・オプションおよび I/O 情報 (注 1), (2), (3), (4), (5), (6), (7)

デバイス	358 ピン Flip Chip UBGA 17 mm × 17 mm			572 ピン Flip Chip FBGA 25 mm × 25 mm			780 ピン Flip Chip FBGA 29 mm × 29 mm			1152 ピン Flip Chip FBGA 35 mm × 35 mm		
	I/O	LVDS (8)	XCVR	I/O	LVDS (8)	XCVR	I/O	LVDS (8)	XCVR	I/O	LVDS (8)	XCVR
EP2AGX45	↑156	33(R <sub>D</sub> または eTX) + 32(RX, TX, または eTX)	4	↑252	57(R <sub>D</sub> または eTX) + 56(RX, TX, または eTX)	8	↑364	85(R <sub>D</sub> または eTX) + 84(RX, TX, または eTX)	8	—	—	—
EP2AGX65	↓156	33(R <sub>D</sub> または eTX) + 32(RX, TX, または eTX)	4	↓252	57(R <sub>D</sub> または eTX) + 56(RX, TX, または eTX)	8	↓364	85(R <sub>D</sub> または eTX) + 84(RX, TX, eTX)	8	—	—	—
EP2AGX95	—	—	—	↓260	57(R <sub>D</sub> または eTX) + 56(RX, TX, または eTX)	8	↓372	85(R <sub>D</sub> または eTX) + 84(RX, TX, または eTX)	12	452	105(R <sub>D</sub> または eTX) + 104(RX, TX, または eTX)	12
EP2AGX125	—	—	—	↓260	57(R <sub>D</sub> または eTX) + 56(RX, TX, または eTX)	8	↓372	85(R <sub>D</sub> または eTX) + 84(RX, TX, または eTX)	12	452	105(R <sub>D</sub> または eTX) + 104(RX, TX, または eTX)	12
EP2AGX190	—	—	—	—	—	—	↓372	85(R <sub>D</sub> または eTX) + 84(RX, TX, または eTX)	12	612	145(R <sub>D</sub> または eTX) + 144(RX, TX, または eTX)	16
EP2AGX260	—	—	—	—	—	—	↓372	85(R <sub>D</sub> , eTX) + 84(RX, TX, または eTX)	12	612	145(R <sub>D</sub> , eTX) + 144(RX, TX, または eTX)	16

表 1-2 の注：

- (1) ユーザー I/O ピンの数はクロック・ピンを含みます。
- (2) 矢印は使用可能なパーティカル・マイグレーションを示しています。パーティカル・マイグレーションにより、同一のパッケージならば、専用ピン、コンフィギュレーション・ピン、および電源ピンのボード上のレイアウトを変更することなく、異なるデバイス間でマイグレーションできます。
- (3) R<sub>D</sub> = オンチップ差動終端 (R<sub>D</sub> OCT) をサポートする LVDS バッファ
- (4) RX = R<sub>D</sub> OCT をサポートしていない LVDS 入力バッファ
- (5) TX = 真の LVDS 出力バッファ
- (6) eTX = エミュレートされた LVDS 出力バッファ (LVDS\_E\_3R または LVDS\_E\_1R)
- (7) LVDS チャンネル数は専用クロック入力ピンおよび PLL クロック出力ピンを含みません。
- (8) これらの数値は Arria II GX のロウ I/O バンクおよびカラム I/O バンクでサポートされている LVDS チャンネルの数の累算値です。

表 1-3. Arria II GZ デバイスのパッケージ・オプションおよび I/O 情報 (注 1), (2), (3), (4), (5)

デバイス	780 ピン Flip Chip FBGA 29 mm × 29 mm			1152 ピン Flip Chip FBGA 35 mm × 35 mm			1517 ピン Flip Chip FBGA 40 mm × 40 mm		
	I/O	LVDS (6)	XCVR	I/O	LVDS (7)	XCVR	I/O	LVDS (7)	XCVR
EP2AGZ225	—	—	—	554	135 (RX または eTX) + 140 (TX または eTX)	16	734	179 (RX または eTX) + 184 (TX または eTX)	24
EP2AGZ300	281	68 (RX または eTX) + 72 eTX	16	554	135 (RX または eTX) + 140 (TX または eTX)	16	734	179 (RX または eTX) + 184 (TX または eTX)	24
EP2AGZ350	281	68 (RX または eTX) + 72 eTX	16	554	135 (RX または eTX) + 140 (TX または eTX)	16	734	179 (RX または eTX) + 184 (TX または eTX)	24

表 1-3 の注：

- (1) ユーザー I/O ピンの数はクロック・ピンを含みます。
- (2) ロウ I/O バンクの場合、RX は R<sub>D</sub> OCT をサポートしていない真の LVDS 入力バッファです。カラム I/O バンクの場合、RX は R<sub>D</sub> OCT をサポートしていない真の LVDS 入力バッファです。
- (3) eTX = エミュレートされた LVDS 出力バッファ (LVDS\_E\_3R または LVDS\_E\_1R)
- (4) LVDS RX および TX チャンネルはデバイスの左側と右側で等分されます。
- (5) LVDS チャンネル数は専用クロック入力ピンを含みません。
- (6) Arria II GZ 780 ピン FBGA パッケージの場合、LVDS チャンネルはカラム I/O バンクでのみサポートされます。
- (7) これらの数値は Arria II GZ のロウ I/O バンクおよびカラム I/O バンクでサポートされている LVDS チャンネルの数の累算値です。

Arria II デバイスは、-3、-4、-5、および -6 の 4 つのスピード・グレードで提供されており、-3 が最も高速です。表 1-4 に、Arria II デバイスのスピード・グレードを示します。

表 1-4. Arria II デバイスのスピード・グレード

デバイス	358 ピン Flip Chip UBGA	572 ピン Flip Chip FBGA	780 ピン Flip Chip FBGA	1152 ピン Flip Chip FBGA	1517 ピン Flip Chip FBGA
EP2AGX45	C4、C5、C6、I5	C4、C5、C6、I3、I5	C4、C5、C6、I3、I5	—	—
EP2AGX65	C4、C5、C6、I5	C4、C5、C6、I3、I5	C4、C5、C6、I3、I5	—	—
EP2AGX95	—	C4、C5、C6、I3、I5	C4、C5、C6、I3、I5	C4、C5、C6、I3、I5	—
EP2AGX125	—	C4、C5、C6、I3、I5	C4、C5、C6、I3、I5	C4、C5、C6、I3、I5	—
EP2AGX190	—	—	C4、C5、C6、I3、I5	C4、C5、C6、I3、I5	—
EP2AGX260	—	—	C4、C5、C6、I3、I5	C4、C5、C6、I3、I5	—
EP2AGZ225	—	—	—	C3、C4、I3、I4	C3、C4、I3、I4
EP2AGZ300	—	—	C3、C4、I3、I4	C3、C4、I3、I4	C3、C4、I3、I4
EP2AGZ350	—	—	C3、C4、I3、I4	C3、C4、I3、I4	C3、C4、I3、I4

## Arria II デバイスのアーキテクチャ

Arria II デバイスは、コスト重視のアプリケーション向けに最適化されたユーザーの声を反映させた機能セットを備えており、集積度、メモリ、エンベデッド乗算器、I/O、パッケージングのオプションを幅広く提供しています。Arria II デバイスはワイヤレス、有線、放送、コンピュータ、ストレージ、および軍用の市場に必要とされる外部メモリ・インタフェースおよび I/O プロトコールをサポートしています。Arria II デバイスはコストに最適化された I/O セルおよび 6.375Gbps に最適化されたトランシーバに加えて、Stratix®IV デバイス・ファミリからの 8 入力 ALM、M9K と M144K エンベデッド RAM ブロック、および高性能 DSP ブロックも継承しています。

図 1-1 および 図 1-2 に、それぞれ Arria II GX および Arria II GZ デバイスのアーキテクチャを示します。

図 1-1. Arria II GX デバイスのアーキテクチャの概要

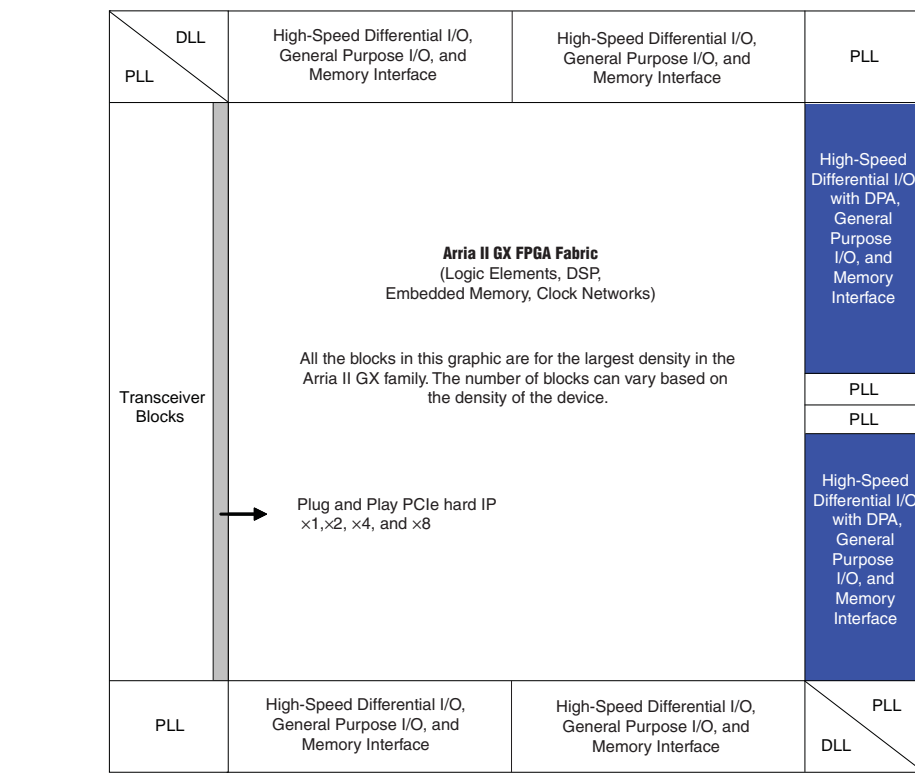


図 1-2. Arria II GZ デバイスのアーキテクチャの概要

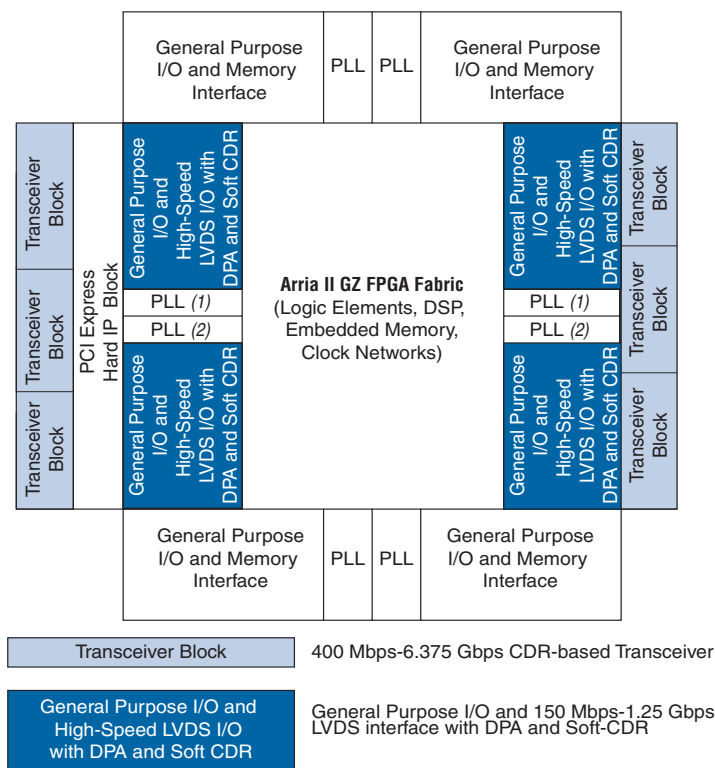


図 1-2 の注：

- (1) 780 ピン FBGA パッケージにはありません。
- (2) 780 ピンおよび 1152 ピンの FBGA パッケージにはありません。

## 高速トランシーバ機能

Arria II GX デバイスは最大 16 個のトランシーバを内蔵しており、Arria II GZ デバイスは最大 24 個のトランシーバを内蔵しています。トランシーバ・ブロックはコストおよび消費電力に対して最適化されています。Arria II トランシーバは以下の機能をサポートします。

- コンフィギュレーション可能なプリエンファシスとイコライザ、調整可能な出力差動電圧
- 専用プロトコルを実装するための柔軟でコンフィギュレーションが容易なトランシーバ・データ・パス
- シグナル・インテグリティ機能
  - ISI (Intersymbol Interference) を補償するためのプログラム可能なトランスミッタ・プリエンファシス
  - 最大 16dB の高周波ゲインを持つユーザー制御の 16 ステージの受信側におけるイコライザ
  - 卓越したノイズ耐性を実現する、トランスミッタおよびレシーバ PLL チャージ・ポンプ用オンダイ電源レギュレータおよび電圧制御発振器 (VCO)
  - トランスミッタおよびレシーバの On-Chip Termination (チップ内終端) 抵抗のキャリブレーション回路

- 診断機能
  - トランシーバ PCS および PMA 診断のためのトランスミッタ・シリアライザからレシーバ CDR へのシリアル・ループバック
  - BIST (ビルトイン・セルフ・テスト) パターン・ジェネレータとベリファイアによる、トランスミッタ PCS からレシーバ PCS へのパラレル・ループバック
  - 物理的リンク診断のためのプレおよびポスト CDR からトランスミッタ・バッファへの逆シリアル・ループバック
  - PCIe ハード IP ブロックでのループバック・マスタおよびスレーブ機能
  - SONET/SDH コンフィギュレーションでの MSB-LSB 送信などの他のプロトコル機能、および PCIe コンフィギュレーションでのスペクトラム拡散クロッキングをサポートする

表 1-5 に、サポートされる一般的なプロトコル、およびこれらのプロトコルを実装するための Arria II 専用回路について説明します。

表 1-5. Arria II デバイスのサポートされるプロトコルのサンプルおよび機能の説明

サポートされるプロトコル	説明
PCIe	<ul style="list-style-type: none"> <li>■ PCIe ハード IP ブロックに実装された PHY/MAC、データ・リンク、およびトランザクション・レイヤ回路を含む PCIe Base Specification 2.0 に準拠する完全な PCIe Gen1 および Gen2 プロトコル・スタック・ソリューション</li> <li>■ PCIe Gen1 は x1、x2、x4、および x8 レーンでコンフィギュレーションできます。PCIe Gen2 は x1、x2、および x4 レーンでコンフィギュレーションできません。PCIe Gen2 は x8 レーンをサポートしません。</li> <li>■ 電氣的アイドル生成 / 検出、受信検出、パワー・ステート移行、レーン反転、および極性反転のための内蔵回路</li> <li>■ 8B/10B エンコーダおよびデコーダ、レシーバ同期ステート・マシン、および <math>\pm 300</math> PPM クロック補正回路</li> <li>■ 使用可能なオプション：               <ul style="list-style-type: none"> <li>■ ハード IP データ・リンク層およびトランザクション層</li> <li>■ ハード IP データ・リンク層およびカスタム・ソフト IP トランザクション層</li> </ul> </li> </ul>
XAUI/HiGig/HiGig+	<ul style="list-style-type: none"> <li>■ IEEE802.3ae 規格に準拠</li> <li>■ トランスミッタではアイドル・オーダ・セット (  A  、  K  、  R  ) を XGMII アイドル・コード・グループ (    ) に、レシーバではその逆に変換するエンベデッド・ステート・マシン回路</li> <li>■ 8B/10B エンコーダおよびデコーダ、レシーバ同期ステート・マシン、レーン・デスクュー、および <math>\pm 100</math> PPM クロック補正回路</li> </ul>
Gbe	<ul style="list-style-type: none"> <li>■ IEEE 802.3 規格に準拠</li> <li>■ 現在の実行時不一致に基づく、トランスミッタでのアイドル・オーダ・セット (I1/I、I2/I) の自動生成</li> <li>■ 8B/10B エンコーダおよびデコーダ、レシーバ同期ステート・マシン、および <math>\pm 100</math> PPM クロック補正回路</li> </ul>
CPRI/OBSAI	<ul style="list-style-type: none"> <li>■ Transmit bit slipper 機能により、レイテンシの不確実性を排除し、CPRI/OBSAI 仕様に準拠します。</li> <li>■ リモート無線ヘッドおよび RF モジュールの消費電力およびコストに対して最適化します。</li> </ul>

 SONET/SDH、SDI、SATA および SRIO など、Arria II デバイスにサポートされる他のプロトコルについて詳しくは、「[Transceiver Architecture in Arria II Devices](#)」の章を参照してください。

 PCIe Gen2 プロトコルは Arria II GZ デバイスでのみ使用できます。

次の項では、Arria II FPGA の様々な機能の概要について説明します。

## PCIe ハード IP ブロック

すべての Arria II デバイスは、PCIe PHY/MAC、データ・リンク、およびトランザクション層を実装するハード IP ブロックを内蔵しています。この PCIe ハード IP ブロックは高度にコンフィギュレーション可能であり、大部分の PCIe アプリケーションの要件を満たすことができます。PCIe ハード IP により、Arria II デザインでの PCIe Gen1 および PCIe Gen2 ソリューションの実装が簡単になります。

ソフト IP ファンクションのインスタンス化と同様に、PCI Compiler MegaWizard™ Plug-In Manager で PCIe ハード IP ブロックをインスタンス化することができます。ただし、PCIe ハード IP ブロックの場合は、コアを正しく動作させるためにはコア FPGA のリソースの消耗や配置、配線、タイミング解析の必要はありません。Arria II PCIe ハード IP ブロックは次のものをサポートします。

- x1、x2、および x8 レーン・コンフィギュレーション。Arria II GZ デバイスは x8 レーン・コンフィギュレーションをサポートしません。
- ルート・ポートとエンドポイントのコンフィギュレーション
- 512 バイトのペイロード
- PCIe Gen1 (2.5Gbps) および PCIe Gen2 (5.0Gbps) に準拠しています。

## ロジック・アレイ・ブロック (LAB) およびアダプティブ・ロジック・モジュール (ALM)

- LAB は、10 個の ALM、キャリア・チェーン、共有演算チェーン、LAB コントロール信号、ローカル・インタコネクト、およびレジスタ・チェーン接続ラインで構成されています。
- ALM は、従来の 4 入力ルック・アップ・テーブル・アーキテクチャを 8 入力まで拡張し、LE、ロジック・レベルおよび関連する配線を削減することにより性能を向上します。
- LAB にはルック・アップ・テーブル (LUT) ベースの SRAM 機能を LAB に追加する、Memory LAB (MLAB) と呼ばれる新しい機能があります。
- MLAB ブロックと LAB ブロックは、常にペアとして存在し、最大 50% のロジック (LAB) をメモリ (MLAB) と交換することができます。

## エンベデッド・メモリ・ブロック

- MLAB、M9K、および M144K エンベデッド・メモリ・ブロックは、最大 540 MHz の性能に対応するオンチップ・メモリを最大 20836K ビット、備えています。エンベデッド・メモリ構造は、RAM、FIFO バッファ、ROM としてコンフィギュレーション可能なエンベデッド・メモリ・ブロックのカラムで構成されています。

- 高スループット・パケット処理、ビデオ処理機能用の高精細（HD）ライン・バッファ、エンベデッド・プロセッサ・プログラム、データ・ストレージなどのアプリケーションに最適化されています。
- Quartus®II ソフトウェアにより、専用メガファンクション・ウィザードを使用してメモリをインスタンス化するか、VHDL または Verilog ソース・コードから直接メモリを推定して、MLAB、M9K および M144K メモリ・ブロックを活用することができます。

表 1-6 に、Arria II デバイスのメモリ・モードを示します。

表 1-6. Arria II デバイスのメモリ・モード

ポート・モード	ポート幅コンフィギュレーション
シングル・ポート	x1、x2、x4、x8、x9、x16、x18、x32、x36、x64、および x72
シングル・デュアル・ポート	x1、x2、x4、x8、x9、x16、x18、x32、x36、x64、および x72
トゥルー・デュアル・ポート	x1、x2、x4、x8、x9、x16、x18、x32、および x36

## DSP リソース

- 3G と Long Term Evolution（LTE）ワイヤレス・インフラストラクチャ・アプリケーション、ビデオ処理アプリケーション、および音声処理アプリケーションの DSP 要件を満たします。
- DSP ブロックの入力レジスタは、有限インパルス応答（FIR）フィルタ・アプリケーション用のシフト・レジスタを効率的に実装できます。
- Quartus II デザイン・ソフトウェアには、ユーザーのパラメータ設定に基づいて DSP ブロックの動作モードを制御するためのメガファンクションが含まれています。
- 乗算器は、VHDL または Verilog ソース・コードから直接推定することもできます。

## I/O 機能

- 最大 20 個のモジュラー I/O バンクを備えています。
- すべての I/O バンクは、表 1-7 に示すシングル・エンドおよび差動 I/O 規格を幅広くサポートします。

表 1-7. Arria II デバイスでサポートされる I/O 規格

タイプ	I/O 規格
シングル・エンド I/O	LVTTTL、LVCMOS、SSTL、HSTL、PCIe、および PCI-X
差動 I/O	SSTL、HSTL、LVPECL、LVDS、mini-LVDS、Bus LVDS (BLVDS) (1)、および RSDS

表 1-7 の注：

(1) BLVDS は Arria II GX デバイスでのみ使用できます。

- プログラマブル・バス・ホールド、プログラマブル・ウィーク・プルアップ抵抗、およびプログラマブル・スルー・レート・コントロールをサポートします。
- Arria II デバイスの場合、表 1-8 に示す I/O バンク上の 1 つの OCT キャリブレーション・ブロックによって、シングル・エンド I/O 規格に対して OCT またはドライバ・インピーダンス・マッチングをキャリブレーションしてください。

表 1-8. Arria II デバイスの OCT キャリブレーション・ブロックの位置を示します。

デバイス	パッケージ・オプション	I/O バンク
Arria II GX	すべてのピン・パッケージ	バンク 3C、バンク 7B、およびバンク 8C
Arria II GZ	780 ピン flip chip FBGA	バンク 3A、バンク 4A、バンク 7A、およびバンク 8A
	1152 ピン flip chip FBGA	バンク 1A、バンク 3A、バンク 4A、バンク 6A、バンク 7A、およびバンク 8A
	1517 ピン flip chip FBGA	バンク 1A、バンク 2A、バンク 3A、バンク 4A、バンク 5A、バンク 6A、バンク 7A、およびバンク 8A

- Arria II GX デバイスのバンク 3C およびバンク 8C は専用のコンフィギュレーション・バンクです。これらの専用コンフィギュレーション・バンクは 1.8V、2.5V、3.0V、および 3.3V のコンフィギュレーション手法において専用ピンおよび一部の兼用ピンをサポートします。Arria II GZ デバイスの場合、専用コンフィギュレーション・ピンはバンク 1A およびバンク 1C にありますが、これらのバンクは専用バンクではないので、ユーザー I/O ピンも含まれています。
- I/O バンクあたりに専用の VCCIO ピン、VREF ピン、および VCCPD ピンを備えており、電圧リファレンス形式の I/O 規格を可能にします。各バンクは別々の V<sub>CCIO</sub>、V<sub>REF</sub>、および V<sub>CCPD</sub> の電圧レベルで動作することができます。

## 高速 LVDS I/O および DPA

- 150 Mbps ~ 1.25 Gbps の速度で LVDS を実装するための専用回路を備えています。
- 高速 LVDS インタフェースのための R<sub>D</sub> OCT を備えています。
- レシーバの DPA 回路およびソフト CDR 回路は自動的にチャネル間スキューおよびチャネル・クロック間スキューを補償し、最大 1.25Gbps のデータ・レート (SGMII およびギガビット・イーサネット) のエンベデッド・クロックを持つ非同期シリアル・インタフェースの実装を可能にします。
- エミュレートされた LVDS 出力バッファは、ロウおよびカラム LVDS ピンを外部抵抗ネットワークを備えた 2 つのシングル・エンド出力バッファを使用し、LVDS、mini-LVDS、BLVDS (Arria II GZ デバイスのみ) および RSDS 規格をサポートします。

## クロック管理

- グローバル・クロック・ネットワーク (GCLK)、リージョナル・クロック・ネットワーク (RCLK)、およびペリフェリ・クロック・ネットワーク (PLCK) を階層クロック構造に編成し、最大 192 個の固有のクロック・ドメインを提供します。
- 10 個の出力を持つ PLL を最大 8 個内蔵し、堅牢なクロック管理と合成を実行します。
  - 各出力を個別にプログラムし、他のクロックに一定の関連性を持たないカスタマイズ可能な固有クロック周波数を生成できます。
  - 固有のジッタのフィルタリング、および通倍、分周に対する精細な制御ができます。
  - 5 ~ 500 MHz の PLL 入力クロック周波数でスペクトラム拡散入力クロッキングおよびカウンタのカスケード接続をサポートすることにより、低コスト向けのクロック性能とハイエンドなクロック性能の両方をサポートします。

- FPGA ファブリックは未使用のトランシーバ PLL を使用することができ、より多くの柔軟性を提供します。


## 外部メモリ・インタフェースのオートキャリブレート

- 強化された I/O 構造を提供し、異なるタイプのメモリ・インタフェースに優れた柔軟性およびコスト・パフォーマンスを提供します。
- OCT および DQ/DQS ピンのグループ化などの機能を提供し、各種メモリ規格の迅速かつ堅牢な実装を可能にします。
- オートキャリブレーション・メガファンクションは、QuartusII ソフトウェアの DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM、RLDRAM II メモリ・インタフェース PHY で利用できます。このメガファンクションは PLL のダイナミック・リコンフィギュレーション機能を活用して、プロセス、電圧および温度 (PVT) の変動を基づいてキャリブレーションをします。

表 1-9 に、外部メモリ・サポートの暫定値を示します。

表 1-9. Arria II デバイスの外部メモリ・インタフェースの最大性能 — 暫定値

メモリ・タイプ	最大性能
DDR SDRAM	200 MHz
DDR2 SDRAM	333 MHz
DDR3 SDRAM	400 MHz
QDR II SRAM	300 MHz
QDR II+ SRAM	350 MHz
RLDRAM II	350 MHz

 外部メモリ・インタフェースについて詳しくは、'[External Memory Interfaces in Arria II Devices](#)' の章を参照してください。

## Nios II

- Arria II デバイスは、すべての Nios® II プロセッサに対応しています。
- Nios II プロセッサは、アルテラおよび主要なエンベデッド・パートナーからの数多くのソフトウェア・ツールに対応し、最も使われているコンフィギュレーション可能なプロセッサです。

## コンフィギュレーション機能

- コンフィギュレーション
  - アクティブ・シリアル (AS)、パッシブ・シリアル (PS)、ファースト・パッシブ・パラレル (FPP)、および JTAG コンフィギュレーション手法をサポートします。

- デザイン・セキュリティ
  - 256 ビットの揮発性および非揮発性のセキュリティ・キーによる暗号化機能をサポートし、デザインを複製、リバース・エンジニアリング、および不正改ざんから保護します。この機能は外部ホスト（MAX® II デバイスやマイクロプロセッサ）で FPP コンフィギュレーション・モードを使用するとき、あるいは AS、FAS または PS コンフィギュレーション手法を使用するときにも使用されます。
  - AES アルゴリズムを使用して暗号化されたコンフィギュレーション・ビットストリームを復号化することができます。このアルゴリズムは、FIPS-197 認定の業界標準暗号化アルゴリズムで、256 ビット・セキュリティ・キーを必要とします。
- リモート・システム・アップグレード
  - 遠方から安全で信頼性の高い方式でエラー・フリーのシステム・アップグレードが可能です。
  - デバイスに実装されるソフト・ロジック（Nios II エンベデッド・プロセッサまたはユーザー・ロジック）は、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、さらに専用リモート・システム・アップグレード回路にリコンフィギュレーション・サイクルの開始を指示することもできます。
  - この専用回路は、コンフィギュレーション・プロセス中およびプロセス後にエラー検出を実行し、安全なコンフィギュレーション・イメージに戻ることによってエラー状態から回復し、エラー・ステータス情報を提供し、システム・ダウンタイムの回避に役立ちます。

## SEU 対策

- エラー検出回路を内蔵し、コンフィギュレーション・ランダム・アクセス・メモリ（CRAM）セル内のソフト・エラーによるデータ破壊を検出します。
- CRAM のすべての内容を読み出して検証し、コンフィギュレーション計算済みの CRC (Cyclic Redundancy Check) 値に一致させることができます。
- JTAG またはコア・インタフェースを介して、エラー・ビット位置を検出して読み出すこともできます。

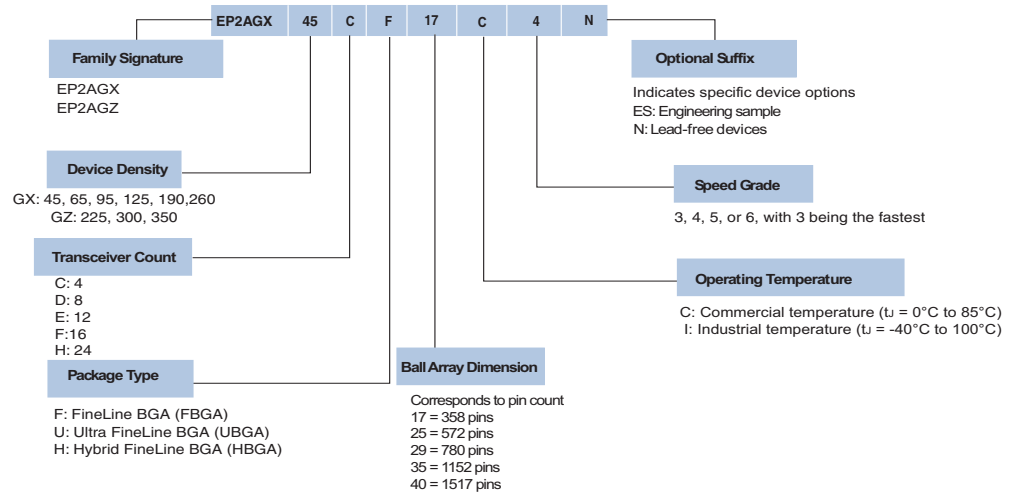
## JTAG バウンダリ・スキャン・テスト

- JTAG IEEE Std. 1149.1 および IEEE Std. 1149.6 仕様をサポートします。
- IEEE Std. 1149.6 は高速シリアル・インタフェース (HSSI) トランシーバをサポートし、AC 結合のトランシーバ・チャンネルにバウンダリ・スキャンを実行します。
- バウンダリ・スキャン・テスト (BST) アーキテクチャでは、物理的なテスト・プローブを使用せずにピンの接続をテストすることができ、またデバイスの通常動作中に機能データをキャプチャします。

## 製品コード

図 1-3 に、Arria II デバイスの製品コードについて説明します。

図 1-3. Arria II デバイスの製品コード



## 改訂履歴

表 1-10 に、本資料の改訂履歴を示します。

表 1-10. 改訂履歴

日付	バージョン	Changes
2010年12月	4.0	<ul style="list-style-type: none"> <li>■ QuartusII ソフトウェア v10.0 のリリースによる更新</li> <li>■ デバイスに関する情報を追加</li> <li>■ 表 1-1、表 1-4、表 1-5、表 1-6、表 1-7、および表 1-9 を更新</li> <li>■ 表 1-3 を追加</li> <li>■ 図 1-2 を追加</li> <li>■ 図 1-3 を更新</li> <li>■ 「Arria II デバイスの機能」および「Arria II デバイスのアーキテクチャ」の項を更新</li> </ul>
2010年7月	3.0	<p>QuartusII ソフトウェア v10.0 のリリースにより、以下を更新。</p> <ul style="list-style-type: none"> <li>■ -I3 スピード・グレードの情報を追加</li> <li>■ 表 1-1、表 1-3、および表 1-7 を更新</li> <li>■ 図 1-2 を更新</li> <li>■ 「ハイライト」および「高速 LVDS I/O および DPA」の項を更新</li> <li>■ テキストのマイナーな編集</li> </ul>
2009年11月	2.0	<ul style="list-style-type: none"> <li>■ 表 1-1、表 1-2、および表 1-3 を更新</li> <li>■ 「コンフィギュレーション機能」の項を更新</li> </ul>
2009年6月	1.1	<ul style="list-style-type: none"> <li>■ 表 1-2 を更新</li> <li>■ 「I/O 機能」の項を更新</li> </ul>
2009年2月	1.0	初版