

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX52012-1.0

### はじめに

今日のシステム設計者は、デザイン・サイクルの短縮、進化する規格、遠隔地でのシステム配備などの困難な問題に直面しています。Arria™ GX デバイスは、独自のリプログラマビリティとリモート・システム・アップグレードを実行する専用回路により、これらの課題を克服します。リモート・システム・アップグレードは、経費のかかる製品回収を行わずに機能強化やバグ修正を行うことができ、製品の市場投入の短縮や製品寿命の延長に役立ちます。

Arria GX FPGA は、専用のリモート・システム・アップグレード回路を備えています。Arria GX デバイスにソフト・ロジック (Nios® エンベデッド・プロセッサまたはユーザ・ロジック) を実装することで、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、さらに専用リモート・システム・アップグレード回路にリコンフィギュレーション・サイクルの開始を指示することもできます。この専用回路は、コンフィギュレーション・プロセス中およびプロセス後にエラー検出を実行し、安全なコンフィギュレーション・イメージに戻ることによってエラー状態から回復し、エラー・ステータス情報を提供します。この専用リモート・システム・アップグレード回路は、Stratix®, Stratix II, Stratix II GX、および Arria GX FPGA 独自のもので、システム・ダウンタイムの回避に役立ちます。

リモート・システム・アップグレードは、ファースト・パッシブ・パラレル (FPP)、アクティブ・シリアル (AS)、パッシブ・シリアル (PS)、およびパッシブ・パラレル非同期 (PPA) のすべての Arria GX コンフィギュレーション手法でサポートされています。また、効率的なフィールド・アップグレードを実現するコンフィギュレーション・データのリアルタイム復元など、Arria GX の最新機能と連携して実装することも可能です。

この章では専用リモート・システム・アップグレード回路の機能と実装について説明します。また、ファクトリ・コンフィギュレーション、アプリケーション・コンフィギュレーション、リモート・アップデート・モード、ローカル・アップデート・モード、ユーザ・ウォッチドッグ・タイマ、ページ・モード動作など、リモート・システム・アップグレードに関連するいくつかの概念も定義しています。さらに、サポートされる様々なコンフィギュレーション手法を使用してリモート・システム・アップグレードを実装するためのデザイン・ガイドラインについて説明します。

## 機能の説明

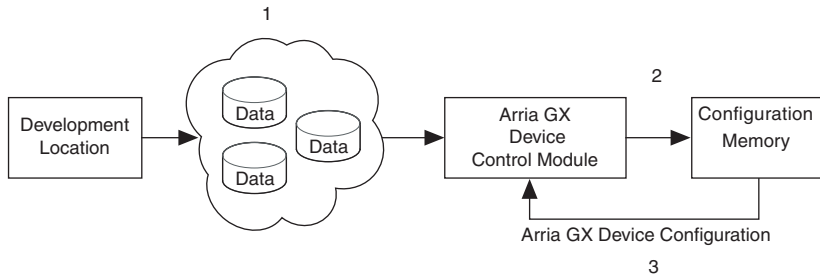
Arria GX FPGA の専用リモート・システム・アップグレード回路は、リモート・コンフィギュレーションを管理し、エラー検出、回復、およびステータス情報を提供します。FPGA ロジック・アレイに実装されるユーザ・ロジックまたは Nios プロセッサは、リモート・コンフィギュレーション・データ・ソースへのアクセスおよびシステムのコンフィギュレーション・メモリへのインタフェースを提供します。

Arria GX FPGA のリモート・システム・アップグレード・プロセスでは、以下のステップを実行します。

1. FPGA ロジック・アレイに実装される Nios II プロセッサ（またはユーザ・ロジック）は、遠隔地から新しいコンフィギュレーション・データを受信します。リモート・ソースへの接続には、TCP/IP（Transmission Control Protocol/Internet Protocol）などの通信プロトコル、PCI（Peripheral Component Interconnect）、UDP（User Datagram Protocol）、UART（Universal Asynchronous Receiver/Transmitter）または独自のインタフェースを使用します。
2. Nios プロセッサ（またはユーザ・ロジック）は、この新しいコンフィギュレーション・データを不揮発性コンフィギュレーション・メモリに格納します。不揮発性コンフィギュレーション・メモリは、インテリジェント・ホスト（例えば、MAX<sup>®</sup> デバイスまたはマイクロプロセッサ）、シリアル・コンフィギュレーション・デバイス、またはエンハンスド・コンフィギュレーション・デバイスとともに使用される標準フラッシュ・メモリです。
3. Nios プロセッサ（またはユーザ・ロジック）は、新しいまたは更新されたコンフィギュレーション・データで、リコンフィギュレーション・サイクルを開始します。
4. 専用リモート・システム・アップグレード回路は、リコンフィギュレーション・サイクル中またはサイクルの後に発生する可能性のあるエラーの検出およびエラー状態からの回復を実行し、ユーザ・デザインにエラー・ステータス情報を提供します。

図 12-1 に、リモート・コンフィギュレーション・アップデートを実行するのに必要なステップを示します（図中の番号は上記のステップの番号に対応しています）。

図 12-1. Arria GX リモート・システム・アップグレードの機能図



Arria GX FPGA は、FPP、AS、PS、および PPA コンフィギュレーション手法のリモート・システム・アップグレードをサポートします。

- シリアル・コンフィギュレーション・デバイスは、AS コンフィギュレーション手法で使用されます。
- MAX II デバイス（またはマイクロプロセッサとフラッシュ・コンフィギュレーションを用いた手法）は、FPP、PS、または PPA コンフィギュレーション・手法で使用されます。
- エンハンスド・コンフィギュレーション・デバイスは、FPP または PS コンフィギュレーション手法で使用されます。


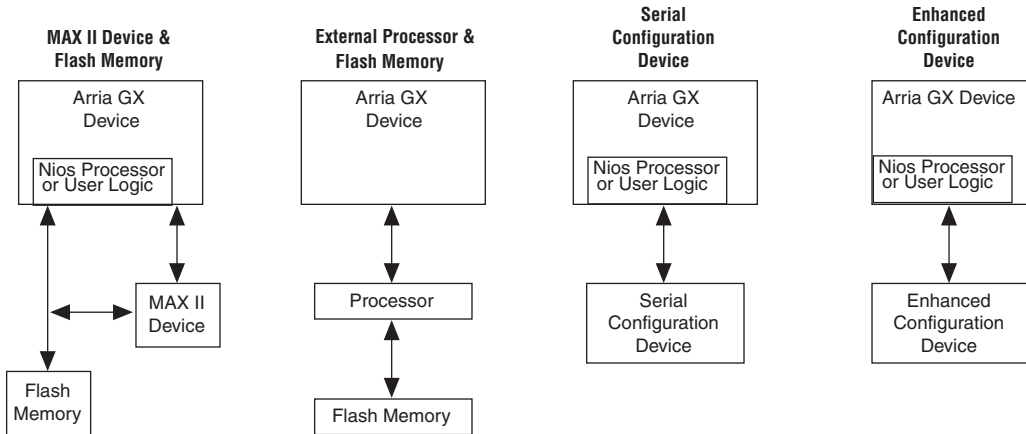

 JTAG ベースのコンフィギュレーション手法は、リモート・システム・アップグレードをサポートしません。

図 12-2 に、Arria GX の各種コンフィギュレーション手法によるリモート・システム・アップグレードを実装するためのブロック図を示します。

図 12-2. Arria GX の各種コンフィギュレーション手法によるリモート・システム・アップグレードのブロック図



 アクティブ・シリアル・コンフィギュレーション手法では、リモート・システム・アップグレードはシングル・デバイス・コンフィギュレーションのみをサポートします。

モード選択ピン (MSEL[3..0]) と RUnLU ピンを設定し、ユーザ・システムに最適なコンフィギュレーション手法とリモート・システム・アップグレード・モードを選択する必要があります。表 12-1 に、Arria GX FPGA のピン設定を示します。標準コンフィギュレーション・モードとは、リモート・システム・アップグレードをサポートしない通常の FPGA コンフィギュレーション・モードを指し、リモート・アップグレード回路はディセーブルされます。以下では、ローカル・アップデートおよびリモート・アップデートのリモート・システム・アップグレード・モードを説明します。



Arria GX FPGA でサポートされている標準コンフィギュレーション手法について詳しくは、「Arria GX ハンドブック」の「Arria GX FPGA のコンフィギュレーション」の章を参照してください。

表 12-1. Arria GX リモート・システム・アップグレード・モード			
コンフィギュレーション・モード	MSEL[3..0]	RUnLU	リモート・システム・アップグレード・モード
FPP	0000	—	標準
	0100 (1)	0	ローカル・アップデート
	0100 (1)	1	リモート・アップデート
圧縮復元機能がイネーブルの FPP (2)	1011	—	標準
	1100 (1)	0	ローカル・アップデート
	1100 (1)	1	リモート・アップデート
ファースト AS (40MHz) (3)	1000	—	標準
	1001	1	リモート・アップデート
AS (20 MHz) (3)	1101	—	標準
	1110	1	リモート・アップデート
PS	0010	—	標準
	0110 (1)	0	ローカル・アップデート
	0110 (1)	1	リモート・アップデート
PPA	0001	—	標準
	0101 (1)	0	ローカル・アップデート
	0101 (1)	1	リモート・アップデート

**表 12-1 の注：**

- (1) これらの手法では、RunLU ピンをドライブし、リモート・アップデートまたはローカル・アップデート・モードのいずれかを指定する必要があります。AS 手法は、リモート・アップデート・モードのみサポートします。
- (2) これらのモードは、コンフィギュレーションに MAX II デバイスまたはマイクロプロセッサおよびフラッシュを使用する場合にのみサポートされます。これらのモードでは、ホスト・システムはデータ・レートの 4 倍の DCLK を出力する必要があります。
- (3) EPCS16 および EPCS64 シリアル・コンフィギュレーション・デバイスは最大 40 MHz の DCLK をサポートし、その他の EPCS デバイスは最大 20 MHz の DCLK をサポートします。詳細は、「シリアル・コンフィギュレーション・デバイス・データシート」を参照してください。

## コンフィギュレーション・イメージのタイプおよびページ

リモート・システム・アップグレードを使用する場合、FPGA のコンフィギュレーション・ビットストリームはファクトリ・コンフィギュレーション・イメージまたはアプリケーション・コンフィギュレーション・イメージに分類されます。イメージはコンフィギュレーションとも呼ばれ、

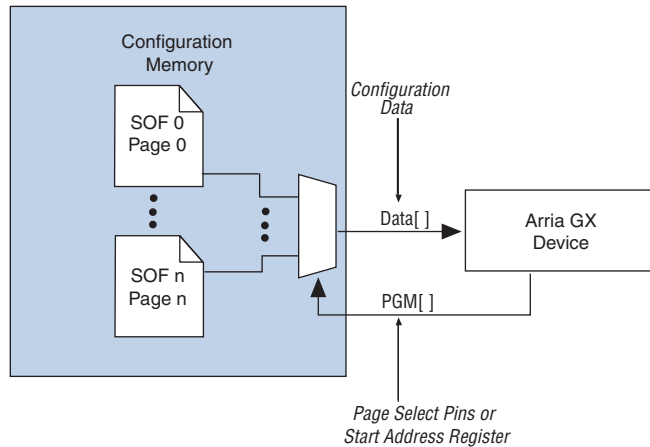
FPGA にロードされて特定のユーザ定義機能を実行するデザインです。システムの各 FPGA には、1つのファクトリ・イメージと1つまたは複数のアプリケーション・イメージが必要です。ファクトリ・イメージはユーザ定義のフォールバックまたは安全なコンフィギュレーションで、専用回路と共にリモート・アップデートを管理します。アプリケーション・イメージは、ターゲットの FPGA にユーザ定義機能を実装します。

リモート・システム・アップデートでは、リモート通信インタフェースを介して新しいアプリケーション・コンフィギュレーション・イメージの保存または既存のアプリケーション・コンフィギュレーション・イメージのアップデートが行われます。アプリケーション・コンフィギュレーション・イメージがリモートで保存または更新されると、FPGA のユーザ・デザインは、新しいイメージでリコンフィギュレーション・サイクルを開始します。このサイクル中またはサイクル後にエラーが発生すると、専用のリモート・システム・アップグレード回路によってエラーが検出され、FPGA は自動的にファクトリ・イメージに戻ります。続いてファクトリ・イメージはエラー処理および回復を実行します。エラー処理機能はファクトリ・コンフィギュレーションに制限されますが、ファクトリ・コンフィギュレーションとアプリケーション・コンフィギュレーションの両方で、リモート・アップデートのダウンロードと保存を行って、システム・リコンフィギュレーションを開始することができます。


Arria GX FPGA は、システム・コンフィギュレーション・メモリに格納されているコンフィギュレーション・イメージからページ・アドレス・ピンまたはスタート・アドレス・レジスタを使用して選択します。ページとは、システム内の各 FPGA それぞれのコンフィギュレーション・イメージを格納するコンフィギュレーション・メモリ・スペースのセクションのことです。システム内の FPGA の個数に関係なく、1 ページに1つのシステム・コンフィギュレーションが格納されます。


ページ・アドレス・ピンは、エンハンスト・コンフィギュレーション・デバイスまたはフラッシュ・メモリ (MAX II デバイスまたはマイクロプロセッサを使用する場合) 内のコンフィギュレーション・イメージを選択します。ページ・スタート・アドレス・レジスタは、Arria GX FPGA がシリアル・コンフィギュレーション・デバイスによって AS モードでコンフィギュレーションされるときに使用されます。図 12-3 に、Arria GX FPGA のページ・モード動作を示します。

図 12-3. Arria GX FPGA のページ・モード動作



Arria GX デバイスは、3 本のページ・アドレス・ピン PGM[2..0] を MAX II デバイスまたはマイクロプロセッサ、あるいはエンハスト・コンフィギュレーション・デバイスにドライブ・アウトします。これらのページ・ピンにより、8 ページのコンフィギュレーション・ページからページが選択されます。ページ・ゼロ (PGM[2..0] = 000) には、必ずファクトリ・コンフィギュレーションが格納され、その他の7ページはアプリケーション・コンフィギュレーションです。PGM[] ピンは各ページの開始アドレスと長さを指すポインタで、MAX II デバイス、マイクロプロセッサ、およびエンハスト・コンフィギュレーション・デバイスはポインタを開始アドレスに変換します。

 インテリジェント・ホスト・ベースのコンフィギュレーションでリモート・システム・アップグレードを実装する場合、MAX II デバイスまたはマイクロプロセッサは、エンハスト・コンフィギュレーション・デバイスでサポートされるページ・モード機能 (PGM ポインタをコンフィギュレーション・メモリ内のメモリ・アドレスに変換) をエミュレートする必要があります。MAX II デバイスまたはマイクロプロセッサは、同様の変換機能を提供できなければなりません。

 エンハスト・コンフィギュレーション・デバイスのページ・モード機能について詳しくは、「コンフィギュレーション・ハンドブック」の「アルテラ・エンハスト・コンフィギュレーション・デバイス」の章の「ダイナミック・コンフィギュレーション (ページ・モード) の実装について」の項を参照してください。

AS コンフィギュレーションでリモート・システム・アップグレードを実装する場合、Arria GX デバイス内の専用 7 ビット・ページ・スタート・アドレス・レジスタにより、シリアル・コンフィギュレーション・デバイス内のコンフィギュレーション・ページの開始アドレスが決定します。PGM[6..0] レジスタは、24 ビット開始アドレスの [22..16] を形成し、その他の 17 ビットは  $\text{StAdd}[23..0] = \{1'b0, \text{PGM}[6..0], 16'b0\}$  のとおりゼロに設定されます。AS コンフィギュレーション中、Arria GX デバイスはこの 24 ビット・ページの開始アドレスを使用して、シリアル・コンフィギュレーション・デバイスからコンフィギュレーション・データを取得します。

## リモート・システム・アップグレード・モード

リモート・システム・アップグレードには、リモート・アップデート・モードとローカル・アップデート・モードの 2 つの動作モードがあります。リモートおよびローカル・アップデート・モードにより、電源投入時にシステムの機能を判断し、別の機能を提供することができます。RUnLU 入力ピンは、リモート・アップデート（ロジック High）モードとローカル・アップデート（ロジック Low）モードを切り換えます。

### 概要

リモート・アップデート・モードでは、Arria GX デバイスは電源投入時にファクトリ・コンフィギュレーション・イメージをロードします。ユーザ定義ファクトリ・コンフィギュレーションは、ロードするアプリケーション・コンフィギュレーションを決定し、リコンフィギュレーション・サイクルを開始します。リモート・アップデート・モードでは、MAX II デバイスまたはマイクロプロセッサをフラッシュ・ベースのコンフィギュレーション・デバイスまたはエンハンスド・コンフィギュレーション・デバイスと共に使用すると、最大 8 つのコンフィギュレーション・イメージ（1 つのファクトリ・イメージと 7 つのアプリケーション・イメージ）をロードできます。

シリアル・コンフィギュレーション・デバイスと共に使用した場合、リモート・アップデート・モードでは任意のフラッシュ・セクタ境界でアプリケーション・コンフィギュレーションを開始することができます。したがって、EPCS64 では最大 128 ページ、EPCS16 では最大 32 ページになり、各ページの最小サイズは 512K ビットです。また、リモート・アップデート・モードには、アプリケーション・コンフィギュレーションで動作エラーを検出できるユーザ・ウォッチドッグ・タイマ機能があります。

ローカル・アップデート・モードは、リモート・アップデート・モードを簡略化したものです。このモードでは、Arria GX FPGA はファクトリ・コンフィギュレーションをバイパスして、直接アプリケーション・コンフィギュレーションをロードします。このモードは、最小の起動時

間でシステムをブートし、ユーザ・モードに移行する必要がある場合に役立ちます。また、アプリケーション・コンフィギュレーションの機能を検証できるため、システムのプロトタイプ作成時にも有用です。

ローカル・アップデート・モードでは、ページ・アドレス PGM[2..0] = 000 に配置される 1 つのファクトリ・コンフィギュレーションとページ・アドレス PGM[2..0] = 001 に 1 つのアプリケーション・コンフィギュレーションの最大 2 つのコンフィギュレーション・イメージまたはページがサポートされます。アプリケーション・コンフィギュレーションのページ・アドレスは固定されているため、ローカル・アップデート・モードではファクトリ・コンフィギュレーション・イメージがロードするアプリケーションを決定することは要求されません。アプリケーション・コンフィギュレーションのロード中にエラーが発生した場合、Arria GX FGPA はファクトリ・コンフィギュレーションに戻ります。このモードでは、ユーザ・ウォッチドッグ・タイマ機能はサポートされません。


 また、ローカル・アップデート・モードは、シリアル・コンフィギュレーション・デバイスによる AS コンフィギュレーションはサポートしていません。これは、これらのデバイスがページ 001 の開始アドレス位置へのダイナミック・ポインタをサポートしないためです。

表 12-2 に、リモート・アップデート・モードとローカル・アップデート・モードの違いを詳細に示します。

特長	リモート・アップデート・モード	ローカル・アップデート・モード
RUnLU 入力ピンの設定	1	0
電源投入時のページ選択	PGM[2..0] = 000 (ファクトリ)	PGM[2..0] = 001 (アプリケーション)
サポートされるコンフィギュレーション	MAX II デバイスまたはマイクロプロセッサ・ベースのコンフィギュレーション、シリアル・コンフィギュレーション、エンハンスト・コンフィギュレーション・デバイス (FPP、PS、AS、PPA)	MAX II デバイスまたはマイクロプロセッサ・ベースのコンフィギュレーション、およびエンハンスト・コンフィギュレーション・デバイス (FPP、PS、PPA)

表 12-2. リモート・アップデート・モードとローカル・アップデート・モードの相違点 (2 / 2)

特長	リモート・アップデート・モード	ローカル・アップデート・モード
サポートされるページ数	外部ホストまたはコントローラ・ベースのコンフィギュレーションでは 8 ページ、シリアル・コンフィギュレーション・デバイスでは最大 128 ページ (512K ビット / ページ)	2 ページ
ユーザ・ウォッチドッグ・タイマ	あり	なし
リモート・システム・アップグレード・コントロールおよびステータス・レジスタ	ファクトリ・コンフィギュレーションでリード/ライト・アクセスを許可。アプリケーション・コンフィギュレーションでリード・アクセスを許可。	ローカル・アップデート・モードではステータス・レジスタのリード・アクセスのみ許可 (ファクトリおよびアプリケーション・コンフィギュレーション)。レジスタを制御するライト・アクセスはディセーブル。

## リモート・アップデート・モード

Arria GX FPGA は最初の電源投入時にはリモート・アップデート・モードになり、ページ・ゼロ (ページ・アドレス・ピン PGM[2..0] = "000", ページ・レジスタ PGM[6..0] = "00000000") の位置にあるファクトリ・コンフィギュレーションをロードします。システムのファクトリ・コンフィギュレーション・イメージは、必ずページ・アドレス・ゼロに格納します。ファクトリ・コンフィギュレーション・イメージは、ユーザ・システムでの FPGA のビットストリームで、製造時にプログラムされたもので、エラー発生時のフォール・バック・イメージになります。このイメージは不揮発性メモリに格納され、リモート・アクセスで更新または変更されることはありません。これは、エンハンスド・コンフィギュレーション・デバイスまたは標準フラッシュ・メモリの PGM[2..0] = 000 に対応し、シリアル・コンフィギュレーション・デバイスの開始アドレス位置 0x000000 に一致します。

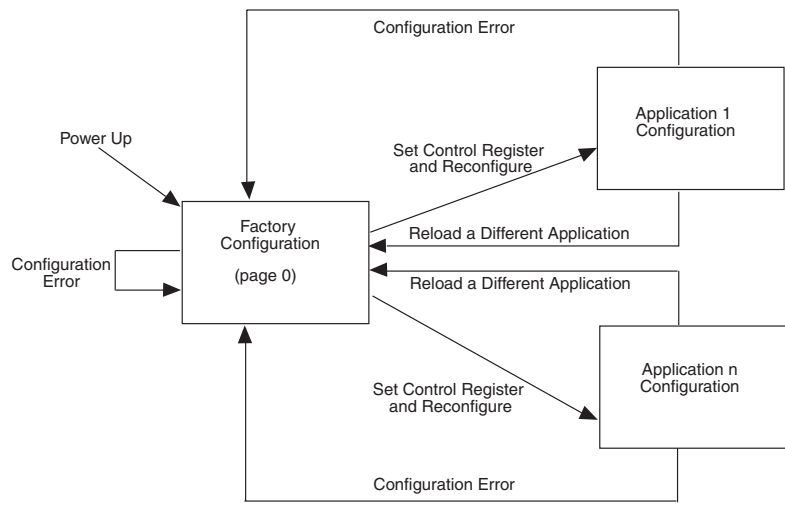
ファクトリ・イメージはユーザがデザインしたもので、以下の動作を行うためのソフト・ロジックを備えています。

- 専用リモート・システム・アップグレード回路からのステータス情報に基づくエラーの処理

- リモート・ホストとの通信、新しいアプリケーション・コンフィギュレーションの受信、およびこの新しいコンフィギュレーション・データのローカル不揮発性メモリ・デバイスへの保存
- FPGA にロードするアプリケーション・コンフィギュレーションの決定
- ユーザ・ウォッチドッグ・タイマのイネーブルまたはディセーブル、およびそのタイムアウト値のロード（オプション）
- 専用リモート・システム・アップグレード回路に対するリコンフィギュレーション・サイクル開始の指示


図 12-4 に、リモート・アップデート・モードでのファクトリ・コンフィギュレーションとアプリケーション・コンフィギュレーション間の遷移を示します。

図 12-4. リモート・アップデート・モードのコンフィギュレーション間の遷移



電源投入後またはコンフィギュレーション・エラー発生後、ファクトリ・コンフィギュレーション・ロジックはリモート・システム・アップグレード・コントロール・レジスタに書き込んで、ロードするアプリケーション・コンフィギュレーションのアドレスを指定します。また、ファクトリ・コンフィギュレーションは、アプリケーション・コンフィギュレーションに対してユーザ・ウォッチドッグ・タイマをイネーブルするかどうかを指定し、イネーブルする場合はタイマ設定を指定します。

ユーザ・ウォッチドッグ・タイマは、アプリケーション・コンフィギュレーションが有効で正常に機能するかどうか確認します。システムが正常に動作することが確認されたら、ユーザが設計したアプリケーション・コンフィギュレーションはアプリケーション・コンフィギュレーションのユーザ・モード動作中に、タイマを周期的にリセットする必要があります。このタイマ・リセット・ロジックは、エラーのないシステム動作を示すユーザ設計のハードウェアおよび/またはソフトウェア動作モニタ信号でなければなりません。ユーザ・アプリケーション・コンフィギュレーションで動作上の問題が検出されるか、またはシステムがハング・アップした場合、タイマは時間内にリセットされず、専用回路がリモート・システム・アップグレード・ステータス・レジスタをアップデートしてデバイスをトリガし、ファクトリ・コンフィギュレーションのロードを開始させます。ユーザ・ウォッチドッグ・タイマは、ファクトリ・コンフィギュレーションでは自動的にディセーブルにされます。

 リモート・アップデート・モード用に設計された有効なアプリケーション・コンフィギュレーションだけが、ユーザ・モード時にタイマをリセットするロジックを持っています。

ユーザ・ウォッチドッグ・タイマについては、[12-22 ページの「ユーザ・ウォッチドッグ・タイマ」](#)を参照してください。

アプリケーション・コンフィギュレーションのロード中にエラーが発生した場合、Arria GX FPGA の専用リモート・システム・アップグレード回路がリモート・システム・アップグレード・ステータス・レジスタに書き込んで、リコンフィギュレーションの原因を指定します。以下の動作により、リモート・システム・アップグレード・ステータス・レジスタへの書き込みが行われます。

- nSTATUS が外部で Low にドライブされる
- 内部 CRC エラー
- ユーザ・ウォッチドッグ・タイマのタイムアウト
- コンフィギュレーション・リセット (ロジック・アレイ nCONFIG 信号または外部 nCONFIG ピン・アサーション)

Arria GX FPGA は、ページ・アドレス・ゼロにあるファクトリ・コンフィギュレーションを自動的にロードします。このユーザ設計のファクトリ・コンフィギュレーションは、リモート・システム・アップグレード・ステータス・レジスタを読み出して、リコンフィギュレーションの理由を判断します。次にファクトリ・コンフィギュレーションは適切なエラー回復処理を行い、リモート・システム・アップグレード・コントロール・レジスタに書き込み、次にロードするアプリケーション・コンフィギュレーションを決定します。

Arria GX デバイスは、アプリケーション・コンフィギュレーションのロードに成功するとユーザ・モードに入ります。ユーザ・モードでは、ソフト・ロジック (Nios II プロセッサまたはステート・マシンおよびリモート通信インタフェース) がリモート・システム・アップデートの要求を判断できるよう Arria GX デバイスを支援します。リモート・システム・アップデートが要求されると、ソフト・ロジックは着信データを受信してそれをコンフィギュレーション・メモリ・デバイスに書き込みます。それによってデバイスはファクトリ・コンフィギュレーションのロードを開始します。ファクトリ・コンフィギュレーションは、リモート・システム・アップグレード・ステータス・レジスタを読み出し、ロードする有効なアプリケーション・コンフィギュレーションを決定し、それに応じてリモート・システム・アップグレード・コントロール・レジスタに書き込んでシステムのリコンフィギュレーションを開始します。

Arria GX FPGA は、FPP、AS、PS、および PPA コンフィギュレーション手法のリモート・アップデート・モードをサポートします。FPP、PS、および PPA 手法では、MAX II デバイス、マイクロプロセッサ、またはエンハンスド・コンフィギュレーション・デバイスは、Arria GX FPGA から PGM[2..0] 出力をサンプリングし、適切なコンフィギュレーション・イメージを送信する必要があります。AS 手法では、Arria GX デバイスはページ・アドレスを使用して、シリアル・コンフィギュレーション・デバイスからコンフィギュレーション・データを読み出します。

## ローカル・アップデート・モード

ローカル・アップデート・モードは、リモート・アップデート・モードを簡略化したものです。この機能により、システムは電源投入直後にファクトリ・コンフィギュレーションを最初にロードしないで、アプリケーション・コンフィギュレーションをロードすることができます。ローカル・アップデート・モードでは、1つのアプリケーション・コンフィギュレーション (ページ・アドレス 1 (PGM [2..0] = 001)) しか許容されないため、ファクトリ・コンフィギュレーションがどのアプリケーション・コンフィギュレーションをロードするか決定する必要はありません。このアプリケーション・コンフィギュレーションはリモートで更新できます。アプリケーション・コンフィギュレーションのロード時にエラーが発生した場合、ファクトリ・コンフィギュレーションが自動的にロードされます。

電源投入後または nCONFIG アサーション後、専用リモート・システム・アップグレード回路は PGM[] ピンの "001" をドライブ・アウトし、ページ 1 に保存されているアプリケーション・コンフィギュレーションを選択します。コンフィギュレーション・サイクル中にデバイスにエラーが発生した場合、リモート・システム・アップグレード回路は PGM[2..0] をゼロ (PGM[2..0] = 000) にドライブし、ファクトリ・コンフィギュ

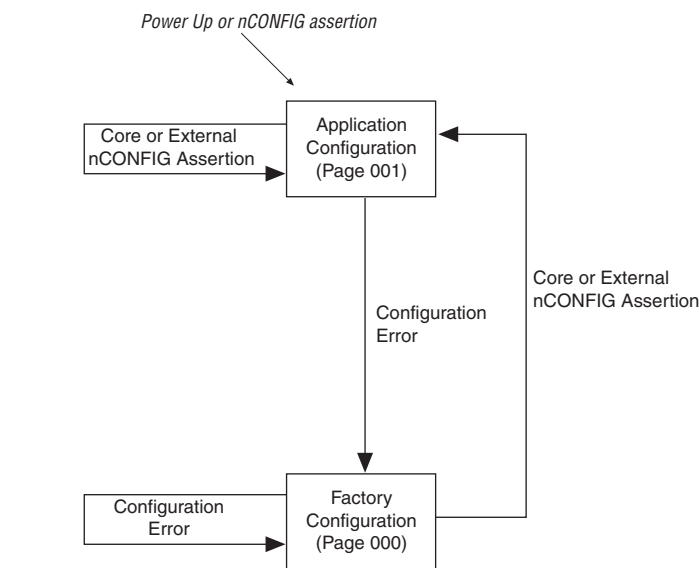
レーション・イメージを選択して、コンフィギュレーションを再試行します。ファクトリ・コンフィギュレーションへの復帰をトリガするエラー状態には以下のものがあります。

- 内部 CRC エラー
- 外部エラー信号 (nSTATUS で Low を検出)

リモート・システム・アップグレード回路が外部コンフィギュレーション・リセット (nCONFIG に Low パルス)、または内部コンフィギュレーション・リセット (ロジック・アレイ nCONFIG のアサーション) を検出した場合、デバイスはページ 1 からアプリケーション・コンフィギュレーションの再ロードを試みます。


図 12-5 に、ローカル・アップデート・モードのコンフィギュレーション間の遷移を示します。

図 12-5. ローカル・アップデート・モードのコンフィギュレーション間の遷移




Arria GX FPGA は、FPP、PS、および PPA コンフィギュレーション手法のローカル・アップデート・モードをサポートします。これらの手法では、MAX II デバイス、マイクロプロセッサ、またはエンハンスド・コンフィギュレーション・デバイスは、Arria GX FPGA から PGM[2..0] 出力をサンプリングし、適切なコンフィギュレーション・イメージを送信する必要があります。


AS コンフィギュレーション手法（またはシリアル・コンフィギュレーション・デバイス）では、ローカル・アップデート・モードはサポートされていません。これは、Arria GX FPGA が電源投入時にアプリケーション・コンフィギュレーション・ページの開始アドレスを判断できないためです。ファクトリ・コンフィギュレーションは常にアドレスに配置されますが、アプリケーション・コンフィギュレーションはシリアル・コンフィギュレーション・デバイスのほかのどのセクタ境界にでも配置できます。開始アドレスは、ファクトリ・コンフィギュレーションのサイズによって異なり、ユーザが選択可能です。したがって、AS コンフィギュレーション手法では、リモート・アップデート・モードのみサポートされます。

 AS コンフィギュレーション手法では、（シリアル・コンフィギュレーション・デバイスによる）ローカル・アップデート・モードはサポートされません。

ローカル・アップデート・モードは、リモート・システム・アップグレード・ステータス・レジスタへのリード・アクセスをサポートします。ファクトリ・コンフィギュレーション・イメージは、新しいアプリケーション・コンフィギュレーションがリモート・ソースからダウンロードしなければならない場合、このエラー・ステータス情報を使用することができます。リモート・アップデート後、ユーザ・デザインはロジック・アレイ・コンフィギュレーションがリセット（nCONFIG）信号。

ローカル・アップデート・モードでは、デバイスはリモート・システム・アップグレード・コントロール・レジスタへのライト・アクセスをサポートしません。ライト・アクセスが不要なのは、このモードが1つのアプリケーション・コンフィギュレーションしかサポートしておらず（ページ・アドレスに書き込む必要がない）、またユーザ・ウォッチドッグ・タイマをサポートしない（タイマをイネーブルまたはディセーブルにしたり、タイムアウト値を指定する必要がない）ためです。

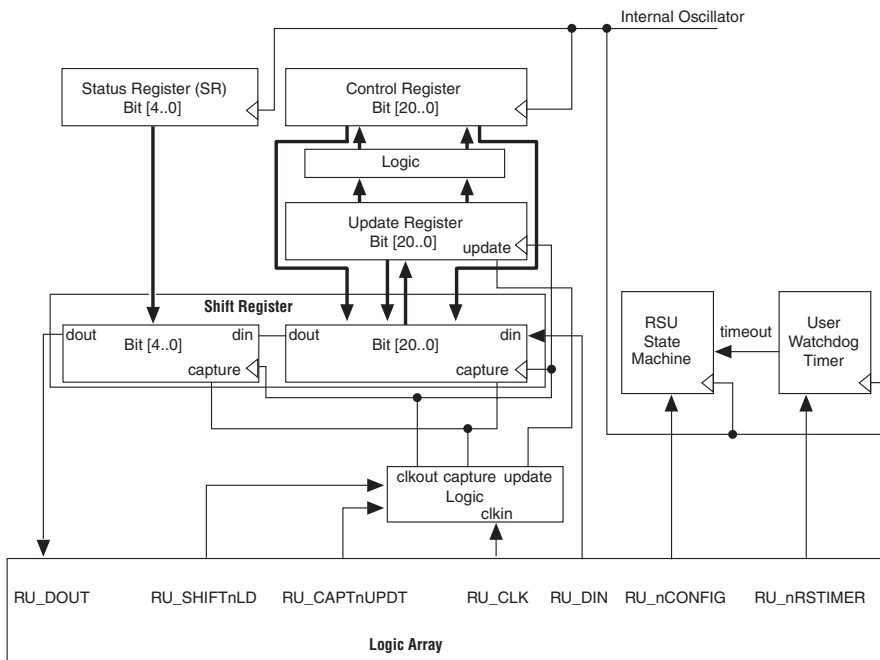
 ユーザ・ウォッチ・タイマはローカル・アップデート・モードではディセーブルされます。

 リモート・システム・アップグレード・コントロール・レジスタへのライト・アクセスは、ローカル・アップデート・モードではディセーブルされます。ただし、このデバイスはエラー・ステータス情報を入手するためのリード・アクセスをサポートします。

## 専用リモート・システム・アップグレード回路

この項では、Arria GX リモート・システム・アップグレード専用回路の実装について説明します。リモート・システム・アップグレード回路は、ハード・ロジックで実装されます。この専用回路は、FPGA ロジック・アレイに実装されるユーザ定義ファクトリ・アプリケーション・コンフィギュレーションにインタフェースし、完全なリモート・コンフィギュレーション・ソリューションを提供します。リモート・システム・アップグレード回路は、リモート・システム・アップグレード・レジスタ、ウォッチドッグ・タイマ、およびこれらのコンポーネントを制御するステートマシンを内蔵しています。図 12-6 に、リモート・システム・アップグレード・ブロックのデータ・パスを示します。

図 12-6. リモート・システム・アップグレード回路のデータ・パス



## リモート・システム・アップグレード・レジスタ

リモート・システム・アップグレード・ブロックは、ページ・アドレス、ウォッチドッグ・タイマ設定、およびステータス情報を格納するレジスタを備えています。表 12-3 に、これらのレジスタの詳細を示します。

レジスタ	説明
シフト・レジスタ	このレジスタはロジック・アレイからアクセスでき、ユーザ・ロジックによるアップデート・レジスタ、ステータス・レジスタ、およびコントロール・レジスタへの書き込みとサンプリングを可能にします。リモート・アップデート・モードでは、ファクトリ・コンフィギュレーションでのライト・アクセスがイネーブルされ、アップデート・レジスタへの書き込みが可能になります。ローカル・アップデート・モードおよびリモート・アップデート・モードのすべてのアプリケーション・コンフィギュレーションでは、ライト・アクセスがディセーブルされます。
コントロール・レジスタ	このレジスタには、現在のページ・アドレス、ユーザ・ウォッチドッグ・タイマ設定、および現在のコンフィギュレーションがファクトリ・コンフィギュレーションまたはアプリケーション・コンフィギュレーションかを指定する 1 ビットが含まれています。アプリケーション・コンフィギュレーションでのリード動作時に、このレジスタはシフト・レジスタに読み出されます。リコンフィギュレーション・サイクルが開始されると、アップデート・レジスタの内容がコントロール・レジスタに書き込まれます。
アップデート・レジスタ	このレジスタはコントロール・レジスタと同様のデータを保持します。ただし、アップデート・レジスタはデータをシフト・レジスタにシフトし、アップデート動作を発行することによって、ファクトリ・コンフィギュレーションでのみ更新することができます。リコンフィギュレーション・サイクルがファクトリ・コンフィギュレーションによってトリガされると、コントロール・レジスタはアップデート・レジスタの内容で更新されます。ファクトリ・コンフィギュレーションでのリード動作時に、このレジスタはシフト・レジスタに読み出されます。
ステータス・レジスタ	このレジスタは、リコンフィギュレーションの原因を記録するために、リモート・システム・アップグレード回路によってすべてのリコンフィギュレーションで書き込まれます。この情報はリコンフィギュレーション後の適切な処理を決定するために、ファクトリ・コンフィギュレーションで使用されます。このレジスタはキャプチャ・サイクル時にシフト・レジスタに読み出されます。

リモート・システム・アップグレードのコントロール・レジスタとステータス・レジスタは、10 MHz の内部オシレータ（ユーザ・ウォッチドッグ・タイマを制御するオシレータと同じ）でクロックされます。ただし、リモート・システム・アップグレード・シフトおよびアップグレード・レジスタは、ユーザ・クロック入力 (RU\_CLK) でクロックされます。

### リモート・システム・アップグレード・コントロール・レジスタ

リモート・システム・アップグレード・コントロール・レジスタは、アプリケーション・コンフィギュレーションのページ・アドレスとユーザ・ウォッチドッグ・タイマ設定を格納します。コントロール・レジスタの機能は、リモート・システム・アップグレード・モードの選択によって

異なります。リモート・アップデート・モードでは、コントロール・レジスタのページ・アドレス・ビットは、ファクトリ・コンフィギュレーションをロードするために、電源投入時にはすべてゼロに設定されます (7'b0 = 0000\_000)。ただし、ローカル・アップデート・モードでは、コントロール・レジスタのページ・アドレス・ビットは、アプリケーション・コンフィギュレーションを選択するために、電源投入時に (7'b1 = 0000\_001) に設定されます。また、コントロール・レジスタはローカル・アップデート・モードでは更新できませんが、リモート・アップデート・モードのファクトリ・コンフィギュレーションには、このレジスタへのライト・アクセスがあります。

コントロール・レジスタのビット位置を図 12-7 に、その定義を表 12-4 に示します。図中の数字は、レジスタ内の設定のビット位置を示します。例えば、ビット番号 8 はウォッチドッグ・タイマのイネーブル・ビットです。

図 12-7. リモート・システム・アップグレード・コントロール・レジスタ

20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Wd_timer[11..0]												Wd_en	PGM[6..3]			PGM[2..0]		AnF		

Application-not-factory (AnF) ビットは、Arria GX デバイ스에 로드された現在のコンフィギュレーションがファクトリ・コンフィギュレーションまたはアプリケーション・コンフィギュレーションのいずれであるかを示します。このビットはローカル・アップデート・モードでの電源投入時に High に設定され、エラー状態によってファクトリ・コンフィギュレーションへのフォールバックが発生すると、リモート・システム・アップグレード回路によって Low に設定されます。AnF ビットが High のとき、コントロール・レジスタへのアクセスはリード動作に制限されます。AnF ビットが Low のとき、レジスタはライト動作を許可し、ウォッチドッグ・タイマをディセーブルにします。



リモート・アップデート・モードでは、アップデート・レジスタの内容をアプリケーション・ページのアドレス設定およびウォッチドッグ・タイマ設定で更新するときに、ファクトリ・コンフィギュレーションのデザインがこのビットを High (1'b1) に設定しなければなりません。

表 12-4. リモート・システム・アップグレード・コントロール・レジスタの内容

コントロール・レジスタ・ビット	リモート・システム・アップグレード・モード	値	定義
AnF (1)	ローカル・アップデート Remote update	1'b1 1'b0	Application not factory
PGM[2..0]	ローカル・アップデート リモート・アップデート (FPP、PS、PPA)	3'b001 3'b000	ページ・モード選択
	リモート・アップデート (AS)	3'b000	AS コンフィギュレーション開始アドレス (StAdd[18..16])
PGM[6..3]	ローカル・アップデート リモート・アップデート (FPP、PS、PPA)	4'b0000 4'b0000	未使用
	リモート・アップデート (AS)	4'b0000	AS コンフィギュレーション開始アドレス (StAdd[22..19])
Wd_en	リモート・アップデート	1'b0	ユーザ・ウォッチドッグ・タイマ・イネーブル・ビット
Wd_timer[11..0]	リモート・アップデート	12'b000000000000	ユーザ・ウォッチドッグ・タイムアウト値 (29ビット・カウンタ値の最上位 12ビット: {Wd_timer[11..0], 17'b0})

## 表 12-4 の注:

- (1) リモート・アップデート・モードでは、リモート・コンフィギュレーション・ブロックは AnF ビットを自動的に更新しません (マニュアルで更新可能です)。ローカル・アップデート・モードでは、リモート・コンフィギュレーションは、ファクトリ・ページの 0 およびアプリケーション・ページの 1 で AnF を更新します。

## リモート・システム・アップグレード・ステータス・レジスタ

リモート・システム・アップグレード・ステータス・レジスタは、リコンフィギュレーション・トリガ条件を指定します。トリガ条件およびエラー状態には以下があります。

- アプリケーション・コンフィギュレーション時に発生する CRC (Cyclic Redundancy Check) エラー
- エラー発生時の外部デバイスによる nSTATUS アサーション
- FPGA のロジック・アレイがリコンフィギュレーション・サイクルをトリガしたとき(新しいアプリケーション・コンフィギュレーション・イメージをダウンロードした後)
- 外部コンフィギュレーション・リセット (nCONFIG) アサーション
- ユーザ・ウォッチドッグ・タイマのタイムアウト

図 12-8 および表 12-5 に、ステータス・レジスタの内容を指定しています。図中の数字は、5 ビット・レジスタ内のビット位置を示します。

図 12-8. リモート・システム・アップグレード・ステータス・レジスタ

4	3	2	1	0
Wd	nCONFIG	Core_nCONFIG	nSTATUS	CRC

表 12-5. リモート・システム・アップグレード・ステータス・レジスタの内容

ステータス・レジスタ・ビット	定義	POR リセット値
CRC (コンフィギュレーションからの)	CRC エラーによるリコンフィギュレーション	1 bit '0'
nSTATUS	nSTATUS によるリコンフィギュレーション	1 bit '0'
CORE (1) CORE_nCONFIG	デバイス・ロジック・アレイによるリコンフィギュレーション	1 bit '0'
nCONFIG	nCONFIG によるリコンフィギュレーション	1 bit '0'
Wd	ウォッチドッグ・タイマによるリコンフィギュレーション	1 bit '0'

表 12-5 の注:

- (1) ロジック・アレイのリコンフィギュレーションにより、システムはアプリケーション・コンフィギュレーション・データを強制的に Arria GX デバイスにロードします。これは、ファクトリ・コンフィギュレーションがアップデート・レジスタを更新して、適切なアプリケーション・コンフィギュレーション・ページ・アドレスを指定した後で行われます。

## リモート・システム・アップグレード・ステート・マシン

リモート・システム・アップグレード・コントロール・レジスタとアップデート・レジスタのビット定義は同じですが、役割は異なります(12-17 ページの表 12-3 参照)。両方のレジスタが更新できるのは FPGA にファクトリ・コンフィギュレーション・イメージがロードされたときに限られますが、アップデート・レジスタの書き込みはユーザ・ロジックで制御され、コントロール・レジスタの書き込みはリモート・システム・アップグレード・ステート・マシンで制御されます。

ファクトリ・コンフィギュレーションでは、ユーザ・ロジックから次のアプリケーション・コンフィギュレーション・ビット用に AnF ビット (High に設定)、ページ・アドレス、およびウォッチドッグ・タイマ設定をアップデート・レジスタに送信しなければなりません。ロジック・アレイのコンフィギュレーション・リセット (RU\_nCONFIG) が High になると、リモート・システム・アップグレード・ステート・マシンは、コントロール・レジスタをアップデート・レジスタの内容で更新し、新しいアプリケーション・ページからシステム・コンフィギュレーションを開始します。

エラーまたはリコンフィギュレーション・トリガ条件が発生した場合、リモート・システム・アップグレード・ステート・マシンは状況に従ってコントロール・レジスタを設定し、システムにファクトリ・コンフィギュレーションまたはアプリケーション・コンフィギュレーション(モードおよびエラー状態に基づき、ページ・ゼロまたはページ 1) をロードするよう指示します。表 12-6 に、可能なすべてのエラー状態またはトリガ条件でこのようなイベントが発生した後のコントロール・レジスタの内容をリストします。

エラー状態が発生すると、リモート・システム・アップグレード・ステータス・レジスタはファクトリ・コンフィギュレーションがロードされる前に、専用のエラー監視回路によって更新されます。

**表 12-6. エラーまたはリコンフィギュレーション・トリガ条件発生後のコントロール・レジスタの内容 (1 / 2)**

リコンフィギュレーション・エラー/トリガ	コントロール・レジスタの設定	
	リモート・アップデート	ローカル・アップデート
nCONFIG リセット	すべてのビットが 0	PGM[6..0] = 7'b0000001 AnF = 1 他のすべてのビットが 0
nSTATUS エラー	すべてのビットが 0	すべてのビットが 0

表 12-6. エラーまたはリコンフィギュレーション・トリガ条件発生後のコントロール・レジスタの内容 (2 / 2)

リコンフィギュレーション・エラー/トリガ	コントロール・レジスタの設定	
	リモート・アップデート	ローカル・アップデート
CORE トリガ・リコンフィギュレーション	アップデート・レジスタ	PGM[6..0] = 7'b0000001 AnF = 1 他のすべてのビットが 0
CRC エラー	すべてのビットが 0	すべてのビットが 0
Wd タイムアウト	すべてのビットが 0	すべてのビットが 0

ファクトリ・コンフィギュレーション中のリード動作では、アップデート・レジスタの内容にアクセスします。この機能は、ユーザ・ロジックがページ・アドレスおよびウォッチドッグ・タイマ設定が正しく書き込まれていることを検証するために使用します。アプリケーション・コンフィギュレーションのリード動作では、コントロール・レジスタの内容にアクセスします。この情報はアプリケーション・コンフィギュレーションでユーザ・ロジックにより使用されます。

### ユーザ・ウォッチドッグ・タイマ

ユーザ・ウォッチドッグ・タイマは、誤ったアプリケーション・コンフィギュレーションによってデバイスが停止したままになるのを防止します。アプリケーション・コンフィギュレーションが FPGA に正常にロードされると、システムはタイマを使用して動作エラーを検出します。

ユーザ・ウォッチドッグ・タイマは、ファクトリ・コンフィギュレーションによってリモート・システム・アップグレード・コントロール・レジスタにロードされた初期値からカウント・ダウンするカウンタです。このカウンタは 29 ビット幅で、最大カウント値は  $2^{29}$  です。ユーザ・ウォッチドッグ・タイマの値を指定するときには、最上位 12 ビットのみ指定します。タイマ設定の精度は  $2^{15}$  サイクルです。サイクル時間は 10 MHz の内部オシレータの周波数に基づきます。表 12-7 に、10 MHz 内部オシレータの動作範囲を示します。

表 12-7. 10 MHz 内部オシレータの仕様 注 (1)

Min	Typ	Max	単位
5	6.5	10	MHz

表 12-7 の注:

(1) これらの値は暫定仕様です。

アプリケーション・コンフィギュレーションが FPGA ユーザ・モードに入ると、ユーザ・ウォッチドッグ・タイマはカウントを開始します。このタイマは、満了になる前に `RU_nRSTIMER` をアサートして、アプリケーション・コンフィギュレーションで定期的にリロードまたはリセットする必要があります。アプリケーション・コンフィギュレーションがカウントの満了前にユーザ・ウォッチドッグ・タイマをリロードしない場合、リモート・システム・アップグレード専用回路でタイムアウト信号が生成されます。タイムアウト信号は、リモート・システム・アップグレード回路に対して、リモート・システム・アップグレード・ステータス・レジスタ内のユーザ・ウォッチドッグ・タイマのステータス・ビット (`wd`) を設定するよう指示し、ファクトリ・コンフィギュレーションをロードして、デバイスをリコンフィギュレーションします。

ユーザ・ウォッチドッグ・タイマは、FPGA のコンフィギュレーション・サイクル中はイネーブルされません。コンフィギュレーション時に発生したエラーは CRC エンジンによって検出されます。また、このタイマはファクトリ・コンフィギュレーションではディセーブルされます。ファクトリ・コンフィギュレーションは、生産時に格納および検証され、リモートで更新されることはないため、機能エラーが存在しないようにしてください。



ユーザ・ウォッチドッグ・タイマはファクトリ・コンフィギュレーション、およびアプリケーション・コンフィギュレーションのコンフィギュレーション・サイクル中にはディセーブルされます。アプリケーション・コンフィギュレーションがユーザ・モードに入るとイネーブルされます。

## リモート・システム・アップグレード回路と FPGA ロジック・アレイ間のインタフェース信号

専用リモート・システム・アップグレード回路は、FPGA ロジック・アレイと 7 つの信号で接続します。FPGA ロジック・アレイは、これらの信号を使用して、リモート・システム・アップグレード・シフト・レジスタを使用して、リモート・システム・アップグレード・コントロール、ステータス、およびアップデートの各レジスタを読み書きします。表 12-8 に、これらの 7 つの各信号をリストし、機能を説明します。

`RU_nRSTIMER` および `RU_CAPTnUPDT` を除き、ロジック・アレイ信号はリモートとローカルの両アップデート・モード、およびファクトリとアプリケーションの両コンフィギュレーションに対してイネーブルされます。ローカル・アップデート・コンフィギュレーションおよびファクトリ・コンフィギュレーションではユーザ・ウォッチドッグ・タイマがディセーブルされるため、`RU_nRSTIMER` はリモート・アップデート・モードのアプリケーション・コンフィギュレーションに対してのみ有効です。`RU_CAPTnUPDT` が Low のとき、デバイスは、リモート・アップデート・

モードのファクトリ・コンフィギュレーションの場合にのみアップデート・レジスタに書き込むことができます。これは、アップデート・レジスタがユーザ・ロジックによって書き込まれる唯一のケースです。RU\_nCONFIG 信号が High になると、アップデート・レジスタの内容がコントロール・レジスタに書き込まれ、次のコンフィギュレーション・サイクルを制御に使用されます。

表 12-8. リモート・システム・アップグレード回路と FPGA ロジック・アレイ間のインタフェース信号 (1 / 3)

信号名	信号の方向	説明
RU_nRSTIMER	リモート・システム・アップグレード・ブロックへの入力 (FPGA ロジック・アレイによりドライブ)	アプリケーション・コンフィギュレーションからのユーザ・ウォッチドッグ・タイマの初期カウントへのリセット要求。この信号の立ち下がりエッジでユーザ・ウォッチドッグ・タイマのリセットが開始されます。
RU_nCONFIG	リモート・システム・アップグレード・ブロックへの入力 (FPGA ロジック・アレイによりドライブ)	この信号が Low にドライブされると、デバイスのリコンフィギュレーションが開始されます。  リモート・アップデート・モードのファクトリ・コンフィギュレーションでアサートされると、リモート・アップデート・コントロール・レジスタで指定されたアプリケーション・コンフィギュレーションがロードされます。リモート・アップデート・モードのアプリケーション・コンフィギュレーションで要求された場合、ファクトリ・コンフィギュレーションがロードされます。  ローカル・アップデート・モードでは、この信号がアサートされるたびにアプリケーション・コンフィギュレーションがロードされます。
RU_CLK	リモート・システム・アップグレード・ブロックへの入力 (FPGA ロジック・アレイによりドライブ)	リモート・システム・アップグレード・シフト・レジスタおよびアップデート・レジスタをクロックして、ステータス・レジスタ、コントロール・レジスタ、およびアップデート・レジスタの内容を読み出し、アップデート・レジスタの内容をロードすることができます。シフト・レジスタはこのクロック信号の立ち上がりでデータをラッチします。

表 12-8. リモート・システム・アップグレード回路と FPGA ロジック・アレイ間のインタフェース信号 (2 / 3)

信号名	信号の方向	説明
RU_SHIFtLD	リモート・システム・アップグレード・ブロックへの入力 (FPGA ロジック・アレイによりドライブ)	<p>このピンでシフト・レジスタの内容を次のクロック・エッジでシフトするかまたはロード・イン / アウトするかを決定します。</p> <p>この信号が High (1'b1) にドライブされると、リモート・システム・アップグレード・シフト・レジスタは RU_CLK の各立ち上がりエッジでデータをシフトします。</p> <p>RU_SHIFtLD および RU_CAPtUPDT が Low (1'b0) にドライブされると、リモート・システム・アップグレード・アップデート・レジスタは、RU_CLK の立ち上がりエッジでシフト・レジスタの内容により更新されます。</p> <p>RU_SHIFtLD が Low (1'b0) にドライブされ、RU_CAPtUPDT が High (1'b1) にドライブされると、リモート・システム・アップグレード・シフト・レジスタは、RU_CLK の立ち上がりエッジで、ステータス・レジスタとコントロール・レジスタまたはアップデート・レジスタのいずれか (現在のコンフィギュレーションがアプリケーションかファクトリかによって決まる) をキャプチャします。</p>
RU_CAPtUPDT	リモート・システム・アップグレード・ブロックへの入力 (FPGA ロジック・アレイによりドライブ)	<p>このピンでシフト・レジスタの内容を次のクロック・エッジでキャプチャするかアップデートするかを決定します。</p> <p>RU_SHIFtLD 信号が High (1'b1) にドライブされると、この入力信号は機能を持たなくなります。</p> <p>RU_SHIFtLD が Low (1'b0) にドライブされ、RU_CAPtUPDT が High (1'b1) にドライブされると、リモート・システム・アップグレード・シフト・レジスタは、RU_CLK の立ち上がりエッジで、ステータス・レジスタとコントロール・レジスタまたはアップデート・レジスタのいずれか (現在のコンフィギュレーションがアプリケーションかファクトリかによって決まる) をキャプチャします。</p> <p>RU_SHIFtLD および RU_CAPtUPDT が Low (1'b0) にドライブされると、リモート・システム・アップグレード・アップデート・レジスタは、RU_CLK の立ち上がりエッジでシフト・レジスタの内容により更新されます。</p> <p>ローカル・アップデート・モードでは、アップデート・レジスタを更新できないため、RU_CAPtUPDT の Low 入力には機能がありません。</p>

**表 12-8. リモート・システム・アップグレード回路と FPGA ロジック・アレイ間の  
インタフェース信号 (3 / 3)**

信号名	信号の方向	説明
RU_DIN	リモート・システム・アップグレード・ブロックへの入力 (FPGA ロジック・アレイによりドライブ)	RU_CLK の立ち上がりエッジでリモート・システム・アップグレード・シフト・レジスタに書き込まれるデータです。データをシフト・レジスタにロードするには、RU_SHIFTnLD をアサートしなければなりません。
RU_DOUT	リモート・システム・アップグレード・ブロックからの出力 (FPGA ロジック・アレイにドライブされる)	ロジック・アレイ・ロジックによって読み出さるリモート・システム・アップグレード・シフト・レジスタからの出力データ。新しいデータは、RU_CLK の立ち上がりエッジで到達します。

## リモート・システム・アップグレード・ピンの説明

表 12-9 では、専用リモート・システム・アップグレード・コンフィギュレーション・ピンを説明しています。すべてのコンフィギュレーション・ピンについては、「Arria GX ハンドブック」の「Arria GX FPGA のコンフィギュレーション」の章を参照してください。

ピン名	ユーザ・モード	コンフィギュレーション・モード	ピン・タイプ	説明
RUnLU	FPP、PS、AS、または PPA モードでリモート・システム・アップグレードを使用する場合は有効。これらのモード以外を使用する場合は I/O。	FPP、PS、または PPA のリモート・コンフィギュレーション	入力	<p>リモート・アップデートとローカル・アップデートを選択する入力。ロジック High (1.5 V、1.8 V、2.5 V、3.3 V) では、リモート・アップデートが選択され、ロジック Low ではローカル・アップデートが選択されます。</p> <p>リモート・アップデートまたはローカル・アップデートのコンフィギュレーション・モードを使用しない場合、このピンは汎用ユーザ I/O ピンとして使用できます。</p> <p>AS モードでリモート・コンフィギュレーションを使用する場合、AS はローカル・アップデートをサポートしないため、RUnLU ピンを High に設定します。</p>
PGM[2..0]	FPP、PS、または PPA モードでリモート・システム・アップグレードを使用する場合は有効。これらのモード以外を使用する場合は I/O。	FPP、PS、または PPA のリモート・コンフィギュレーション	出力	<p>これらの出力ピンでは、リモート・アップデート・モードを使用するとき、メモリ（フラッシュまたはエンハンスド・コンフィギュレーション・デバイス）内の 8 ページのいずれかが選択されます。</p> <p>リモート・アップデートまたはローカル・アップデートのコンフィギュレーション・モードを使用しない場合、これらのピンは汎用ユーザ I/O ピンとして使用できます。</p>

## Quartus II ソフトウェア・ サポート

デザインへの実装には、FPGA のロジック・アレイとリモート・システム・アップグレード回路の間にリモート・システム・アップグレード・インタフェースが必要です。また、ユーザ機能のためのコンフィギュレーション・ファイルおよびシステム・コンフィギュレーション・メモリの

リモート・プログラミング用にコンフィギュレーション・ファイルを作成しなければなりません。Quartus® II ソフトウェアはこれらの機能を提供します。

altremote\_update メガファンクションとリモート・システム・アップグレード・アトムとの 2 つの実装オプションは、リモート・システム・アップグレード回路と FPGA ロジック・アレイ・インタフェース間のインタフェースに使用されます。

## altremote\_update メガファンクション

altremote\_update メガファンクションは、メモリに類似したリモート・システム・アップグレード回路へのインタフェースを提供し、FPGA ロジックでのシフト・レジスタのリード/ライト・プロトコルを処理します。この実装は、FPGA で Nios II プロセッサを使用してファクトリ・コンフィギュレーション機能を実装するデザインに最適です。

表 12-10 および 12-11 に、altremote\_update メガファンクションで利用可能な入力ポートと出力ポートを説明します。表 12-12 に、param[2..0] ビットの設定を示します。

表 12-10. altremote_update メガファンクションの入力ポート ( 1 / 3 )			
ポート名	必須	ソース	説明
clock	Y	ロジック・アレイ	altremote_update ブロックへのクロック入力。すべての動作は、このクロックの立ち上がりエッジを基準にして実行されます。
reset	Y	ロジック・アレイ	リモート・アップデート・ブロックの初期化に使用される非同期リセット。確実に適切な動作を実行させるには、最初にリモート・アップデート・ブロックをリセットする必要があります。この信号は busy 信号の影響を受けず、ビジーがロジック High の場合でもリモート・アップデート・ブロックをリセットします。これは、パラメータの書き込み中にリセット信号がロジック High にドライブされる場合、パラメータがリモート・アップデート・ブロックに正しく書き込まれないことを意味します。
reconfig	Y	ロジック・アレイ	ロジック High にドライブされた場合、リモート・アップデート・ブロックの現在のパラメータ設定を使用して、デバイスのリコンフィギュレーションが開始します。ビジーがアサートされた場合、この信号は無視されます。これにより、リコンフィギュレーションが開始される前にすべてのパラメータが完全に書き込まれます。

表 12-10. altremote\_update メガファンクションの入力ポート ( 2 / 3 )

ポート名	必須	ソース	説明
reset_timer	N	ロジック・アレイ	この信号はウォッチドッグ・タイマ機能を使用している場合は必須です。ロジック High で内部ウォッチドッグ・タイマがリセットされます。この信号は busy 信号の影響を受けず、リモート・アップデート・ブロックがビジーの場合でもタイマをリセットできます。このポートが接続されたままの場合、デフォルト値は 0 です。
read_param	N	ロジック・アレイ	read_param がロジック High としてサンプリングされると、busy 信号がアサートされます。パラメータが読み出されている間、busy 信号はアサートされたままで、param[] の入力は無視されます。busy 信号が非アクティブになると、次のパラメータを読み出すことができます。このポートが非接続のままの場合、デフォルト値は 0 です。
write_param	N	ロジック・アレイ	この信号はパラメータをリモート・アップデート・ブロックに書き込む場合は必須です。ロジック High にドライブされる場合、param[] ポートに指定されたパラメータを data_in[] の値でリモート・アップデート・ブロックに書き込む必要があります。data_in[] の有効ビット数は、パラメータの種類によって異なります。この信号はクロックの立ち上がりエッジでサンプリングされますが、1クロック・サイクルの間だけアサートして、以降のクロック・サイクルでパラメータが再度読み出されないようにする必要があります。write_param がロジック High としてサンプリングされると、busy 信号がアサートされます。パラメータが書き込まれている間、busy 信号はアサートされたままで、param[] および data_in[] 入力は無視されます。busy 信号が非アクティブになると、次のパラメータを書き込むことができます。パラメータはアプリケーション・コンフィギュレーションでは書き込むことができないため、この信号は Current_Configuration パラメータがファクトリの場合にのみ有効です。このポートが非接続のままの場合、デフォルト値は 0 です。
param[2..0]	N	ロジック・アレイ	読み出したまたは書き込みが必要なパラメータを選択する 3 ビット・バス。このポートが非接続のままの場合、デフォルト値は 0 です。

表 12-10. altremote\_update メガファンクションの入力ポート (3 / 3)

ポート名	必須	ソース	説明
data_in[11..0]	N	ロジック・アレイ	パラメータを書き込むときに使用され、パラメータ値を指定するリモート・アップデート・ブロックの 12 ビット・バスにパラメータを書き込む場合、この信号は必須です。このパラメータ値は、param[] 入力を使用し、write_param 信号をロジック High にドライブして要求されます。このときに、busy 信号がロジック High になり、パラメータの値がバスからキャプチャされます。一部のパラメータは、12 ビットをすべて使用しないで、下位ビットのみ使用しています。ファクトリ・コンフィギュレーションでのみパラメータの書き込みが許可されているため、このポートは Current_Configuration パラメータがアプリケーション・コンフィギュレーションに設定される場合は無視されます。このポートが非接続のままの場合、デフォルト値は 0 です。

## 表 12-10 の注 :

- (1) ロジック・アレイ・ソースとは、内部ロジックまたは任意の汎用 I/O ピンからポートをドライブできることを意味します。

表 12-11. altremote\_update メガファンクションの出力ポート (1 / 2)

ポート名	必須	デスティネーション	説明
busy	Y	ロジック・アレイ	この信号がロジック High の場合、リモート・アップデート・ブロックはパラメータの読み出しか書き込みでビジーです。リモート・アップデート・ブロックがビジーの場合、その data_in[], param[], および reconfig 入力を無視します。この信号は、read_param または write_param がアサートされ、動作が完了するまでアサートされたままの場合は High になります。
pgm_out[2..0]	Y	PGM[2..0] ピン	デバイスがリコンフィギュレーションされるときにロードされるコンフィギュレーション・データのページ・ポイントを指定する 3 ビット・バス。このポートは、外部コンフィギュレーション・デバイスへの接続が必要な PGM[] 出力ピンに接続しなければなりません。

表 12-11. altremote\_update メガファンクションの出力ポート (2 / 2)

ポート名	必須	デスティネーション	説明
data_out[11..0]	N	ロジック・アレイ	パラメータを読み出すときに使用され、パラメータ値を読み出す 12 ビット・バス。パラメータ値は param[] 入力を使用し、read_param 信号をロジック High にドライブして要求されます。このとき、busy 信号はロジック High になります。busy 信号が Low になると、このバスでパラメータの値がドライブ・アウトされます。data_out[] ポートは read_param が発行された後、busy 信号がデアサートされた時点でのみ有効になります。それ以外のときには、出力値は無効です。例えば、パラメータの書き込み時に data_out[] ポートがトグルできる場合でも、これらの値は実際にリモート・アップデート・ブロックに書き込まれた内容を正しく表現するものではありません。一部のパラメータは、12 ビットをすべて使用しないで下位ビットのみ使用しています。

## 表 12-11 の注:

- (1) ロジック・アレイ・デスティネーションとは、ポートを内部ロジックまたは任意の汎用 I/O ピンにドライブできることを意味します。

表 12-12. altremote\_update メガファンクションのパラメータ設定 (1 / 2)

選択されたパラメータ	param[2..0] ビット設定	パラメータ値の幅	POR リセット値	説明
ステータス・レジスタの内容	000	5	5 bit '0	リコンフィギュレーションの理由を指定します。すなわち、コンフィギュレーション時の CRC エラー、エラーによる nSTATUS の Low へのプルダウン、デバイス・コアに起因するエラー、nCONFIG の Low へのプルダウン、またはウォッチドッグ・タイマのタイムアウトのいずれかが考えられます。このパラメータは読み出しのみ可能です。
ウォッチドッグ・タイムアウト値	010	12	12 bit '0	ユーザ・ウォッチドッグ・タイマのタイムアウト値。このパラメータの書き込みは、ファクトリ・コンフィギュレーションの場合にのみ許可されます。
ウォッチドッグ・イネーブル	011	1	1 bit '0	ユーザ・ウォッチドッグ・タイマのイネーブル。このパラメータの書き込みは、ファクトリ・コンフィギュレーションの場合にのみ許可されます。

表 12-12. altremote\_update メガファンクションのパラメータ設定 (2 / 2)

選択されたパラメータ	param[2..0] ビット設定	パラメータ値の幅	POR リセット値	説明
ページ選択	100	3 (FPP、PS、PPA)	3 bit '001' - ローカル・コンフィギュレーション	ページ・モード選択。このパラメータの書き込みは、ファクトリ・コンフィギュレーションの場合にのみ許可されます。
			3 bit '000' - リモート・コンフィギュレーション	
		7 (AS)	7 bit '0000000' - リモート・コンフィギュレーション	
現在のコンフィギュレーション (AnF)	101	1	1 bit '0' - ファクトリ	現在のコンフィギュレーションがファクトリかアプリケーション・コンフィギュレーションかを指定します。このパラメータは読み出しのみ可能です。
			1 bit '1' - アプリケーション	
不正な値	001	—	—	—
	110	—	—	—
	111	—	—	—

## リモート・システム・アップグレード・アトム

リモート・システム・アップグレード・アトムは、デザインでのインスタンス化が可能な WYSIWYG アトムまたはプリミティブです。このプリミティブはリモート・システム・アップグレード・シフト・レジスタ、ロジック・アレイ・リセット、およびウォッチドッグ・タイマ・リセット信号へのアクセスに使用されます。このプリミティブのポートは表 12-8 に示すものと同じです。この実装は、ステート・マシンを（プロセッサなしで）使用してファクトリ・コンフィギュレーション機能を実装するデザインに適しています。

## システム・デザイン・ガイドライン

Arria GX FPGA にリモート・システム・アップグレードを実装する場合、次の一般的なガイドラインを適用できます。ここでは、特定のコンフィギュレーション手法のガイドラインについても説明します。

- 新しいアプリケーション・コンフィギュレーションをダウンロードした後、FPGA に実装されたソフト・ロジックがリモート通信インタフェース上で受信されたデータの完全性を検証できます。このオプションのステップは、不正または不完全なコンフィギュレーション・データでのコンフィギュレーションの試行を回避するのに役立ちます。ただし、不正または不完全なコンフィギュレーション・データが FPGA に送信された場合、FPGA は各コンフィギュレーション・フレームに接続された CRC シグネチャを使用してデータの破損を検出します。
- コンフィギュレーション・エラー・オプション・ビットのオート・リコンフィギュレーションは、ユーザ・システムでリモート・システム・アップグレードがイネーブルされている場合は無視されます。このオプションはリモート・コンフィギュレーション・デザインでは常にイネーブルされ、アプリケーション・コンフィギュレーション・エラーまたはユーザ・ウォッチドッグ・タイマのタイムアウトの場合にユーザ・システムを安全なファクトリ・コンフィギュレーションに復帰させることができます。

## シリアル・コンフィギュレーション・デバイスのリモート・システム・アップグレード

AS コンフィギュレーション手法でのリモート・システム・アップグレードのサポートは、以下の場合を除いて他の手法でのサポートと同様です。

- リモート・システム・アップグレード・ブロックは、FPP、PS、および PPA コンフィギュレーション手法で使用される 3 ビット・ページ・モード・ピン (PGM[2..0]) をドライブする代わりに、Arria GX FPGA 内の AS コンフィギュレーション・コントローラに 7 ビット・ページ開始アドレス (PGM[6..0]) を提供します。この 7 ビット・アドレスは、24 ビット・コンフィギュレーション開始アドレス (StAdd[23..0]) を形成します。表 12-13 に、ページ・アドレス・レジスタを使用した開始アドレスの生成を示します。
- ファクトリ・コンフィギュレーションのコンフィギュレーション開始アドレスは、常に 24'b0 に設定されます。
- Arria GX デバイスの PGM[2..0] ピンは、AS コンフィギュレーション・デバイス手法では使用されず、通常の I/O ピンとして使用できます。

- Nios ASMI ベリフェラルを使用して、シリアル・コンフィギュレーション・デバイス内でコンフィギュレーション・データを更新することができます。

表 12-13. AS コンフィギュレーション開始アドレスの生成

シリアル・コンフィギュレーション・デバイス	シリアル・コンフィギュレーション・デバイスの集積度 (MB)	Add[23]	PGM[6..0] (Add[22..16])	Add[15..0]
EPCS64	64	0	MSB[6..0]	すべて 0
EPCS16	16	0	00, MSB[4..0]	すべて 0
EPCS4	4	0	0000, MSB[2..0]	すべて 0

## MAX II デバイスまたはマイクロプロセッサ & Flash デバイスでのリモート・システム・アップグレード

このセットアップでは、MAX II デバイスまたはマイクロプロセッサによるページ・アドレッシングのサポートが要求されます。リモート・システム・アップグレードを実装する MAX II またはマイクロプロセッサ・デバイスは、エンハンスド・コンフィギュレーション・デバイス・ページ・モード機能をエミュレートする必要があります。Arria GX デバイスの PGM[2..0] 出力ピンをサンプリングして、FPGA にロードされるコンフィギュレーション・イメージを決定する必要があります。

すべてのデータが送信された後、FPGA が CONF\_DONE を解放しない場合、MAX II マイクロプロセッサは nSTATUS ピンを Low にパルスして、FPGA をファクトリ・イメージにリセットする必要があります。

MAX II デバイスまたはマイクロプロセッサおよびフラッシュ・コンフィギュレーションは、FPP、PS、または PPA を使用できます。圧縮復元は、FPP モード (4× DCLK が必要) と PS モードでのみサポートされます。図 12-9 に MAX II デバイスまたはマイクロプロセッサとフラッシュを使用したリモート・システム・アップグレードのシステム・ブロック図を示します。

図 12-9. MAX II デバイスまたはマイクロプロセッサおよびフラッシュ・デバイスを使用したリモート・システム・アップグレードのシステム・ブロック図

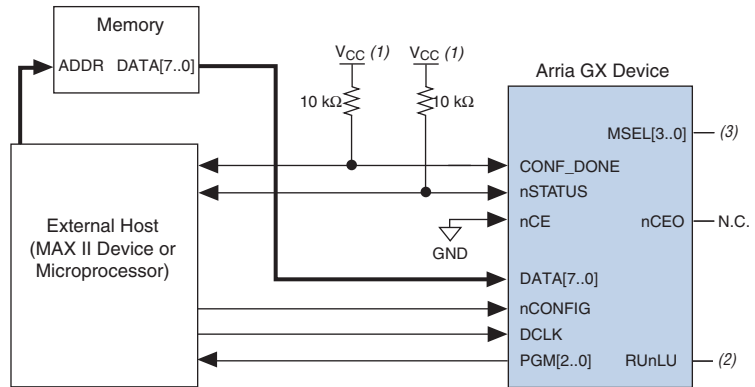


図 12-9 の注:

- (1) プルアップ抵抗をデバイスの許容入力信号を供給する電源に接続します。
- (2) RUnLU を GND または V<sub>CC</sub> に接続し、リモート・アップグレード・モードとローカル・アップグレード・モードのいずれかを選択します。
- (3) MSEL[3..0] を 0100 に接続し、リモートまたはローカル・アップグレード・モードをイネーブルにします。

## エンハンスド・コンフィギュレーション・デバイスの リモート・システム・アップグレード

- エンハンスド・コンフィギュレーション・デバイスは、FPP または PS コンフィギュレーション手法によるリモート・システム・アップグレードをサポートします。Arria GX の圧縮復元機能は、PS モードでのみサポートされます。エンハンスド・コンフィギュレーション・デバイスの圧縮復元機能は、PS および FPP の両モードでサポートされます。
- リモート・アップデート・モードでは、ファクトリ・コンフィギュレーションもアプリケーション・コンフィギュレーションもエンハンスド・コンフィギュレーション・デバイスのオプション・ビットまたはページ 000 ファクトリ・コンフィギュレーション・データを変更してはなりません。これにより、リモート・アップグレード中のエラーは常にページ 000 にあるファクトリ・コンフィギュレーションに戻すことによって解決できます。



## 改訂履歴

表 12-14 に、本資料の改訂履歴を示します。

表 12-14. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 5 月 v1.0	初版	N/A

