

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX52009-1.2

はじめに

Arria™ GX デバイス・ファミリーは、HyperTransport™ テクノロジー、Rapid I/O、XSBI、および SPI などのソース・シンクロナス通信プロトコルをサポートする最大 840 Mbps の差動 I/O 機能を提供します。

Arria GX デバイスは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- 送信シリアライザ
- 受信デシリアライザ
- データ・リアラインメント回路
- ダイナミック・フェーズ・アライナ (DPA)
- シンクロナイザ (FIFO バッファ)
- アナログ PLL (Phase-Locked Loop) および fast PLL

高速差動インタフェース向けに、Arria GX デバイスは以下を含む様々な差動 I/O 規格に対応しています。

- LVDS
- HyperTransport テクノロジー
- HSTL
- SSTL
- LVPECL

 HSTL、SSTL、および LVPECL I/O 規格は、差動モードでは PLL クロック入力および出力にのみ使用できます。

この章は、以下の項で構成されています。

- 9-2 ページの「I/O バンク」
- 9-4 ページの「差動トランスミッタ」
- 9-7 ページの「差動レシーバ」
- 9-11 ページの「差動 I/O 終端」
- 9-12 ページの「fast PLL」
- 9-13 ページの「クロック」
- 9-20 ページの「差動ピン配置ガイドライン」
- 9-26 ページの「ボード・デザインの検討事項」

I/O バンク

Arria GX の入力と出力は、ダイ周辺に位置するバンクに分割されます。LVDS および HyperTransport テクノロジをサポートする入出力は、Arria GX デバイスの左側のロウ I/O バンクに配置されています。LVPECL、HSTL、および SSTL 規格は、差動クロック入力 / 出力として使用する場合、ダイの特定のトップおよびボトム・バンク（バンク 9 ~ 12）でサポートされます。差動 HSTL および SSTL 規格は、これらのバンクのピンが DQS ピンとして使用される場合、バンク 3、4、7、および 8 でサポートされます。図 9-1 に、ダイ上でのバンクおよび PLL の位置を示します。

図 9-1. Arria GX の I/O バンク 注 (1)、(2)、(3)、(4)、(5)、および (6)

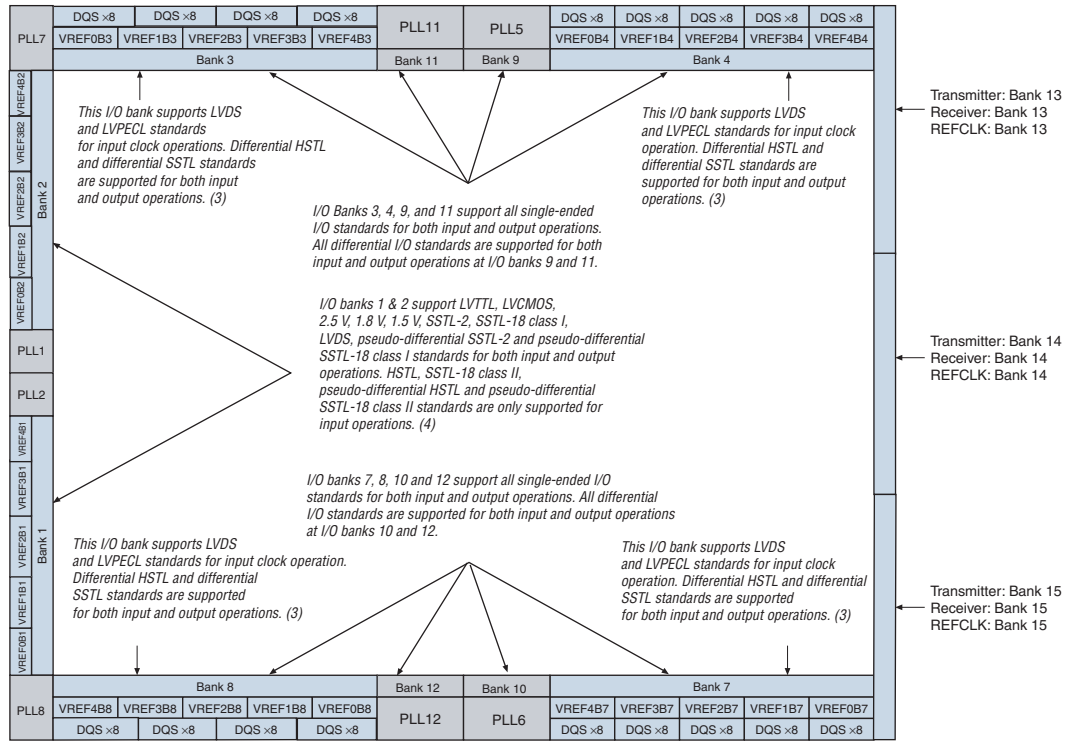


図 9-1 の注 :

- (1) 図 9-1 はシリコン・ダイの上面図で、Flip-chip パッケージの裏面図に相当します。これは参考図です。
- (2) 個々のデバイスの V_{REF} グループの数は、デバイスのサイズによって異なります。正確なピン配置については、ピン・リストおよび Quartus®II ソフトウェアを参照してください。
- (3) バンク 9 ~ 12 は、enhanced PLL 外部クロック出力バンクです。
- (4) 水平方向の I/O バンクは、高速差動 I/O 規格のためのトランシーバおよびダイナミック・フェーズ・アライメント (DPA) 回路を搭載しています。
- (5) Quartus II ソフトウェアは、左側 / 右側の I/O バンクの差動 SSTL および差動 HSTL 規格をサポートしていません。
- (6) PLL および対応する I/O バンクの数、パッケージ・オプションによって異なります。

表 9-1 に、Arria GX デバイスの差動チャネルの総数を示します。左側のバンクにある専用ではないクロックは、データ・レシーバ・チャネルとしても使用することができます。レシーバ・チャネルの総数には、これらの 4 個の専用ではないクロック・チャネルが含まれます。ピン・マイグレーションは、同一のパッケージの異なるサイズのデバイスで可能です。

デバイス	484 ピン FineLine BGA	780 ピン FineLine BGA	1,152 ピン FineLine BGA
EP1AGX20	29 個のトランスミッタ 31 個のレシーバ	29 個のトランスミッタ 31 個のレシーバ	—
EP1AGX35	29 個のトランスミッタ 31 個のレシーバ	29 個のトランスミッタ 31 個のレシーバ	—
EP1AGX50	29 個のトランスミッタ 31 個のレシーバ	29 個のトランスミッタ 31 個のレシーバ	42 個のトランスミッタ 42 個のレシーバ
EP1AGX60	29 個のトランスミッタ 31 個のレシーバ	29 個のトランスミッタ 31 個のレシーバ	42 個のトランスミッタ 42 個のレシーバ
EP1AGX90	—	—	47 個のトランスミッタ 47 個のレシーバ

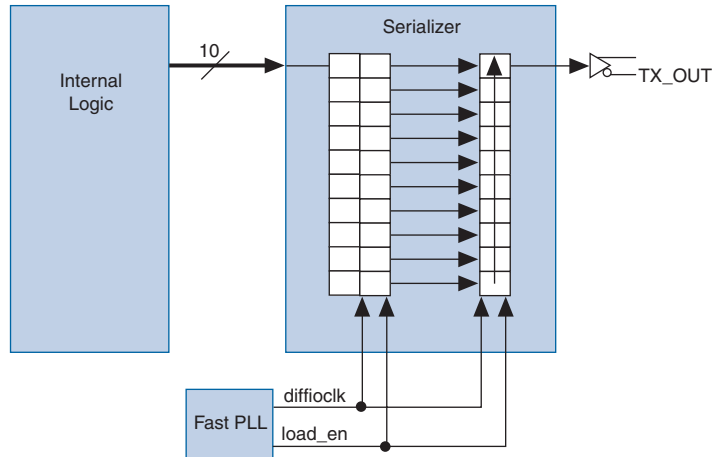
表 9-1 の注：

- (1) ピン数には専用 PLL ピンは含まれていません。
- (2) レシーバ・チャネルの総数は、データ・チャネルとして利用可能な 4 個の専用ではないクロック・チャネルを含みます。

差動 トランスミッタ

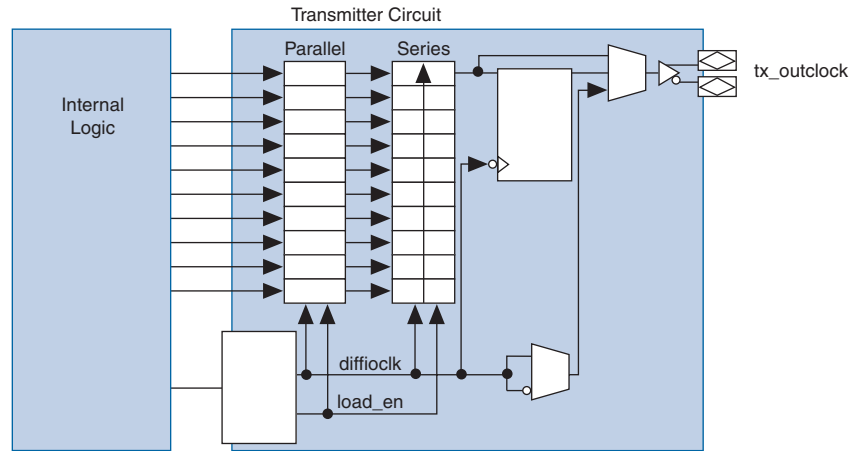
Arria GX トランスミッタは、LVDS および HyperTransport 信号方式をサポートする専用回路を内蔵しています。専用回路は差動バッファ、シリアライザ、および共有 fast PLL で構成されています。差動バッファは、Quartus II ソフトウェアでスタティックに設定される LVDS または HyperTransport 信号レベルをドライブできます。シリアライザは、パラレル・バスから最大 10 ビット幅のデータを内部ロジックから取得し、それをロード・レジスタにクロックし、データを差動バッファに送信する前にシフト・レジスタを使用してシリアル化します。最上位ビット (MSB) が最初に送信されます。ロード・レジスタおよびシフト・レジスタは、diffioclk (シリアル・レートで動作する fast PLL クロック) でクロックされ、fast PLL で生成されるロード・イネーブル信号によって制御されます。シリアライゼーション・ファクタは、Quartus II ソフトウェアを使用してスタティックに ×4、×5、×6、×7、×8、×9、または ×10 に設定されます。ロード・イネーブル信号は fast PLL により自動的に生成され、シリアライゼーション・ファクタの設定から派生します。図 9-2 に、Arria GX トランスミッタのブロック図を示します。

図 9-2. トランスミッタのブロック図



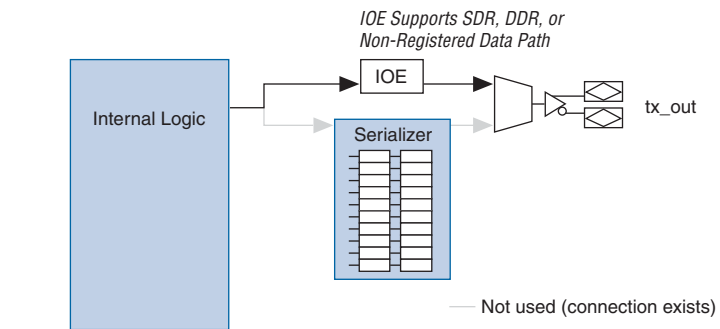
各 Arria GX トランスミッタ・データ・チャネルは、トランスミッタ・クロック出力として動作するようにコンフィギュレーションできます。この柔軟性により、設計者は出力クロックをデータ出力の近くに配置して、ボード・レイアウトの簡略化し、クロックとデータ間のスキューを低減することができます。アプリケーションごとに、特定のクロック-データ・アラインメントまたはデータ・レート-クロック・レート・ファクタが必要になる場合があります。トランスミッタは、717 MHz の最大周波数と同じレートでクロック信号を出力できます。出力クロックは、シリアライゼーション・ファクタによって、2、4、8、または 10 で分周することも可能です。データに対するクロックの位相は、 0° または 180° （エッジまたは中央揃え）に設定できます。fast PLL は、さらに 45° の増分でその他の位相シフトの追加サポートを提供します。これらの設定は、Quartus II MegaWizard[®] ソフトウェアでスタティックに行われます。図 9-3 に、クロック出力モードのトランスミッタを示します。

図 9-3. クロック出力モードのトランスミッタ



シリアライザは、DDR (×2) および SDR (×1) の動作をサポートするためにバイパスすることができます。I/O エLEMENT (IOE) には、それぞれが DDR または SDR モードで動作可能な 2 個のデータ出力レジスタがあります。IOE のレジスタのクロック・ソースは、任意の配線リソース、fast PLL、または enhanced PLL を使用することができます。図 9-4 にバイパス・パスを示します。

図 9-4. シリアライザ・バイパス



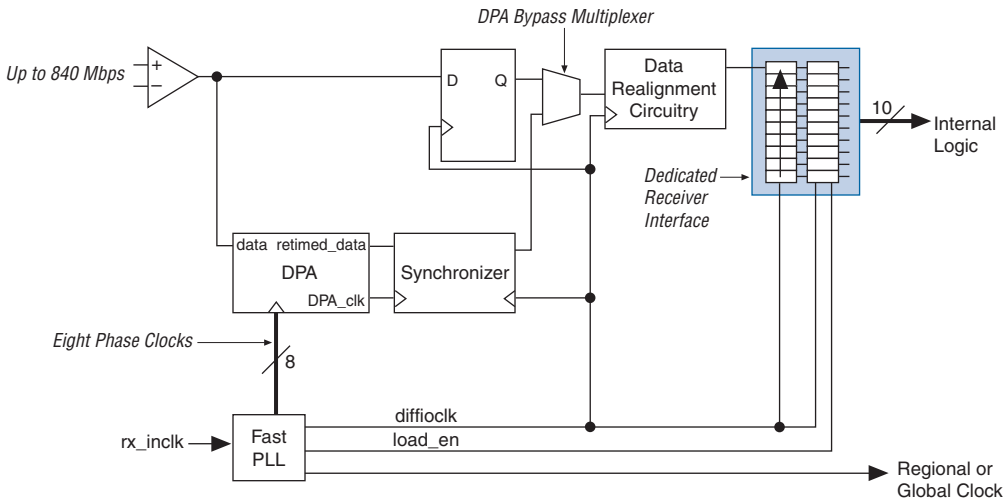
差動レシーバ

レシーバは、拡張データ受信と併せて、高速LVDSおよびHyperTransport信号方式をサポートする専用回路を内蔵しています。各レシーバは差動バッファ、ダイナミック・フェーズ・アライナ (DPA)、同期化 FIFO バッファ、データ・リアラインメント回路、デシリアライザ、および共有 fast PLL で構成されています。Quartus II ソフトウェアでスタティックに設定することで、差動バッファは LVDS または HyperTransport 信号レベルを受信します。DPA ブロックは着信データを 8 つのクロック位相のいずれかに揃えて、レシーバのスキュー・マージンを大きくします。DPA 回路は、必要ない場合はチャンネルごとにバイパスすることができます。Quartus II MegaWizard Plug-In Manager でスタティックに、またはオプションの `RX_DPLL_ENABLE` ポートを使用してダイナミックに DPA バイパスを設定します。

シンクロナイザ回路は、DPA ブロックとデシリアライザ間の位相差を補正する 1 ビット幅 × 6 ビット深度の FIFO バッファです。必要に応じて、データ・リアラインメント回路はシリアル・ビットストリームに 1 ビットのレイテンシを挿入しワード境界をアラインメントします。デシリアライザはシフト・レジスタとパラレル・ロード・レジスタを内蔵し、最大 10 ビットを内部ロジックに送信します。レシーバのデータ・パスは、`diffioclk` 信号または DPA 復元クロックによってクロックされます。デシリアライゼーション・ファクタは、Quartus II ソフトウェアを使用して、スタティックに 4、5、6、7、8、9、または 10 に設定できます。fast PLL は自動的にロード・イネーブル信号を生成しますが、この信号はデシリアライゼーション・ファクタ設定から派生します。

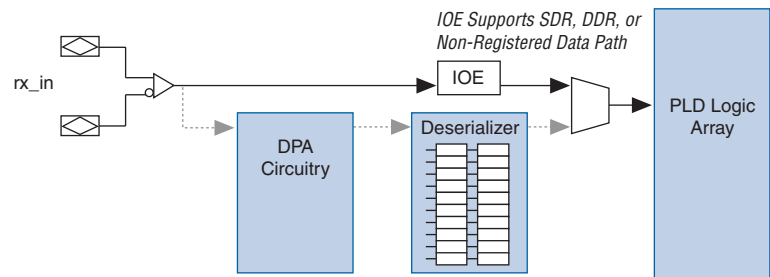
図 9-5 に、レシーバのブロック図を示します。

図 9-5. レシーバのブロック図



デシリアライザは、シリアライザと同様に、DDR (×2) および SDR (×1) の動作をサポートするためにバイパスすることができます。DPA およびデータ・リアラインメント回路は、デシリアライザがバイパスされている場合は使用できません。IOE は、DDR または SDR モードで動作可能な2個のデータ入力レジスタを内蔵しています。IOE のレジスタのクロック・ソースは、任意の配線リソース、fast PLL、または enhanced PLL を使用することができます。図 9-6 にバイパス・パスを示します。

図 9-6. デシリアライザ・バイパス



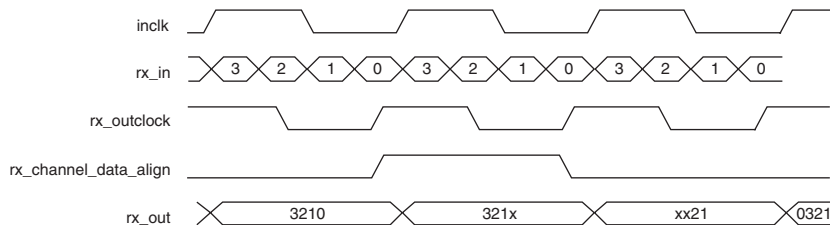
レシーバ・データ・リアラインメント回路

データ・リアラインメント回路は、ビット・レイテンシをシリアル・ストリームに挿入して、着信データのワード境界をアラインメントします。オプションの `RX_CHANNEL_DATA_ALIGN` ポートは、内部ロジックから個別に制御される各レシーバのビット挿入を制御します。データは `RX_CHANNEL_DATA_ALIGN` ポートのパルスごとに1ビット・スリップします。`RX_CHANNEL_DATA_ALIGN` ポートの要件を以下に示します。

- 最小パルス幅は、ロジック・アレイの平行ル・クロックの1周期です。
- パルス間の最小 Low 時間は、平行ル・クロックの1周期です。
- 最大 High または Low 時間はありません。
- 有効なデータは、`RX_CHANNEL_DATA_ALIGN` の立ち上がりエッジから2平行ル・クロック・サイクル後に利用可能になります。

図 9-7 に、デシリアライゼーション・ファクタを4に設定した状態での、1ビット・スリップ・パルス後のレシーバ出力 (`RX_OUT`) を示します。

図 9-7. データ・リアラインメント・タイミング

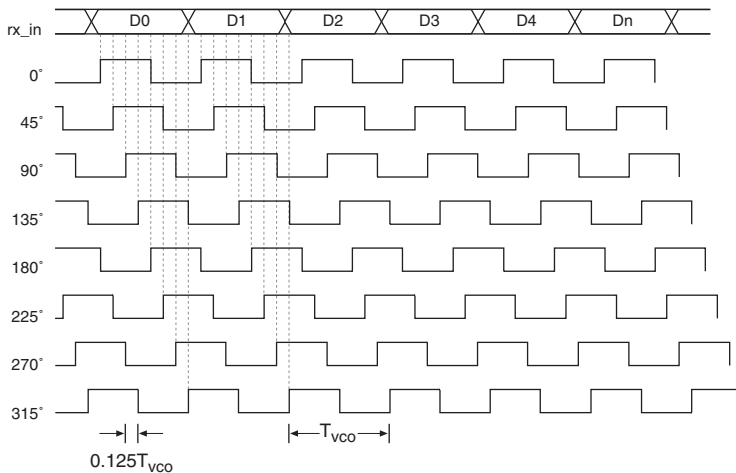


データ・リアラインメント回路は、ロールオーバーが発生する前に最大 11 ビット時間を挿入することができます。プログラマブル・ビットのロールオーバー・ポイントは、デシリアライゼーション・ファクタに関係なく、1～11 ビット時間にすることができます。プリセット・ロールオーバー・ポイントに達したことを示すために、各チャネルから FPGA にオプションのステータス・ポート `RX_CDA_MAX` が提供されます。

ダイナミック・フェーズ・アライナ

DPA ブロックは差動入力バッファから高速シリアル・データを取り込み、8つの位相クロックの1つを選択して、データをサンプリングします。DPAはシリアル・データの位相に最も近い位相を選択します。データと位相調整済みクロックの間の最大位相オフセットは1/8 UIであり、これはDPAの最大量子化誤差です。8つの位相は均等に分割され、分解能は45°となります。図9-8に、DPAクロックと着信シリアル・データ間の可能な位相関係を示します。

図9-8. DPA クロック位相とデータ・ビットの関係



各DPAブロックは着信データ・ストリームの位相を継続的にモニタし、必要に応じて、新しいクロック位相を選択します。新しいクロック位相の選択は、RX_DEPLL_HOLD オプションのポートにより回避することができます。このオプションは各チャンネルに提供されます。

DPA ブロックは、トレーニング・パターンおよびトレーニング・パターンの 256 回以上のトレーニング・シーケンスを必要とします。トレーニング・パターンは固定されていないため、ユーザーは少なくとも 1 回の遷移がある任意のトレーニング・パターンを使用することができます。オプションの出力ポート `RX_DPA_LOCKED` が内部ロジックに提供されており、DPA ブロックが着信データ位相に最も近い位相に安定したことを示します。新しい位相が選択されたかまたは DPA が同じ方向に 2 位相移動したとき、Quartus II MegaWizard Plug-In での選択に応じて、`RX_DPA_LOCKED` がデイスアートされます。`RX_DPA_LOCKED` がデイスアートされたときでも、データが有効な場合があります。`RX_DPA_LOCKED` がデイスアートされたとき、データ・チェッカを使用してデータの正当性を確認します。

DPA 回路をリセットするために、独立したリセット・ポート `RX_RESET` を使用できます。DPA 回路はリセット後に再トレーニングする必要があります。

シンクロナイザ

シンクロナイザは、DPA 回路の復元クロックとレシーバ内のその他の部分をクロックする `diffioclk` 間の位相差を補正する、1 ビット × 6 ビットの深度の FIFO バッファです。シンクロナイザは位相差を補正するのみで、データとレシーバの `INCLK` 間の周波数差は補正できません。オプションのポート `RX_FIFO_RESET` は内部ロジックで使用でき、シンクロナイザをリセットします。シンクロナイザは、DPA が受信データを最初にロックすると自動的にリセットします。アルテラは、DPA が初期ロック状態から外れてロック状態を喪失したときに `RX_FIFO_RESET` を使用してシンクロナイザをリセットすることを推奨しています。

差動 I/O 終端

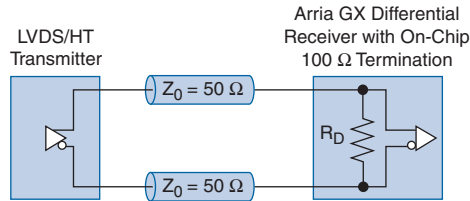
Arria GX デバイスは、LVDS および HyperTransport 規格用の各差動レシーバ・チャネルのオンチップ 100Ω 差動終端オプションを提供します。On-Chip Termination (OCT: チップ内終端) により、外部終端抵抗を用意する必要がないため、ボード・デザインが簡素化され、バッファと終端抵抗間のスタブに起因する反射が低減されます。Quartus II アサインメント・エディタで、On-Chip Termination をイネーブルできます。サポートされている差動データ・レートの全範囲で差動 On-Chip Termination がサポートされています。



差動 On-Chip Termination について詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「[DC およびスイッチング特性](#)」の章を参照してください。

図 9-9 に、On-Chip Termination を示します。

図 9-9. 差動 On-Chip Termination



差動 On-Chip Termination は、すべてのロウ I/O ピンおよびクロック・ピン CLK[0, 2, 8, 10] でサポートされています。クロック・ピン CLK[1, 3, 9, 11]、FPLL[7..10]CLK、トップおよびボトム I/O バンク (CLK[4..7, 12..15]) のクロックは、差動 On-Chip Termination をサポートしていません。

fast PLL

高速差動 I/O レシーバおよびトランスミッタ・チャンネルは、fast PLL を使用して、パラレル・グローバル・クロック (rx- または tx- クロック) および高速クロック (diffioclk) を生成します。図 9-10 に fast PLL の位置を示します。fast PLL VCO はデータ・レートのクロック周波数で動作します。各 fast PLL は、シングル・シリアル・データ・レートをサポートしますが、使用できるのは (C0 および C1 fast PLL クロック出力からの) 2 つの独立したシリアライゼーション・ファクタとデシリアライゼーション・ファクタです。高速差動 I/O サポート・モードでは、クロック・スイッチオーバーとダイナミック fast PLL リコンフィギュレーションが使用できます。



fast PLL について詳しくは、「Arria GX ハンドブック Volume 2」の「Arria GX デバイスの PLL」の章を参照してください。

図 9-10 に、高速差動 I/O サポート・モードの fast PLL のブロック図を示します。

図 9-10. fast PLL ブロック図

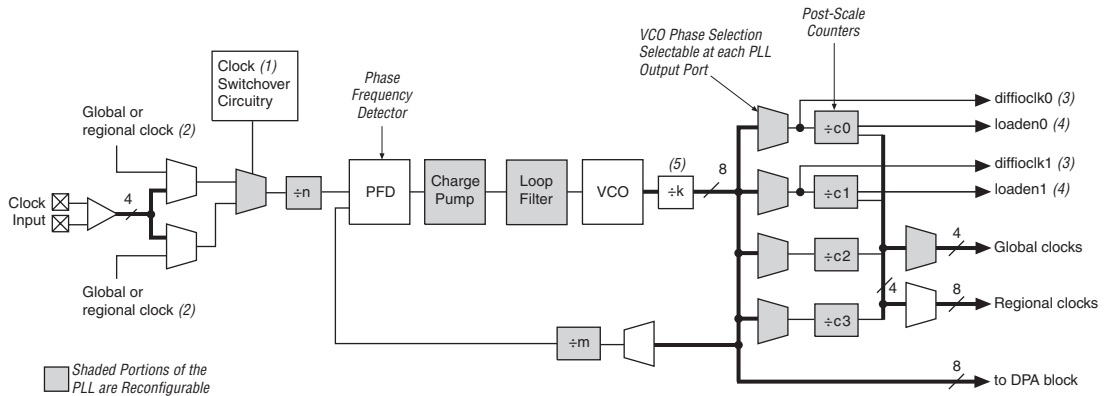


図 9-10 の注：

- (1) Arria GX の fast PLL は、マニュアル・クロック・スイッチオーバーのみサポートします。
- (2) グローバルまたはリージョナル・クロック入力は、別の PLL からの出力、ピンでドライブされる専用グローバルまたはリージョナル・クロックによってドライブできます。あるいは、別の PLL からの出力またはピンでドライブされる専用のグローバルもしくはリージョナル・クロックからクロック・コントロール・ブロックにクロックが供給される場合には、クロック・コントロール・ブロックを通してドライブできます。
- (3) 高速差動 I/O サポート・モードでは、SERDES にこの高速 PLL クロックが供給されます。Arria GX デバイスは、高速差動 I/O サポート・モードでは、fast PLL あたり 1 つのデータ転送レートのみサポートします。
- (4) この信号は、高速差動 I/O サポート SERDES コントロール信号です。
- (5) デザインが $\div 2$ カウンタをイネーブルする場合、デバイスは 150 ~ 520 MHz の VCO 周波数範囲を使用できます。

クロック

fast PLL は LVDS/DPA クロック・ネットワークを通して、差動レシーバおよびトランスミッタ・チャネルに供給されます。センター fast PLL は、それらの上のバンクまたは下のバンクに個別に供給できます。コーナー PLL は、それらに隣接するバンクにのみ供給できます。

図 9-11 および図 9-12 に、Arria GX の fast PLL および LVDS/DPA クロックを示します。

図 9-11. EP1AGX20C、EP1AGX35C/D、EP1AGX50C/D、および EP1AGX60C/D デバイスの Fast PLL および LVDS/DPA クロック

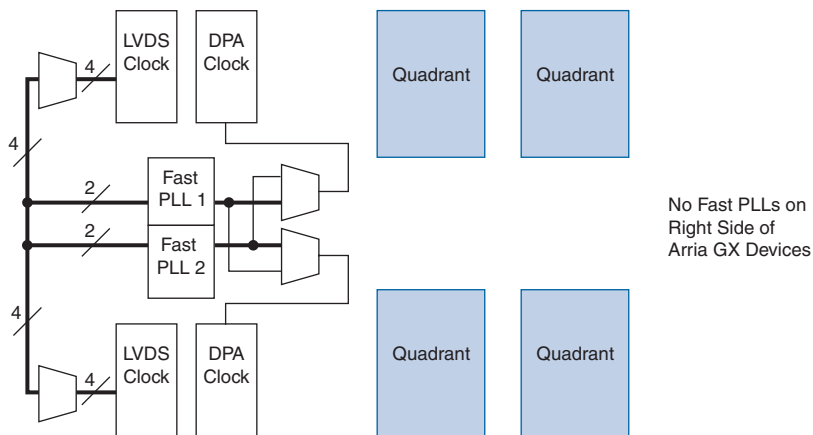
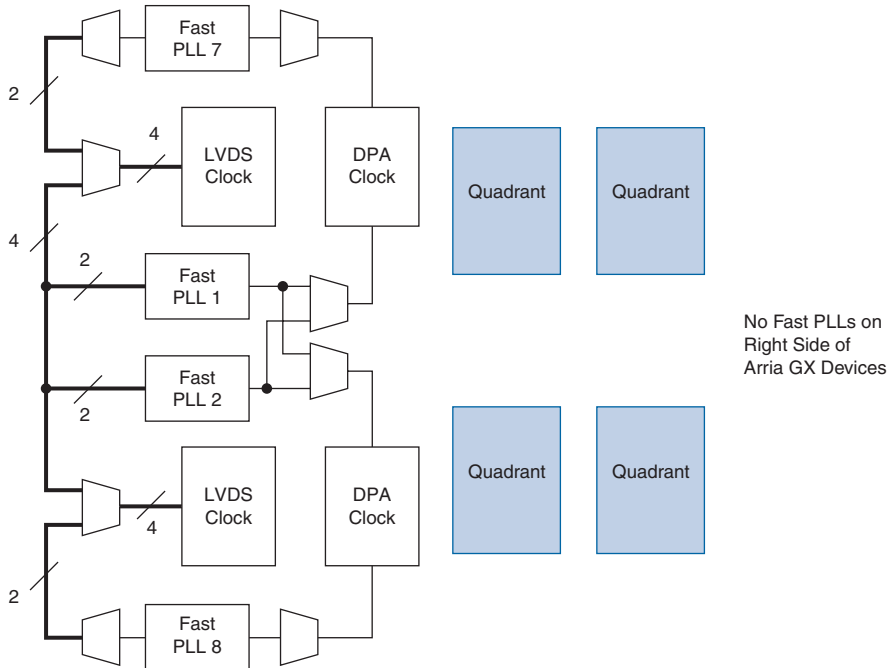


図 9-12. EP1AGX60E および EP1AGX90E デバイスの fast PLL および LVDS/DPA クロック



ソース同期タイミング制限

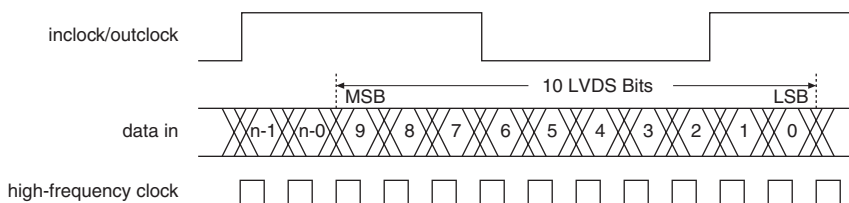
この項では、Arria GX デバイスでのソース同期信号方式のタイミング制約、波形、および仕様について説明します。LVDS および HyperTransport I/O 規格は高速データ送信を可能にします。この高速のデータ送信レートは、システム全体の性能向上をもたらします。高速システム性能を活用するには、これらの高速信号のタイミング解析方法を理解することが重要です。差動ブロックのタイミング解析は、従来の同期タイミング解析とは異なります。

ソース同期タイミング解析は、クロック-出力時間およびセットアップ時間間的を絞るのではなく、データとクロック信号間のスキューに基づいています。高速差動データ伝送には IC ベンダが提供するタイミング・パラメータを使用する必要があり、またボード・スキュー、ケーブル・スキュー、およびクロック・ジッタに強い影響を受けます。この項では、ソース同期差動データ方向タイミング・パラメータ、Arria GX デバイスのタイミング制約の定義、およびこれらのタイミング・パラメータによるデザインの最大性能の決定方法を定義します。

差動データ方向

外部クロックと受信データの間には一定の関係があります。840 Mbps および SERDES 係数 10 の動作では、外部クロックを 10 通倍し、またフェーズ・アラインメントを PLL で各データ・ビットのサンプリング・ウィンドウと一致するよう設定できます。データは通倍されたクロックの立ち下がりエッジでサンプリングされます。図 9-13 に、x10 モードのデータ・ビット方向を示します。

図 9-13. Quartus II ソフトウェアにおけるビット方向



差動 I/O のビット位置

高周波でのデータ伝送を成功させるにはデータの同期化が必要です。図 9-14 に、チャンネル動作のデータ・ビット方向を示します。これらの図は以下をベースとしています。

- SERDES 係数はクロック通倍係数と同等
- エッジ・アラインメントはフェーズ・アラインメントに選択
- ハード SERDES に実装

その他のシリアル変換係数は、Quartus II ソフトウェア・ツールを使用してワード内のビット位置を検索します。デシリアライゼーション後のビット位置は、表 9-2 に表記されています。

図 9-14 は機能波形を示します。タイミング波形は、異なった結果を生じることがあります。アルテラは、実際のデバイス動作を予測するために タイミング・シミュレーションを行うことを推奨しています。

図 9-14. 差動データの 1 個のチャンネルのビット・オーダー

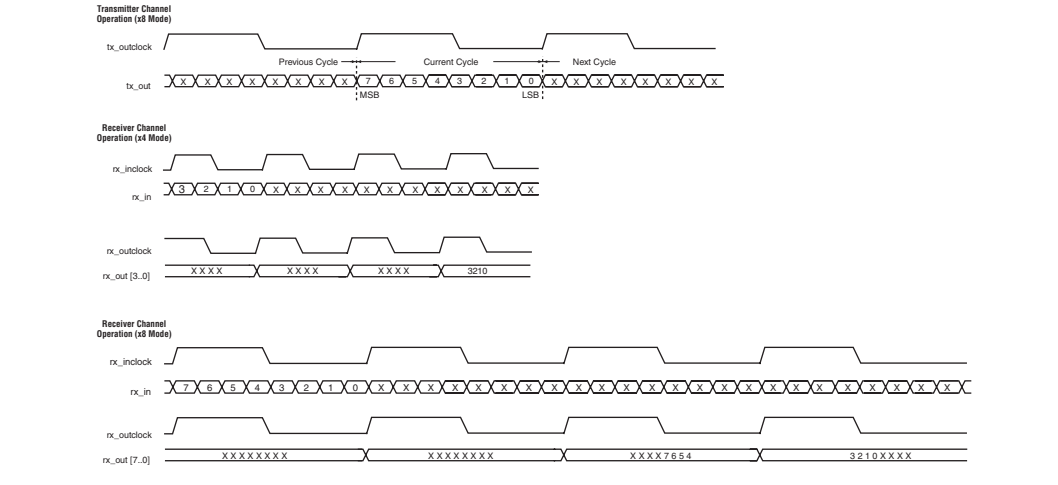


表 9-2 に、18 個の差動チャンネルの差動ビットの命名規則を示します。最上位ビット (MSB) および最下位ビット (LSB) の位置は、システムで使用されるチャンネル数が増えると増加します。

レシーバ・チャンネル・データ番号	内部 8 ビット・パラレル・データ	
	最上位ビット (MSB) の位置	最下位ビット (LSB) の位置
1	7	0
2	15	8
3	23	16
4	31	24
5	39	32
6	47	40
7	55	48

表 9-2. LVDS ビットの命名 (2 / 2)

レシーバ・チャネル・ データ番号	内部 8 ビット・パラレル・データ	
	最上位ビット (MSB) の位置	最下位ビット (LSB) の位置
8	63	56
9	71	64
10	79	72
11	87	80
12	95	88
13	103	96
14	111	104
15	119	112
16	127	120
17	135	128
18	143	136

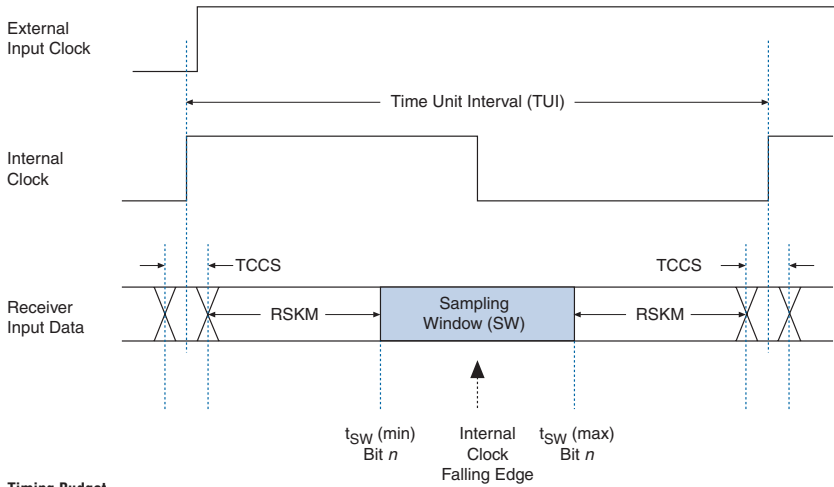
DPA 以外の回路のレシーバ・スキュー・マージン

温度、媒体（ケーブル、コネクタ、または PCB）、装荷、レシーバのセットアップおよびホールド時間、内部スキューなどのシステム環境における変化により、レシーバのサンプリング・ウィンドウが減少します。レシーバのクロック入力およびデータ入力サンプリング・ウィンドウ間のタイミング・マージンは、レシーバ・スキュー・マージン (RSKM) と呼ばれます。図 9-15 に、RSKM とレシーバのサンプリング・ウィンドウの関係を示します。

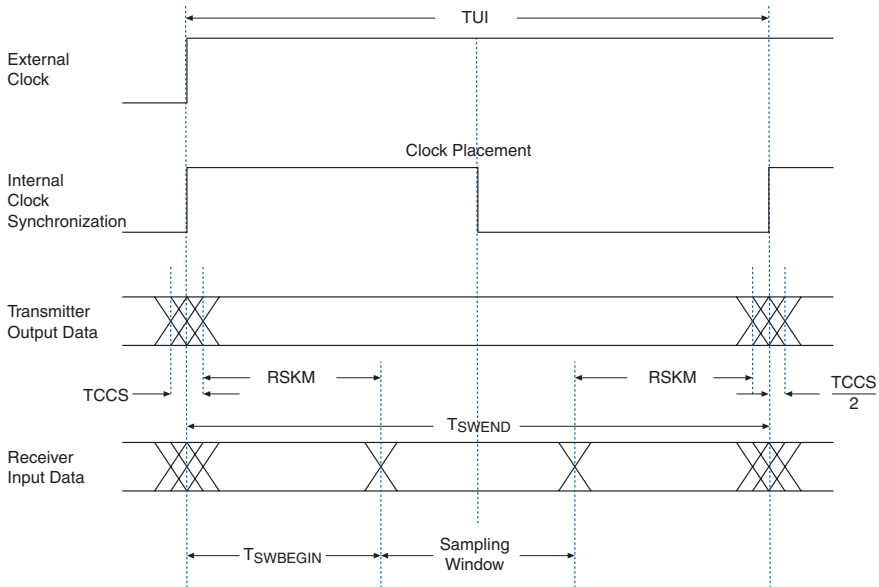
TCCS、RSKM、およびサンプリング・ウィンドウ仕様は、DPA のない高速ソース同期差動信号に使用されます。DPA を使用する場合、これらの仕様はより簡単なシングル DPA ジッタ許容仕様と交換されます。例えば、DPA 付き各入力で異なる位相のクロックを選択する理由がレシーバ・スキューの場合、このマージンの要件は排除されます。

図 9-15. DPA がない場合の差動高速タイミング図およびタイミングの制約

Timing Diagram



Timing Budget



差動ピン配置 ガイドライン

適切な高速動作を確実に実行させるために、差動ピン配置ガイドラインが提供されています。Quartus II コンパイラは、これらのガイドラインに準拠しているかどうか自動的にチェックし、準拠していない場合はエラー・メッセージを表示します。PLL ドライブ距離情報は、DPA を使用する場合としない場合のガイドラインに分かれています。

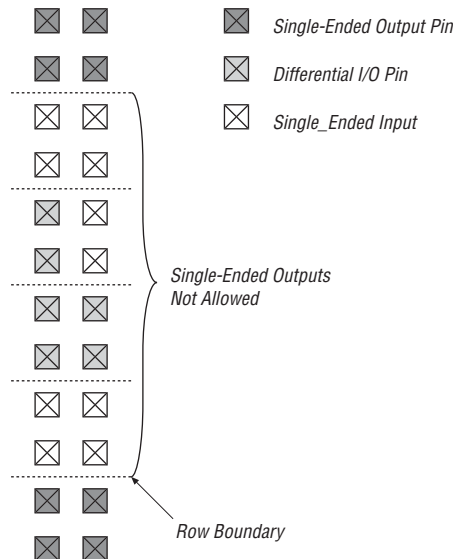
高速差動 I/O およびシングル・エンド I/O

差動チャンネルまたはサイド・バンクのチャンネルが (DPA を使用してまたは使用しないで) 使用されている場合、以下の項のガイドラインに準拠する必要があります。

- シングル・エンド I/O 規格が LVDS バンクと同じ V_{CCIO} を使用している限り、LVDS チャンネル (DPA 付きまたはなし) と同じバンクにシングル・エンド I/O を配置できます。
- シングル・エンド入力は、同じロジック・アレイ・ブロック (LAB) ロウに配置することができます。出力は LVDS I/O と同じ LAB ロウに配置することはできません。入力レジスタが I/O セル (IOC) で使用されている場合、シングル・エンド入力を LVDS SERDES ブロックと同じ LAB ロウに配置することはできません。
- LVDS (非 SERDES) の I/O は LVDS SERDES と同じロウに配置できますが、IOC レジスタを使用することはできません。
- シングル・エンド出力は、LVDS バンク (DPA 付きまたはなし) では、120 mA のドライブ強度に制限されています。
 - LVDS バンクにおける最大 I/O 数に対する LVTTTL の式は以下のとおりです。
 - $120 \text{ mA} = (\text{LVTTTL 出力数}) \times (\text{各 LVTTTL 出力のドライブ強度})$
 - SSTL-2 の式:
 - $120 \text{ mA} = (\text{SSTL-2 I/O 数}) \times (\text{各出力のドライブ強度}) \div 2$
 - LVTTTL および SSTL-2 混在時の式:
 - $120 \text{ mA} = (\text{すべての LVTTTL 出力の合計ドライブ強度}) + (\text{すべての SSTL2 出力の合計ドライブ強度}) \div 2$

- シングル・エンド入力は、SERDES 回路を使用する差動チャンネルと同じロウに配置できますが、IOE 入力レジスタは差動 I/O と同じ LAB に配置されたシングル・エンド I/O に使用することはできません。SERDES 差動チャンネルと同じ LAB ロウ内に配置された SERDES 以外の差動入力にも、入力レジスタに対するルールと同じルールが適用されます。入力レジスタはコア・ロジック内に実装する必要があります。SERDES 差動チャンネルと同じ LAB ロウ内に配置された SERDES 以外の差動入力にも、入力レジスタに対するルールと同じルールが適用されます。
- 図 9-16 に示すように、シングル・エンド出力ピンは差動出力ピンから少なくとも 1 つの LAB ロウだけ離れている必要があります。

図 9-16. 差動 I/O ピンを基準にしたシングル・エンド出力ピンの配置



DPA を使用する場合のガイドライン

Arria GX デバイスは、デバイスのロウ・バンクに差動レシーバおよびトランスミッタを搭載しています。各レシーバは、クロックの位相に関連するチャンネルのデータ位相にアラインメントするための専用 DPA 回路を備えています。チャンネル（1 個または複数）が DPA モードで使用されている場合、以下のガイドラインに準拠する必要があります。

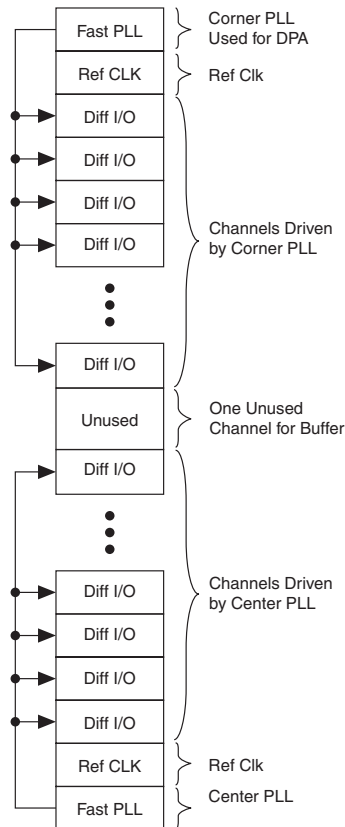
fast PLL/DPA チャンネルのドライブ距離

- 各センターまたはコーナーfast PLLでドライブされる DPA チャンネルの数が 25 LAB ロウを超える場合、アルテラはすべての DPA チャンネルのためのデータ・リアライメント（ビット・スリップ）回路を実装することを推奨します。
- センターfast PLLの1つが、その上および下のバンクでDPAチャンネルをドライブする場合、他のセンター fast PLL は DPA に使用できません。

コーナーおよびセンター fast PLL の使用

- コーナーPLLが1つのグループを、センターfast PLLが別のグループをドライブするというように、差動バンクが2個のfast PLLでドライブされている場合、少なくとも1つのロウで2つのDPAチャンネル・グループを分割する必要がありますが、2つのDPAチャンネル・グループは別々の周波数で動作できます（図 9-17 参照）。この2つのグループは別々の周波数で動作できます。すべてのチャンネルがダイにボンディングされているわけではありません。I/O サポートの有無に関わらず、各 LAB ロウはチャンネルと見なされます。
- 1個のfast PLLがDPAチャンネルおよびDPA以外のチャンネルをドライブしている場合でも、DPAチャンネルが連続している限り分離させる必要はありません。

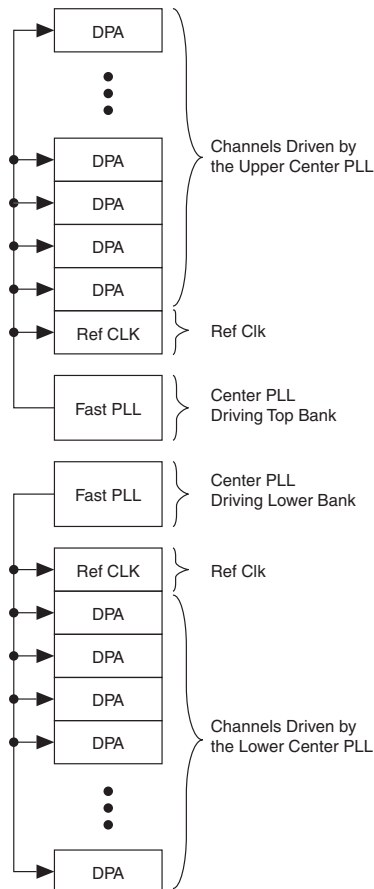
図 9-17. シングル・バンクの DPA チャンネルをドライブするコーナーおよびセンター PLL の使用



両方のセンター fast PLL の使用

- 両方のセンター fast PLL が隣接するエリアでのみ DPA チャンネルをドライブする場合、それらを DPA に使用することができます (図 9-18 参照)。
- fast PLL の 1 つがトップ・バンクとボトム・バンクをドライブする場合、またはセンター fast PLL がバンクをクロスしてドライブしている (例えば、下側の fast PLL がトップ・バンクをドライブし、トップ fast PLL が下側のバンクをドライブする) 場合、両方のセンター fast PLL を DPA に使用することはできません。

図 9-18.DPA チャンネルをドライブするときのセンター fast PLL の使用



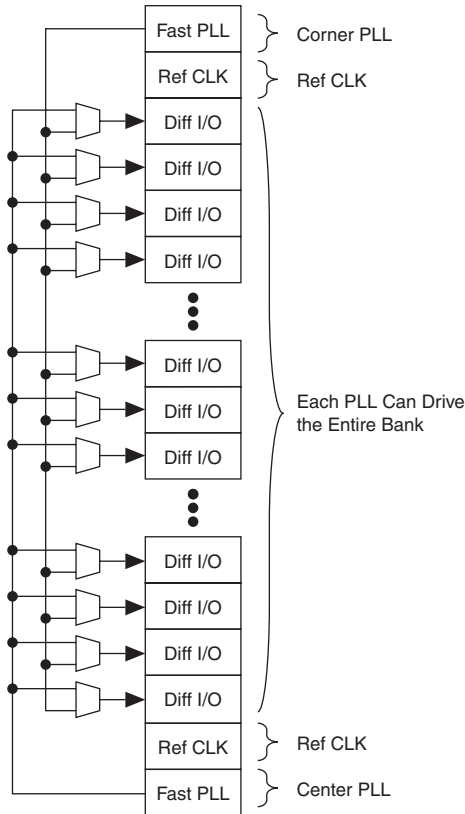
DPA なし差動 I/O の使用についてのガイドライン

差動チャンネル、あるいは左バンクまたは右バンクのチャンネルが DPA なしのモードで使用されている場合、以下の項のガイドラインに準拠する必要があります。

fast PLL/ 差動 I/O ドライブ距離

- 図 9-19 に示すように、各 fast PLL はバンク全体のすべてのチャンネルをドライブすることができます。

図 9-19. DPA なしの差動チャンネルをドライブするときの fast PLL ドライブ能力

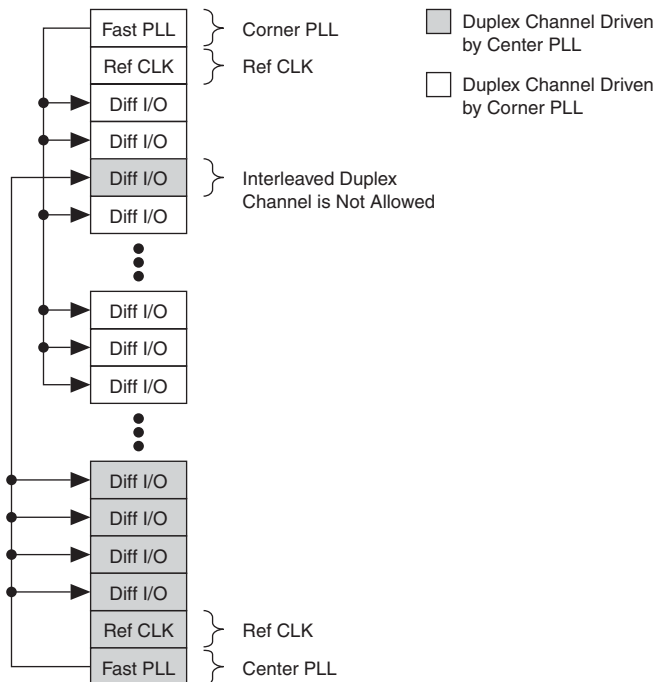


コーナーおよびセンター fast PLL の使用

- 独立した fast PLL でドライブされるチャンネルがトランスミッタ・チャンネルまたはレシーバ・チャンネルをインタリーブしない限り、コーナーおよびセンター fast PLL を使用することができます。図 9-20 に、コーナーおよびセンター fast PLL を使用するときの差動チャンネルの違法な配置を示します。
- 1 個の fast PLL がトランスミッタ・チャンネルのみドライブし、もう 1 個の fast PLL がレシーバ・チャンネルのみドライブしている場合、これらの fast PLL でドライブされるチャンネルは互いにオーバーラップさせることができます。

- センター fast PLL は、トランスミッタ・チャンネルとレシーバ・チャンネルの両方に使用できます。

図 9-20. I/O バンクでインタレースされた二重チャンネルの違法な配置



ボード・デザインの検討事項

この項では、Arria GX の高速 I/O インタフェースから最適な性能を引き出し、最適な信号品質を実現した機能デザインの実装を初回で確実に成功する方法について説明します。



ボード・レイアウトの推奨事項、および I/O ピンの終端について詳しくは、「AN 224: 高速ボード・レイアウト・ガイドライン」を参照してください。

デバイスから最高の性能を引き出すには、配線パターンおよびコネクタのインピーダンス、差動配線、および終端手法に注意する必要があります。

Arrira GX 高速モジュールは、840 Mbps もの高い周波数で媒体を伝達する信号を生成します。ボード設計者は、以下のガイドラインを使用する必要があります。

- 制御された差動インピーダンスに基づいてボード・デザインを行う。配線パターン幅、厚さ、および2つの差動配線パターン間の距離など、すべてのパラメータを計算して比較します。
- 外部リファレンス抵抗をできるだけレシーバ入力ピンの近くに配置します。
- 表面実装コンポーネントを使用します。
- 90° または 45° のコーナーは避けます。
- バックプレーン・デザインに、HMZD や VHDM などの高性能コネクタを使用します。高性能コネクタのサプライヤとして、Teradyne Corp (www.teradyne.com) と Tyco International Ltd. (www.tyco.com) の2社があります。
- 配線パターンのインピーダンスがコネクタや終端のインピーダンスと一致するように、バックプレーンとカード・トレースを設計します。
- 両方の信号配線パターンのビア数を等しくします。
- 長さが等しい配線パターンを作成して、信号間のスキューを回避します。配線パターンの長さが異なると、トランスミッタ・チャネル・チャンネル間スキュー (TCCS) 値が増加したときにクロス・ポイントの配置やシステム・マージンが不正になります。
- インピーダンスが中断する原因となるため、ビア数を制限します。
- fast PLL のパワー・プレーンとグランド・プレーンは、0.001、0.01、0.1 μF といった一般的なバイパス・コンデンサ容量でデカップルします。また、0.0047 μF や 0.047 μF を使用することもできます。
- ノイズの結合を避けるために、スイッチングする TTL 信号は差動信号から遠ざけてください。
- トランジスタ-トランジスタ・ロジック (TTL) クロック信号は、差動信号の上下の領域に配線してはなりません。
- 隣接するレイヤの信号は互いに直角に配線します。

まとめ

DPA およびデータ・リアライメント回路を備えた Arria GX 高速差動入出力を使用して、堅牢なマルチ・ギガビット・システムを構築することができます。DPA 回路により、物理的配置から生じるタイミング・スキューを補正できます。データ・リアライメント回路により、デバイスはトランスミッタとレシーバ間でデータ・パケットをアラインメントすることができます。また、差動 On-Chip Termination により、Arria GX デバイスは高速アプリケーション用のシングル・チップ・ソリューションとして使用できます。

参考資料

この章では以下のドキュメントを参照しています。

- 「AN 224: 高速ボード・レイアウト・ガイドライン」
- 「DC およびスイッチング特性」の章 (Arria GX デバイス・ハンドブック Volume 1)
- 「Arria GX デバイスの PLL」の章 (Arria GX デバイス・ハンドブック Volume 2)

改訂履歴

表 9-3 に、本資料の改訂履歴を示します。

日付およびドキュメント・バージョン	変更内容	概要
2008 年 5 月 v1.2	更新: ● 「DPA を使用する場合のガイドライン」 ● 「fast PLL/DPA チャネルのドライブ距離」	—
	図 9-15 を更新。	—
	テキストのマイナーな編集。	—
2007 年 8 月 v1.1	「参考資料」の項を追加。	—
	テキストのマイナーな編集。	—
2007 年 5 月 v1.0	初版	—