

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX52008-1.2

### はじめに

この章では、Arria™GX デバイスに以下の業界標準 I/O 規格を使用するためのガイドラインを提供します。

- I/O 機能
- I/O 規格
- 外部メモリ・インタフェース
- I/O バンク
- デザインの考慮点

この章は、以下の項で構成されています。

- 8-1 ページの「Arria GX の I/O 機能」
- 8-2 ページの「Arria GX の I/O 規格のサポート」
- 8-20 ページの「Arria GX 外部メモリ・インタフェース」
- 8-20 ページの「Arria GX の I/O バンク」
- 8-27 ページの「On-Chip Termination」
- 8-30 ページの「デザインの検討事項」
- 8-40 ページの「まとめ」

### Arria GX の I/O 機能

Arria GX デバイスは、アダプティブ・ロジック・モジュール (ALM)、エンベデッド・メモリ、高帯域幅デジタル信号処理 (DSP) ブロック、多数の配線リソースといった豊富な機能を備えており、すべてが非常に高いコア速度で動作します。

Arria GX デバイスの I/O 構造は、これらの内部機能が完全に利用されるように設計されています。デバイス間的高速データ転送を補助する I/O 機能が、以下を含めて多数あります。

- シングル・エンド、非電圧リファレンス、電圧リファレンス形式の I/O 規格
- シリアライザ / デシリアライザ (SERDES) を備えた高速差動 I/O 規格、ダイナミック・フェーズ・アライメント (DPA)、840 Mbps の性能を持つ低電圧差動信号 (LVDS)、HyperTransport テクノロジー、高速トランシーバ・ロジック (HSTL)、Stub-Series Terminated Logic (SSTL)、LVPECL。



HSTL、SSTL、および LVPECL I/O 規格は、差動モードでは PLL クロック入力および出力にのみ使用されます。

- DDR (Double Data Rate) I/O ピン
- 電圧リファレンスおよび非電圧リファレンス形式のシングル・エンド I/O 規格に対するプログラマブルな出力ドライブ能力
- プログラマブル・バス・ホールド
- プログラマブル・プルアップ抵抗
- オープン・ドレイン出力
- 直列 On-Chip Termination (チップ内終端)
- 差動 On-Chip Termination
- PCI (Peripheral Component Interconnect) クランピング・ダイオード
- ホット・ソケット (活線挿抜)



各 I/O 機能について詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX のアーキテクチャ」の章を参照してください。

## Arria GX の I/O 規格の サポート

Arria GX デバイスは、I/O 規格を幅広くサポートしています。表 8-1 に、Arria GX デバイスでサポートされる I/O 規格と一般的なアプリケーションを示します。

表 8-1. Arria GX が対応する I/O 規格とそのアプリケーション (1/2)

I/O 規格	アプリケーション
LVTTTL	汎用
LVC MOS	汎用
2.5 V	汎用
1.8 V	汎用
1.5 V	汎用
3.3-V PCI	PC およびエンベデッド・システム
3.3-V PCI-X	PC およびエンベデッド・システム
SSTL-2 Class I	DDR SDRAM
SSTL-2 Class II	DDR SDRAM
SSTL-18 Class I	DDR2 SDRAM
SSTL-18 Class II	DDR2 SDRAM
1.8-V HSTL Class I	SRAM インタフェース
1.8-V HSTL Class II	SRAM インタフェース
1.5-V HSTL Class I	SRAM インタフェース
1.5-V HSTL Class II	SRAM インタフェース

表 8-1. Arria GX が対応する I/O 規格とそのアプリケーション (2/2)

I/O 規格	アプリケーション
1.2-V HSTL	汎用
差動 SSTL-2 Class I	DDR SDRAM
差動 SSTL-2 Class II	DDR SDRAM
差動 SSTL-18 Class I	DDR2 SDRAM
差動 SSTL-18 Class II	DDR2 SDRAM
1.8-V 差動 HSTL Class I	クロック・インタフェース
1.8-V 差動 HSTL Class II	クロック・インタフェース
1.5-V 差動 HSTL Class I	クロック・インタフェース
1.5-V 差動 HSTL Class II	クロック・インタフェース
LVDS	高速通信
HyperTransport テクノロジ	PCB インタフェース
差動 LVPECL	ビデオ・グラフィックおよびクロック分配

## シングル・エンド I/O 規格

非電圧リファレンス形式のシングル・エンド I/O 規格では、入力の電圧は「オン」と見なされる (High またはロジック値 1) 設定電圧を上回るか、「オフ」と見なされる (Low またはロジック値 0) 別の電圧を下回る必要があります。上限と下限の間の電圧は論理的には未定義ですが、ロジック値 0 または 1 のいずれかになる場合があります。Arria GX デバイスでサポートされる非電圧リファレンス形式のシングル・エンド I/O 規格は、以下のとおりです。

- LVTTTL (Low-Voltage Transistor-Transistor Logic)
- LVCMOS (Low-Voltage Complementary Metal-Oxide Semiconductor)
- 1.5 V
- 1.8 V
- 2.5 V
- 3.3-V PCI
- 3.3-V PCI-X

電圧リファレンス形式のシングル・エンド I/O 規格は、より高速なデータ・レートを提供します。これらの規格では、入力レベルで一定のリファレンス電圧が使用されます。入力信号がこの一定電圧と比較され、両者の差で「オン」状態と「オフ」状態が定義されます。



Arria GX デバイスは、SSTL および HSTL 電圧リファレンス形式の I/O 規格をサポートします。

## LVTTTL

LVTTTL 規格は、EIA/JEDEC 規格 JESD8-B (Revision JESD8-A): Interface Standard for Nominal 3-V/3.3-V Supply Digital Integrated Circuits に基づいて策定されています。

LVTTTL 規格は、3.0 V または 3.3 V で動作し、LVTTTL 準拠デバイスをドライブするか、または LVTTTL 準拠デバイスからドライブされるデジタル回路の DC インタフェース・パラメータを定義します。3.3-V LVTTTL 規格は、3.3 V アプリケーションで使用される汎用のシングル・エンド規格です。この I/O 規格は、入力リファレンス電圧 ( $V_{REF}$ ) も終端電圧 ( $V_{TT}$ ) も必要としません。



Arria GX デバイスは、入力および出力レベルの両方で 3.3 V LVTTTL 動作をサポートします。

Arria GX デバイスは、EIA/JEDEC 規格によって電源に対する狭い範囲として規定されている、3.3 V  $\pm$ 5% の  $V_{CCIO}$  電圧レベルをサポートしています。

## LVC MOS

LVC MOS 規格は、EIA/JEDEC 規格 JESD8-B (Revision JESD8-A): Interface Standard for Nominal 3-V/3.3-V Supply Digital Integrated Circuits に基づいて策定されています。

LVC MOS 規格は、3.0 V または 3.3 V 電源で動作し、LVC MOS 準拠デバイスをドライブするか、または LVC MOS 準拠デバイスからドライブされるデジタル回路の DC インタフェース・パラメータを定義しています。3.3-V LVC MOS I/O 規格は、3.3 V アプリケーションで使用される汎用のシングル・エンド規格です。LVC MOS は独自の出力仕様を定義していますが、LVTTTL と同じ入力電圧要件を規定しています。これらの I/O 規格は、 $V_{REF}$  も  $V_{TT}$  も必要としません。



Arria GX デバイスは、入力および出力レベルの両方で 3.3-V LVC MOS 動作をサポートします。

Arria GX デバイスは、EIA/JEDEC 規格によって電源に対する狭い範囲として規定されている、3.3 V  $\pm$ 5% の  $V_{CCIO}$  電圧レベルをサポートしています。

## 1.5 V

1.5-V I/O 規格は、EIA/JEDEC 規格、JEDS8-11: 1.5 V  $\pm$ 0.1 V (ノーマル・レンジ) および 0.9 V–1.6 V (ワイド・レンジ) 電源電圧、および非終端デジタル集積回路のためのインタフェース規格に基づいて策定されています。

この規格は、他の 1.5 V デバイスをドライブするまたはドライブされる高速、低電圧、非終端デジタル回路に対する、DC インタフェース・パラメータを定義します。この規格は 1.5 V アプリケーションに使用される汎用シングル・エンド規格です。V<sub>REF</sub> または V<sub>TT</sub> の使用は要求されません。



Arria GX デバイスは、EIA/JEDEC 規格のノーマル・レンジの定義よりも狭い 1.8 V  $\pm$ 5% の V<sub>CCIO</sub> 電圧レベル・サポートで、1.5 V 動作の入力レベルと出力レベルをサポートします。

## 1.8 V

1.8-V I/O 規格は、EIA/JEDEC 規格、EIA/JEDS8-7: 1.8 V  $\pm$ 0.15 V (ノーマル・レンジ) および 1.2 V–1.95 V (ワイド・レンジ) 電源電圧、および非終端デジタル集積回路のためのインタフェース規格に基づいて策定されています。

この規格は、他の 1.8 V デバイスをドライブするまたはドライブされる高速、低電圧、非終端デジタル回路に対する、DC インタフェース・パラメータを定義します。この規格は 1.8 V アプリケーションに使用される汎用シングル・エンド規格です。V<sub>REF</sub> または V<sub>TT</sub> の使用は要求されません。



Arria GX デバイスは、EIA/JEDEC 規格のノーマル・レンジの定義よりも狭い 1.8 V  $\pm$ 5% の V<sub>CCIO</sub> 電圧レベル・サポートで、1.8 V 動作の入力レベルと出力レベルをサポートします。

## 2.5 V

2.5-V I/O 規格は、EIA/JEDEC 規格、EIA/JEDS8-5: 2.5 V  $\pm$  0.2 V (ノーマル・レンジ) および 1.8 V–2.7 V (ワイド・レンジ) 電源電圧、および非終端デジタル集積回路のためのインタフェース規格に基づいて策定されています。

この規格は、他の 2.5 V デバイスをドライブするまたはドライブされる高速、低電圧、非終端デジタル回路に対する、DC インタフェース・パラメータを定義します。この規格は 2.5 V アプリケーションに使用される汎用シングル・エンド規格です。V<sub>REF</sub> または V<sub>TT</sub> の使用は要求されません。



Arria GX デバイスは、EIA/JEDEC 規格のノーマル・レンジの定義よりも狭い 2.5 V ±5% の V<sub>CCIO</sub> 電圧レベル・サポートで、2.5 V 動作の入力レベルと出力レベルをサポートします。

### 3.3-V PCI

3.3-V PCI I/O 規格は、PCI SIG (Special Interest Group) が開発した PCI ローカル・バス仕様 Revision 2.2 に基づいて策定されています。

PCI ローカル・バス規格は、高集積ペリフェラル・コントローラ・コンポーネント、ペリフェラル・アドイン・ボード、およびプロセッサ / メモリ・システムの間のプロセッサから独立したデータ・バスを提供する PCI ローカル・バスにインタフェースするアプリケーションに使用します。従来の PCI Specification Revision 2.2 は、PCI デバイスおよび拡張ボードのプロトコル、電気、機械、コンフィギュレーション仕様を含む PCI ハードウェア環境を定義しています。この規格は、3.3 V の V<sub>CCIO</sub> を必要とします。Arria GX デバイスは、3.3-V PCI ローカル・バス仕様 Revision 2.2 に完全準拠しており、64 ビット / 33 MHz の動作周波数およびタイミング条件を満たします。




3.3-V PCI 規格は、入力リファレンス電圧またはボード終端を必要としません。Arria GX デバイスは、入力および出力レベル両方をサポートします。

### 3.3-V PCI-X

3.3-V PCI-X I/O 規格は、PCI SIG が開発した PCI-X ローカル・バス仕様 Revision 1.0a に基づいて策定されています。

PCI-X 1.0 規格は、PCI ローカル・バスにインタフェースするアプリケーションで使用します。この規格では、最大 133 MHz のクロック速度、または 64 ビット・バスでは 1 Gbps で動作するシステムやデバイスのデザインが可能です。PCI-X 1.0 プロトコルの拡張機能を使用すると、デバイスはさらに効率的に動作するため、どのクロック周波数でもより多くの有効帯域幅を提供できるようになります。PCI-X 1.0 規格を使用することにより、PCI-X 1.0 条件を満たし、システムに組み込んだときに従来の 33 MHz および 66 MHz PCI デバイスとして動作するデバイスを設計で

きます。この規格は、3.3 V の  $V_{CCIO}$  を必要とします。Arria GX は、3.3-V PCI-X 仕様 Revision 1.0a に完全準拠しており、133 MHz の動作周波数およびタイミング条件を満たします。3.3-V PCI-X 規格は、入力リファレンス電圧またはボード終端を必要としません。

 Arria GX デバイスは、入力および出力レベル動作両方をサポートします。

## SSTL-2 Class I および SSTL-2 Class II

2.5-V SSTL-2 規格は、JEDEC 規格の JESD8-A: Stub Series Terminated Logic for 2.5-V (SSTL\_2) に基づいて策定されています。

SSTL-2 I/O 規格は、高速 DDR SDRAM インタフェースなどのアプリケーションに使用される 2.5-V メモリ・バス規格です。この規格は、0.0 ~ 2.5 V の SSTL-2 ロジック・スイッチング範囲で動作するデバイスの入力および出力仕様を定義しています。この規格は、バスを大きなスタブから絶縁する必要がある条件下での動作を改善します。SSTL-2 では、1.25 V の  $V_{REF}$  および終端抵抗に接続された 1.25 V の  $V_{TT}$  が必要です (図 8-1 および 8-2 参照)。


 Arria GX デバイスは、入力および出力レベル動作両方をサポートします。

図 8-1. 2.5-V SSTL Class I 終端

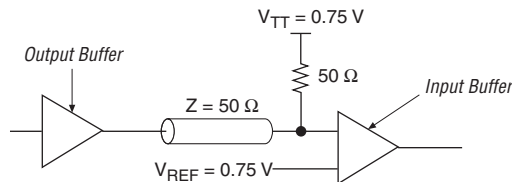
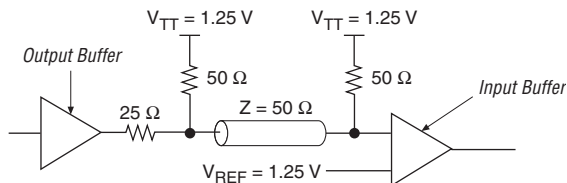


図 8-2. 2.5-V SSTL Class II 終端



## SSTL-18 Class I および SSTL-18 Class II

1.8-V SSTL-18 規格は、JEDEC 規格の JESD8-15: Stub Series Terminated Logic for 1.8-V (SSTL\_18) に基づいて策定されています。

SSTL-18 I/O 規格は、高速 DDR2 SDRAM インタフェースなどのアプリケーションで使用される 1.8-V メモリ・バス規格です。この規格は SSTL-2 に類似しており、0.0 ~ 1.8 V の SSTL-18 ロジック・スイッチング範囲で動作するように設計されたデバイスの入力および出力仕様を定義しています。SSTL-18 では、0.9 V の  $V_{REF}$  および 0.9 V の  $V_{TT}$  が必要です。

JEDEC 仕様の SSTL-18 規格にはクラス定義はありません。この I/O 規格の仕様は、直列および並列の両終端抵抗で構成される環境に基づきます。アルテラは、JEDEC 仕様の 2 つの派生アプリケーションに対するソリューションを提供しており、他の SSTL 規格に合わせてこれらのソリューションを Class I および Class II 終端としています。図 8-3 と 8-4 に、それぞれ SSTL-18 Class I および Class II 終端を示します。


 Arria GX デバイスは、入力および出力レベル動作両方をサポートします。

図 8-3. 1.8-V SSTL Class I 終端

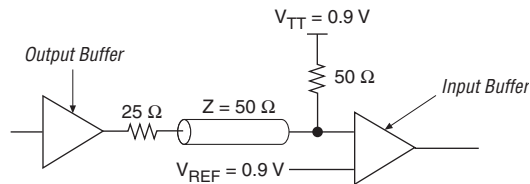
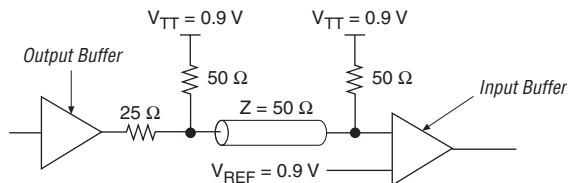


図 8-4. 1.8-V SSTL Class II 終端



## 1.8-V HSTL Class I および 1.8-V HSTL Class II

HSTL 規格は、電圧の拡張性を提供するために JEDEC によって開発されたテクノロジーに依存しない I/O 規格です。0.0 ~ 1.8 V HSTL ロジック・スイッチング範囲で動作するように設計されたアプリケーションで使用されます。

JEDEC では、 $V_{CCIO}$  の最大値を 1.6 V で規定していますが、多くのメモリ・チップ・ベンダーが 1.8 V の  $V_{CCIO}$  を要求する HSTL 規格を使用しています。Arria GX デバイスは、HSTL に対しては  $V_{CCIO}$  が 1.8 V のチップとのインタフェースをサポートします。図 8-5 および 8-6 に、より高い値の  $V_{CCIO}$  を追跡するのに必要な公称値  $V_{REF}$  および  $V_{TT}$  を示します。 $V_{REF}$  の値は、システムで最適なノイズ・マージンが得られるように選択されています。


 Arria GX デバイスは、入力および出力レベル動作両方をサポートします。

図 8-5. 1.8-V HSTL Class I 終端

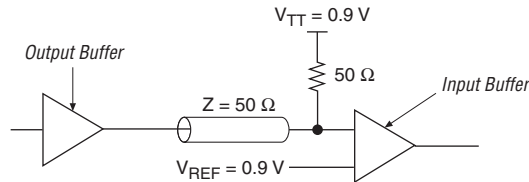
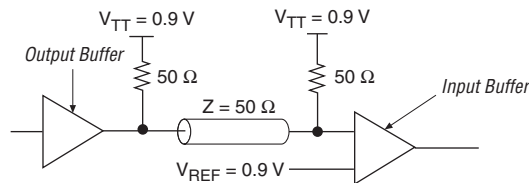


図 8-6. 1.8-V HSTL Class II 終端



## 1.5-V HSTL Class I および 1.5-V HSTL Class II

1.5-V HSTL 規格は、EIA/JEDEC 規格の EIA/JESD8-6: A 1.5-V Output Buffer Supply Voltage Based Interface Standard for Digital Integrated Circuits に基づいて策定されています。

1.5-V HSTL I/O 規格は、0.0 ~ 1.5 V HSTL ロジック・スイッチング範囲で動作するように設計されたアプリケーションで使用されます。この規格は HSTL に準拠するすべてのデジタル集積回路に対するシングル・エンド入力および出力の仕様を定義しています。Arria GX デバイスの 1.5-V HSTL I/O 規格は、APEX 20KE、APEX20KC、および Arria GX デバイスで 1.8-V HSTL I/O 規格と互換性があります。これは入力電圧と出力電圧のスレッシュホールドに互換性があるためです (図 8-7 および 8-8)。



Arria GX デバイスは、 $V_{REF}$  と  $V_{TT}$  で入力レベルと出力レベルの両方をサポートします。

図 8-7. 1.5-V HSTL Class I 終端

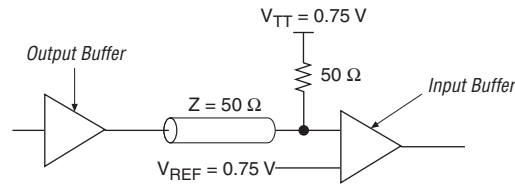
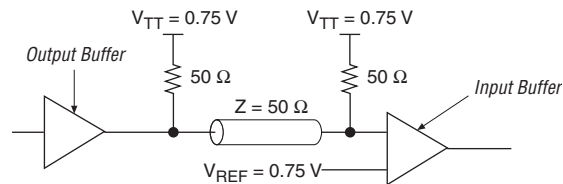


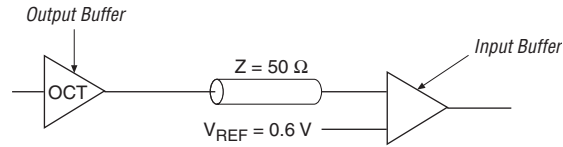
図 8-8. 1.5-V HSTL Class II 終端



## 1.2-V HSTL

1.2-V HSTL 規格を規定した EIA/JEDEC 規格はありませんが、アルテラでは 0.0 ~ 1.2 V の HSTL ロジック公称スイッチング範囲で動作するアプリケーションに対して、1.2-V HSTL 規格をサポートしています。1.2-V HSTL は、直列 On-Chip Termination (OCT) を通じて終端できます。図 8-9 に、終端方法を示します。

図 8-9. 1.2-V HSTL 終端



## 差動 I/O 規格

差動 I/O 規格は、ノイズ耐性を高めながらさらにデータ・レートの高速度を達成するために使用されます。LVDS、LVPECL、HyperTransport テクノロジとは別に、Arria GX デバイスは SSTL 規格および HSTL 規格の差動バージョンもサポートします。



差動 I/O 規格について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

## 差動 SSTL-2 Class I および差動 SSTL-2 Class II

2.5-V 差動 SSTL-2 規格は、JEDEC 規格の JESD8-9A: Stub Series Terminated Logic for 2.5-V (SSTL\_2) に基づいて策定されています。

この I/O 規格は、高速 DDR SDRAM クロック・インタフェースなどのアプリケーションで使用される 2.5 V 規格です。この規格は、SSTL-2 規格を使用するシステムの差動信号をサポートし、差動クロックに対する SSTL-2 規格を補強します。Arria GX デバイスは、入力および出力レベル両方をサポートします。図 8-10 および 8-11 に、差動 SSTL-2 終端の詳細を示します。



Arria GX デバイスは、2 つの SSTL-2 シングル・エンド・バッファを使用して実装される、擬似差動モードの差動 SSTL-2 I/O 規格をサポートします。

Quartus® II ソフトウェアは、enhanced PLL の INCLK、FBIN、および EXTCLK ポート、そして DQS メガファンクション (ALTDQS、双方向データ・ストロブ) が使用されているときの DQS ピンでのみ擬似差動規格をサポートします。2 つのシングル・エンド出力バッファは、擬似差動出力を実装するために、反対の極性を持つように自動的にプログラムされます。2 つのシングル・エンド入力バッファが擬似差動入力を実装するには、正しい  $V_{REF}$  電圧が必要です。この場合、高速パスでは正の極性入

力のみ使用され、負の入力は内部接続されません。言い換えると、デザインでは非反転ピンのみ指定することが要求されますが、Quartus II ソフトウェアは自動的に反転ピンを生成します。

Quartus II ソフトウェアは、レフト I/O バンクでは擬似差動 SSTL-2 I/O 規格をサポートしていませんが、これらのバンクにこの規格を実装することができます。デザインで 2 本のピンを作成し、これらのピンをシングル・エンド SSTL-2 規格でコンフィギュレーションする必要があります。ただし、これは差動ピン・ペア I/O ファンクションをサポートするピンに限定され、これらのバンクでのシングル・エンド SSTL-2 規格のサポートに依存します。

図 8-10. 差動 SSTL-2 Class I 終端

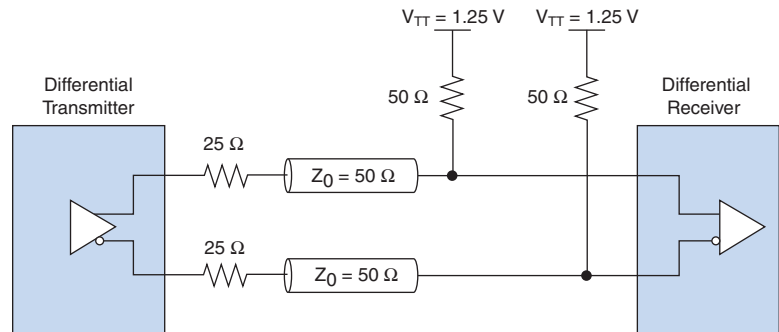
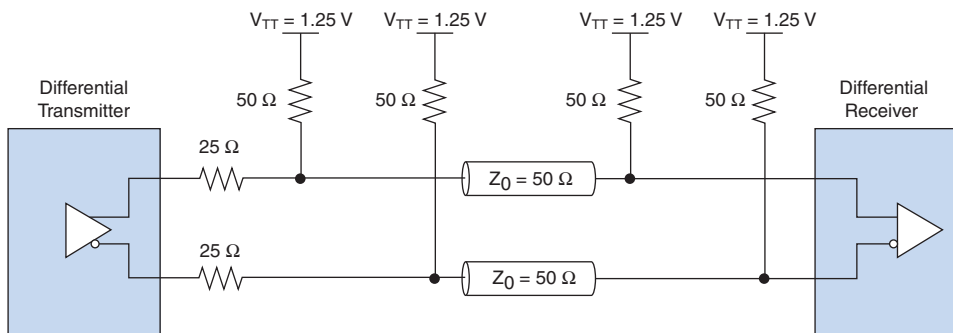


図 8-11. 差動 SSTL-2 Class II 終端



## 差動 SSTL-18 Class I および差動 SSTL-18 Class II

1.8-V 差動 SSTL-18 規格は、JEDEC 規格の JESD8-15: Stub Series Terminated Logic for 1.8-V (SSTL\_18) に基づいて策定されています。

差動 SSTL-18 I/O 規格は、高速 DDR2 SDRAM インタフェースなどのアプリケーションで使用される 1.8 V 規格です。この規格は、SSTL-18 規格を使用するシステムの差動信号をサポートし、差動クロックに対する SSTL-18 規格を補強します。



Arria GX デバイスは、入力および出力レベル動作両方をサポートします。

図 8-12 および 8-13 に、差動 SSTL-18 終端の詳細を示します。Arria GX デバイスは、2 つの SSTL-18 シングル・エンド・バッファを使用して実装される、擬似差動モードの差動 SSTL18 I/O 規格をサポートします。

Quartus II ソフトウェアは、enhanced PLL の INCLK、FBIN、および EXTCLK ポート、そして DQS メガファンクション (ALTDQS、双方向データ・ストロープ) が使用されているときの DQS ピンでのみ擬似差動規格をサポートします。2 つのシングル・エンド出力バッファは、擬似差動出力を実装するために、反対の極性を持つように自動的にプログラムされます。2 つのシングル・エンド入力バッファが擬似差動入力を実装するには、正しい  $V_{REF}$  電圧が必要です。この場合、高速パスでは正の極性入力のみ使用され、負の入力は内部接続されません。言い換えると、デザインでは非反転ピンのみ指定することが要求されますが、Quartus II ソフトウェアは自動的に反転ピンを生成します。

Quartus II ソフトウェアは、レフト I/O バンクでは擬似差動 SSTL-18 I/O 規格をサポートしていませんが、これらのバンクにこの規格を実装することができます。デザインで 2 本のピンを作成し、これらのピンをシングル・エンド SSTL-18 規格でコンフィギュレーションする必要があります。ただし、これは差動ピン・ペア I/O ファンクションをサポートするピンに限定され、これらのバンクでのシングル・エンド SSTL-18 規格のサポートに依存します。

図 8-12. 差動 SSTL-18 Class I 終端

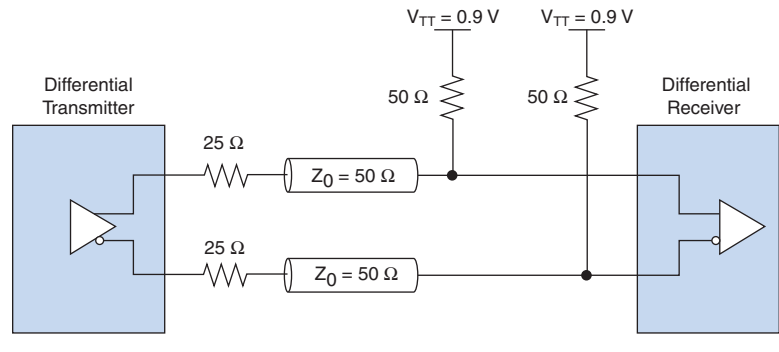
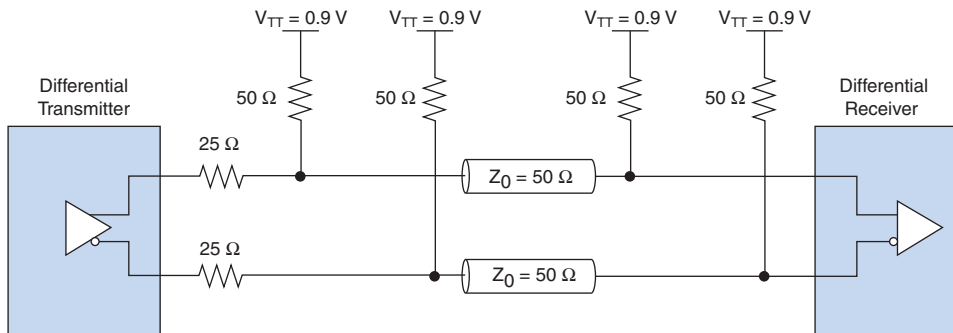


図 8-13. 差動 SSTL-18 Class II 終端



### 1.8-V 差動 HSTL Class I および 1.8-V 差動 HSTL Class II

1.8-V 差動 HSTL 仕様は、1.8-V シングル・エンド HSTL 仕様と同じです。QDR メモリ・クロック・インタフェースなど、0.0 ~ 1.8 V HSTL ロジック・スイッチング範囲で動作するように設計されたアプリケーションで使用されます。Arria GX デバイスは、入力および出力レベル動作両方をサポートします。図 8-14 および 8-15 に、1.8-V 差動 HSTL 終端の詳細を示します。

Arria GX デバイスは、2つの 1.8-V HSTL シングル・エンド・バッファを使用して実装される、擬似差動モードの 1.8-V 差動 HSTL I/O 規格をサポートします。

Quartus II ソフトウェアは、enhanced PLL の INCLK、FBIN、および EXTCLK ポート、そして DQS メガファンクション (ALTDQS、双方向データ・ストロブ) が使用されているときの DQS ピンでのみ擬似差動規格をサポートします。2つのシングル・エンド出力バッファは、擬似差動出力を実装するために、反対の極性を持つように自動的にプログラムされます。2つのシングル・エンド入力バッファが擬似差動入力を実装するには、正しい  $V_{REF}$  電圧が必要です。この場合、高速パスでは正の極性入力のみ使用され、負の入力は内部接続されません。言い換えると、デザインでは非反転ピンのみ指定することが要求されますが、Quartus II ソフトウェアは自動的に反転ピンを生成します。

Quartus II ソフトウェアは、レフト I/O バンクでは 1.8-V 擬似差動 HSTL I/O 規格をサポートしていませんが、これらのバンクにこの規格を実装することができます。デザインで 2本のピンを作成し、これらのピンをシングル・エンド 1.8-V HSTL 規格でコンフィギュレーションする必要があります。ただし、これは差動ピン・ペア I/O ファンクションをサポートするピンに限定され、これらのバンクでのシングル・エンド 1.8-V HSTL 規格のサポートに依存します。

図 8-14. 1.8-V 差動 HSTL Class I 終端

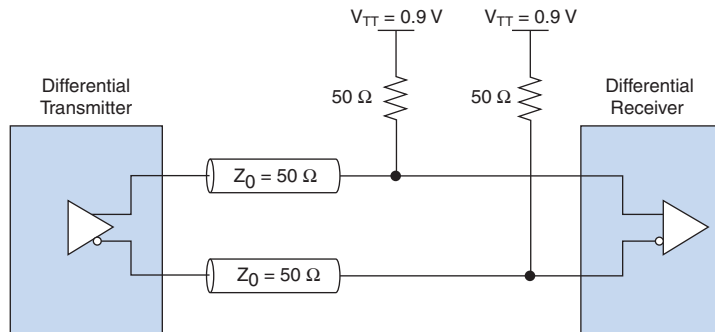
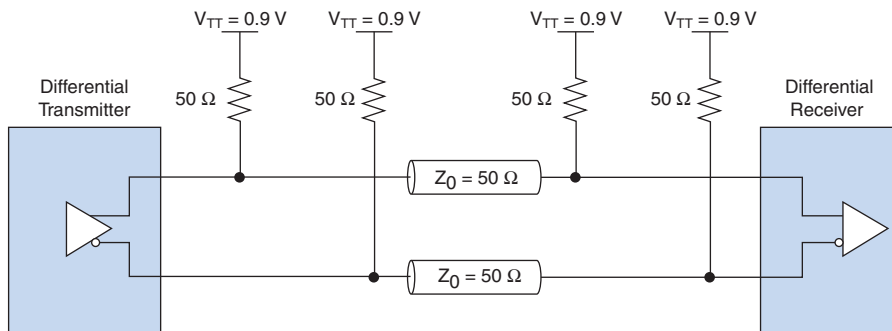


図 8-15. 1.8-V 差動 HSTL Class II 終端



### 1.5-V 差動 HSTL Class I および 1.5-V 差動 HSTL Class II

1.5-V 差動 HSTL 規格は、EIA/JEDEC 規格の EIA/JESD8-6: A 1.5-V Output Buffer Supply Voltage Based Interface Standard for Digital Integrated Circuits に基づいて策定されています。

1.5-V 差動 HSTL 仕様は、1.5-V シングル・エンド HSTL 仕様と同じです。QDR メモリ・クロック・インタフェースなど、0.0 ~ 1.5 V HSTL ロジック・スイッチング範囲で動作するように設計されたアプリケーションで使用されます。Arria GX デバイスは、入力および出力レベル動作両方をサポートします。図 8-16 および 8-17 に、1.5-V 差動 HSTL 終端の詳細を示します。

Arria GX デバイスは、2 つの 1.5-V HSTL シングル・エンド・バッファを使用して実装される、擬似差動モードの 1.5-V 差動 HSTL I/O 規格をサポートします。

Quartus II ソフトウェアは、enhanced PLL の INCLK、FBIN、および EXTCLK ポート、そして DQS メガファンクション (ALTDQS、双方向データ・ストロブ) が使用されているときの DQS ピンでのみ擬似差動規格をサポートします。2 つのシングル・エンド出力バッファは、擬似差動出力を実装するために、反対の極性を持つように自動的にプログラムされます。2 つのシングル・エンド入力バッファが擬似差動入力を実装するには、正しい  $V_{REF}$  電圧が必要です。この場合、高速パスでは正の極性入力のみ使用され、負の入力は内部接続されません。言い換えると、デザインでは非反転ピンのみ指定することが要求されますが、Quartus II ソフトウェアは自動的に反転ピンを生成します。

Quartus II ソフトウェアは、レフト I/O バンクでは 1.5-V 擬似差動 HSTL I/O 規格をサポートしていませんが、これらのバンクにこの規格を実装することができます。デザインで 2 本のピンを作成し、これらのピンをシングル・エンド 1.5-V HSTL 規格でコンフィギュレーションする必要があります。ただし、これは差動ピン・ペア I/O ファンクションをサポートするピンに限定され、これらのバンクでのシングル・エンド 1.5-V HSTL 規格のサポートに依存します。

図 8-16. 1.5-V 差動 HSTL Class I 終端

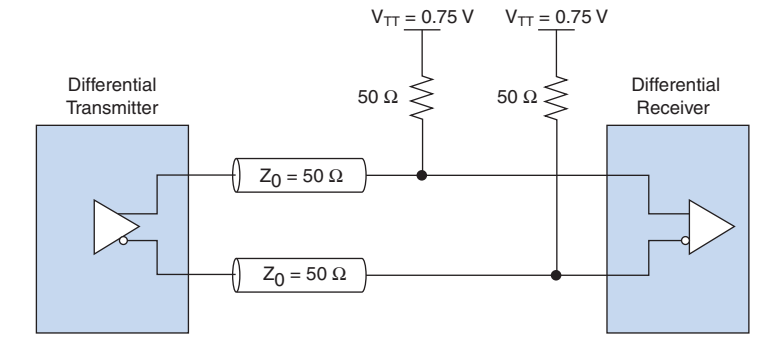
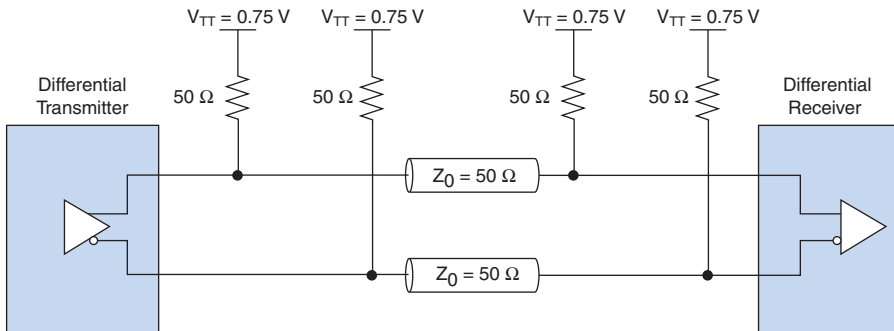


図 8-17. 1.5-V 差動 HSTL Class II 終端



## LVDS

LVDS 規格は、ANSI/TIA/EIA 規格の ANSI/TIA/EIA-644: Electrical Characteristics of Low Voltage Differential Signaling Interface Circuits に基づいて策定されています。

LVDS I/O 規格は、差動高速、低電圧振幅、低電力の汎用 I/O インタフェース規格です。Arria GX デバイスでは、LVDS I/O 規格は 2.5 V の  $V_{CCIO}$  レベルを要求します。ただし、トップおよびボトム I/O バンクの LVDS クロック出力ピンは、3.3 V の  $V_{CCIO}$  レベルを要求します。この規格は、広帯域幅データ転送、バックプレーン・ドライバ、クロック分配を要求するアプリケーションで使用されます。ANSI/TIA/EIA-644 規格では、655 Mbps の推奨最大データ・シグナリング・レートでの動作が可能な LVDS トランスミッタとレシーバが規定されています。ただし、デバイスは必要に応じて推奨値よりも低速で動作できます。理論上の最大レートは 1.923 Gbps です。Arria GX デバイスは、840 Mbps の最大データ・レートで動作可能なため、ANSI/TIA/EIA-644 規格への準拠を維持しています。

LVDS I/O 規格は低電圧振幅で規定されているため、電磁妨害 (EMI) の影響は CMOS (Complementary Metal-Oxide Semiconductor)、トランジスタ・トランジスタ・ロジック (TTL)、ポジティブ (または擬似) エミッタ結合ロジック (PECL) よりも大幅に低くなります。このように EMI が低いために、低 EMI 要件または低ノイズ耐性要件が求められるアプリケーションには LVDS が最適です。LVDS 規格は入力リファレンス電圧を必要としません。ただし、入力バッファの 2 つの信号間で 100 $\Omega$  の終端抵抗が必要です。Arria GX デバイスは、差動 On-Chip Termination を使用するデバイスで、オプションの 100 $\Omega$  差動 LVDS 終端抵抗を提供します。Arria GX デバイスは、入力および出力レベル動作両方をサポートします。

### 差動 LVPECL

低電圧のポジティブ (または擬似) エミッタ結合ロジック (LVPECL) 規格は、3.3 V の  $V_{CCIO}$  を要求する差動インタフェース規格です。この規格は、ビデオ・グラフィック、テレコミュニケーション、データ通信、およびクロック分配に関連するアプリケーションで使用されます。高速、低電圧振幅の LVPECL I/O 規格は、正電源を使用し、LVDS に類似した規格です。ただし、LVPECL は LVDS よりも差動出力電圧振幅が大きくなっています。LVPECL 規格では入力リファレンス電圧は必要ありませんが、入力バッファの 2 つの信号間に 100 $\Omega$  の終端抵抗が必要です。図 8-18 および 8-19 に、LVPECL の 2 つの代替終端方法を示します。



Arria GX デバイスは、入力および出力レベル動作両方をサポートします。

図 8-18. LVPECL DC 結合終端

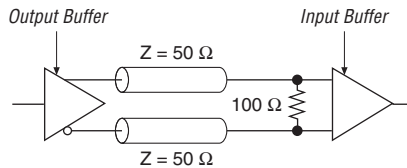
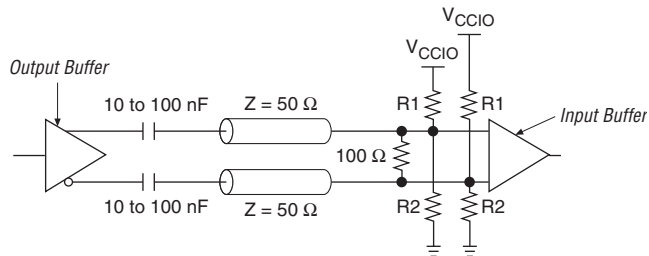


図 8-19. LVPECL AC 結合終端



## HyperTransport テクノロジ

HyperTransport 規格は、HyperTransport コンソーシアムに基づいて策定されています。

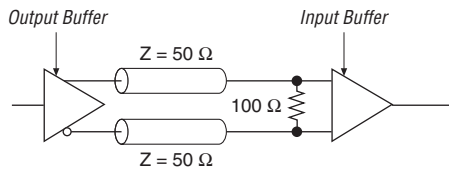
HyperTransport I/O 規格は、2.5 V または 3.3 V の  $V_{CCIO}$  を要求する差動高速、高性能 I/O インタフェース規格です。この規格は、高性能ネットワークワーキング、テレコム、エンベデッド・システム、コンシューマ・エレクトロニクス、インターネット接続機器などのアプリケーションで使用されます。HyperTransport I/O 規格は、各 HyperTransport バスが 2 つのポイント・ツー・ポイント単方向リンクで構成されるポイント・ツー・ポイント規格です。各リンクの容量は 2 ~ 32 ビットです。

HyperTransport 規格は入力リファレンス電圧を必要としません。ただし、入力バッファの 2 つの信号間で  $100\Omega$  の終端抵抗が必要です。図 8-20 に、HyperTransport の終端を示します。Arria GX デバイスは、差動 On-Chip Termination を使用するデバイスで、オプションとして  $100\Omega$  差動 HyperTransport 終端抵抗が含まれています。



Arria GX デバイスは、入力および出力レベル動作両方をサポートします。

図 8-20. HyperTransport 終端



## Arria GX 外部 メモリ・イン タフェース



より高性能なデータ処理システムに対する需要の増大により、メモリ消費量の多いアプリケーションが要求されることがよくあります。Arria GX デバイスは、様々なタイプの外部メモリとインタフェースできます。

Arria GX デバイスの外部メモリ・インタフェース・サポートについては、「Arria GX デバイス・ハンドブック Volume 2」の「外部メモリ・インタフェース」の章を参照してください。

## Arria GX の I/O バンク

Arria GX デバイスは、6 つの汎用 I/O バンクと 4 つの enhanced PLL (Phase-Locked Loop) 外部クロック出力バンクを搭載しています (図 8-21)。I/O バンク 9～12 は、enhanced PLL 外部クロック出力バンクで、デバイスのトップとボトムに配置されています。

図 8-21. Arria GX の I/O バンク 注 (1)、(2)、(3)、(4)、(5)、(6)

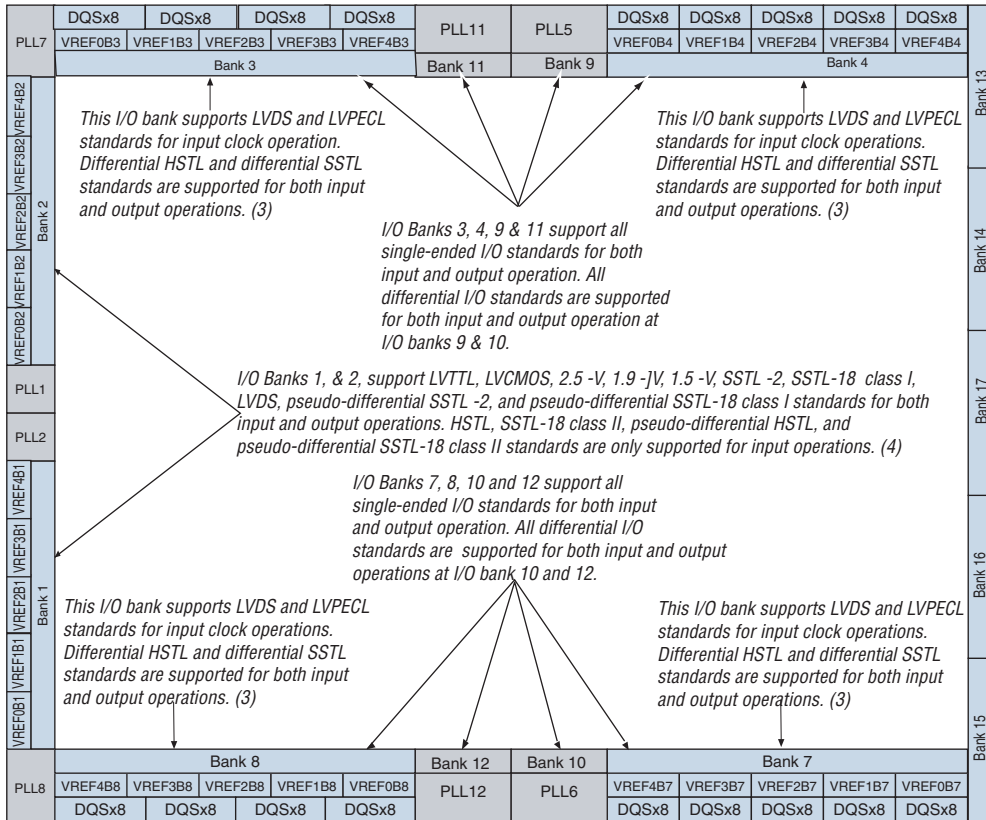


図 8-21 の注:

- 図 8-21 はシリコン・ダイの上面図で、Flip-chip パッケージの裏面図に相当します。これは参考図です。
- 個々のデバイスの  $V_{REF}$  グループの数は、デバイスのサイズによって異なります。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。
- バンク 9～12 は、enhanced PLL 外部クロック出力バンクです。
- 水平方向の I/O バンクは、高速差動 I/O 規格のためのトランシーバおよび DPA 回路を搭載しています。差動 I/O 規格について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの高速差動 I/O インタフェース」の章または「Arria GX トランシーバ・ユーザーガイド」セクションを参照してください。
- Quartus II ソフトウェアは、レフト I/O バンクの差動 SSTL および差動 HSTL 規格をサポートしていません。Arria GX のライト I/O バンクはトランシーバとして使用されます。これらの I/O バンクで上記の規格を実装する必要があります。8-11 ページの「差動 I/O 規格」を参照してください。
- PLL 7、8、11、12 は EP1AGX50D、EP1AGX60E、EP1AGX90E デバイスでのみ利用できます。

## プログラマブル I/O 規格

Arria GX デバイスのプログラマブル I/O 規格は、多くの複雑なデザイン・システムで高速および高性能のソリューションを実現します。この項では、Arria GX デバイスの I/O バンクにおける I/O 規格のサポートについて説明します。

### 通常の I/O ピン

Arria GX デバイスのほとんどのピンは多機能ピンです。これらのピンは、主要機能として通常の入力および出力をサポートし、オプションで DQS、差動ピン・ペア、または PLL 外部クロック出力などの機能を提供します。例えば、多機能ピンが通常の I/O ピンとして使用されていない場合は、enhanced PLL 外部クロック出力バンクで、このピンを PLL 外部クロック出力としてコンフィギュレーションできます。



PLL バンク 9～12 に存在する I/O ピンは、それぞれ VCC\_PLL<5、6、11、または 12>\_OUT ピンから電源が供給されます。デバイス / パッケージによっては、PLL 11 および 12 をサポートしていません。したがって、バンク 11 に存在する I/O ピンはいずれも VCCIO3 ピンから電源が供給され、バンク 12 に存在するすべての I/O ピンには VCCIO8 ピンから電源が供給されます。

表 8-2 に、Arria GX デバイスの I/O バンクで、1 本のピンが通常の I/O ピンとして使用される場合にサポートされる I/O 規格を示します。

I/O 規格	汎用 I/O バンク (1)						enhanced PLL 外部 クロック出力バンク (2)			
	1	2	3	4	7	8	9	10	11	12
LVTTTL	√	√	√	√	√	√	√	√	√	√
LVC MOS	√	√	√	√	√	√	√	√	√	√
2.5 V	√	√	√	√	√	√	√	√	√	√
1.8 V	√	√	√	√	√	√	√	√	√	√
1.5 V	√	√	√	√	√	√	√	√	√	√
3.3-V PCI			√	√	√	√	√	√	√	√
3.3-V PCI-X			√	√	√	√	√	√	√	√
SSTL-2 Class I	√	√	√	√	√	√	√	√	√	√
SSTL-2 Class II	√	√	√	√	√	√	√	√	√	√
SSTL-18 Class I	√	√	√	√	√	√	√	√	√	√

表 8-2. Arria GX の通常の I/O 規格のサポート (2 / 2)										
I/O 規格	汎用 I/O バンク (1)						enhanced PLL 外部 クロック出力バンク (2)			
	1	2	3	4	7	8	9	10	11	12
SSTL-18 Class II	(3)	(3)	√	√	√	√	√	√	√	√
1.8-V HSTL Class I	√	√	√	√	√	√	√	√	√	√
1.8-V HSTL Class II	(3)	(3)	√	√	√	√	√	√	√	√
1.5-V HSTL Class I	√	√	√	√	√	√	√	√	√	√
1.5-V HSTL Class II	(3)	(3)	√	√	√	√	√	√	√	√
1.2-V HSTL				√	√	√				
差動 SSTL-2 Class I	(4)	(4)	(5)	(5)	(5)	(5)				
差動 SSTL-2 Class II	(4)	(4)	(5)	(5)	(5)	(5)				
差動 SSTL-18 Class I	(4)	(4)	(5)	(5)	(5)	(5)				
差動 SSTL-18 Class II	(4)	(4)	(5)	(5)	(5)	(5)				
1.8-V 差動 HSTL Class I	(4)	(4)	(5)	(5)	(5)	(5)				
1.8-V 差動 HSTL Class II	(4)	(4)	(5)	(5)	(5)	(5)				
1.5-V 差動 HSTL Class I	(4)	(4)	(5)	(5)	(5)	(5)				
1.5-V 差動 HSTL Class II	(4)	(4)	(5)	(5)	(5)	(5)				
LVDS	√	√	(6)	(6)	(6)	(6)	√	√	√	√
HyperTransport テクノロジ	√	√								
差動 LVPECL			(6)	(6)	(6)	(6)	√	√	√	√

## 表 8-2 の注:

- (1) バンク 5 および 6 は Arria GX デバイスでは使用できません。
- (2) enhanced PLL 外部クロック出力バンクでは、シングル・エンド I/O 規格と差動 I/O 規格を混在させることはできません。
- (3) この I/O 規格は、この I/O バンクの入力動作に対してのみサポートされます。
- (4) QuartusII ソフトウェアは、レフト I/O バンクでは擬似差動 SSTL-2 I/O 規格をサポートしていませんが、これらのバンクにこの規格を実装することができます。詳細は、8-11 ページの「差動 I/O 規格」を参照してください。
- (5) この I/O 規格は、DQS ファンクションをサポートするピンで入力と出力の両方の動作に対してサポートされます。詳細は、8-11 ページの「差動 I/O 規格」を参照してください。
- (6) この I/O 規格は、この I/O バンクで PLL INCLK ファンクションをサポートするピンの入力動作に対してのみサポートされます。

## クロック I/O ピン

PLL クロック I/O ピンは、クロック入力 (INCLK)、外部フィードバック入力 (FBIN)、および外部クロック出力 (EXTCLK) で構成されています。レフト I/O バンク (バンク 1 および 2) に配置されたクロック入力は fast PLL をサポートし、トップおよびボトム I/O (バンク 3、4、7、8) に配置されたクロック入力は、enhanced PLL をサポートします。外部クロック出力と外部フィードバック入力は、いずれも enhanced PLL 外部クロック出力バンク (バンク 9、10、11、12) に配置され、enhanced PLL をサポートします。

表 8-3 に、Arria GX デバイスの I/O バンクにおける PLL クロックの I/O サポートを示します。

I/O 規格	enhanced PLL (1)			fast PLL
	入力		出力	入力
	INCLK	FBIN	EXTCLK	INCLK
LVTTTL	√	√	√	√
LVC MOS	√	√	√	√
2.5 V	√	√	√	√
1.8 V	√	√	√	√
1.5 V	√	√	√	√
3.3-V PCI	√	√	√	
3.3-V PCI-X	√	√	√	
SSTL-2 Class I	√	√	√	√
SSTL-2 Class II	√	√	√	√
SSTL-18 Class I	√	√	√	√
SSTL-18 Class II	√	√	√	√
1.8-V HSTL Class I	√	√	√	√
1.8-V HSTL Class II	√	√	√	√
1.5-V HSTL Class I	√	√	√	√
1.5-V HSTL Class II	√	√	√	√
差動 SSTL-2 Class I	√	√	√	
差動 SSTL-2 Class II	√	√	√	
差動 SSTL-18 Class I	√	√	√	
差動 SSTL-18 Class II	√	√	√	

表 8-3. Arria GX PLL ピンでサポートされる I/O 規格 (2 / 2)

I/O 規格	enhanced PLL (1)			fast PLL
	入力		出力	入力
	INCLK	FBIN	EXTCLK	INCLK
1.8-V 差動 HSTL Class I	√	√	√	
1.8-V 差動 HSTL Class II	√	√	√	
1.5-V 差動 HSTL Class I	√	√	√	
1.5-V 差動 HSTL Class II	√	√	√	
LVDS	√	√	√	√
HyperTransport テクノロジ				√
差動 LVPECL	√	√	√	

表 8-3 の注:

- (1) enhanced PLL の外部クロック出力バンクでは、シングル・エンド I/O 規格と差動 I/O 規格を混在させることはできません。



詳細については、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの PLL」の章を参照してください。

### 電圧レベル

Arria GX デバイスは、サポートされる I/O 規格の許容電圧レベルの範囲を指定しています。表 8-4 に、入力および出力の  $V_{CCIO}$ 、 $V_{REF}$ 、およびボード  $V_{TT}$  の標準値のみを示します。

表 8-4. Arria GX の I/O 規格および電圧レベル (1 / 3) 注 (1)

I/O 規格	Arria GX					
	$V_{CCIO}(V)$				$V_{REF}(V)$	$V_{TT}(V)$
	入力動作		出力動作		入力	終端
	トップおよびボトム I/O バンク	レフトおよびライト I/O バンク (3)	トップおよびボトム I/O バンク	レフトおよびライト I/O バンク (3)		
LVTTTL	3.3/2.5	3.3/2.5	3.3	3.3	NA	NA
LVCNOS	3.3/2.5	3.3/2.5	3.3	3.3	NA	NA
2.5 V	3.3/2.5	3.3/2.5	2.5	2.5	NA	NA

表 8-4. Arria GX の I/O 規格および電圧レベル (2 / 3) 注 (1)

I/O 規格	Arria GX					
	$V_{CCIO}(V)$				$V_{REF}(V)$	$V_{TT}(V)$
	入力動作		出力動作		入力	終端
	トップ および ボトム I/O バンク	レフト および ライト I/O バンク (3)	トップ および ボトム I/O バンク	レフト および ライト I/O バンク (3)		
1.8 V	1.8/1.5	1.8/1.5	1.8	1.8	NA	NA
1.5 V	1.8/1.5	1.8/1.5	1.5	1.5	NA	NA
3.3-V PCI	3.3	NA	3.3	NA	NA	NA
3.3-V PCI-X	3.3	NA	3.3	NA	NA	NA
SSTL-2 Class I	2.5	2.5	2.5	2.5	1.25	1.25
SSTL-2 Class II	2.5	2.5	2.5	2.5	1.25	1.25
SSTL-18 Class I	1.8	1.8	1.8	1.8	0.90	0.90
SSTL-18 Class II	1.8	1.8	1.8	NA	0.90	0.90
1.8-V HSTL Class I	1.8	1.8	1.8	1.8	0.90	0.90
1.8-V HSTL Class II	1.8	1.8	1.8	NA	0.90	0.90
1.5-V HSTL Class I	1.5	1.5	1.5	1.5	0.75	0.75
1.5-V HSTL Class II	1.5	1.5	1.5	NA	0.75	0.75
1.2-V HSTL (4)	1.2	NA	1.2	NA	0.6	NA
差動 SSTL-2 Class I	2.5	2.5	2.5	2.5	1.25	1.25
差動 SSTL-2 Class II	2.5	2.5	2.5	2.5	1.25	1.25
差動 SSTL-18 Class I	1.8	1.8	1.8	1.8	0.90	0.90
差動 SSTL-18 Class II	1.8	1.8	1.8	NA	0.90	0.90
1.8-V 差動 HSTL Class I	1.8	1.8	1.8	NA	0.90	0.90
1.8-V 差動 HSTL Class II	1.8	1.8	1.8	NA	0.90	0.90
1.5-V 差動 HSTL Class I	1.5	1.5	1.5	NA	0.75	0.75
1.5-V 差動 HSTL Class II	1.5	1.5	1.5	NA	0.75	0.75
LVDS (2)	3.3/2.5/1.8/1.5	2.5	3.3	2.5	NA	NA
HyperTransport テクノロジー	NA	2.5	NA	2.5	NA	NA

表 8-4. Arria GX の I/O 規格および電圧レベル (3 / 3) 注 (1)

I/O 規格	Arria GX					
	$V_{CCIO}(V)$				$V_{REF}(V)$	$V_{TT}(V)$
	入力動作		出力動作		入力	終端
	トップ および ボトム I/O バンク	レフト および ライト I/O バンク (3)	トップ および ボトム I/O バンク	レフト および ライト I/O バンク (3)		
差動 LVPECL(2)	3.3/2.5/1.8/1.5	NA	3.3	NA	NA	NA

表 8-4 の注：

- (1) PCI クランプ・ダイオードがイネーブルされた入力ピンでは、 $V_{CCIO}$  が 3.3 V に強制されます。
- (2) トップおよびボトム・バンクの LVDS および LVPECL 出力動作は、PLL バンク 9～12 でのみサポートされます。PLL バンクでの差動出力動作の  $V_{CCIO}$  レベルは 3.3 V です。レフトおよびライト I/O バンクでの出力動作の  $V_{CCIO}$  レベルは 2.5 V です。
- (3) Arria GX デバイスのライト I/O バンクは、トランシーバで構成されています。
- (4) 1.2-V HSTL は、I/O バンク 4、7、および 8 のみでサポートされます。



各 I/O 規格の電気的特性については、「Arria GX デバイス・ハンドブック Volume 1」の「DC およびスイッチング特性」の章を参照してください。

## On-Chip Termination

Arria GX デバイスは、直列 On-Chip Termination を備えており、I/O インピーダンス・マッチングおよび終端機能を提供します。この機能は、シグナル・インテグリティを維持する以外に、外部抵抗ネットワークの必要性が低下するため、ボード・スペースが節約され、コストが低減されます。

Arria GX デバイスは、シングル・エンド I/O 規格には直列 On-Chip Termination ( $R_S$ )、差動 I/O 規格には差動 On-Chip Termination ( $R_D$ ) をサポートします。この項では、直列 On-Chip Termination のサポートについて説明します。



差動 On-Chip Termination については、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

Arria GX デバイスは、シングル・エンド I/O のドライブ能力のコントロールを通じて、I/O ドライブの直列 On-Chip Termination ( $R_S$ ) をサポートします。

## キャリブレーションなし直列 On-Chip Termination

Arria GX デバイスは、I/O ドライバに伝送ラインのインピーダンスと厳密にマッチングする制御された出力インピーダンスを提供するために、ドライバ・インピーダンス・マッチングをサポートしています。その結果、反射を大幅に低減できます。Arria GX デバイスは、シングル・エンド I/O 規格の直列 On-Chip Termination をサポートします（図 8-22 を参照）。図 8-22 に示す  $R_S$  は、トランジスタの固有インピーダンスです。標準的な  $R_S$  の値は、 $25\ \Omega$  と  $50\ \Omega$  です。マッチング・インピーダンスが選択されると、電流ドライブ能力は選択不能になります。

図 8-22. Arria GX のキャリブレーションなし直列 On-Chip Termination

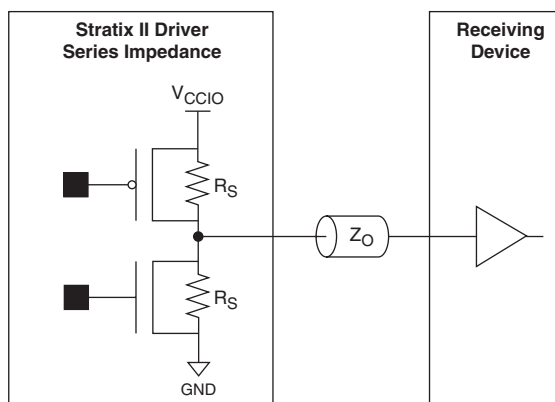


表 8-5 に、キャリブレーションなしの直列 On-Chip Termination をサポートする出力規格のリストを示します。

表 8-5. キャリブレーションなし直列 On-Chip Termination 付きの 選択可能な I/O ドライバ			
I/O 規格	直列 On-Chip Termination 設定		
	ロウ I/O	カラム I/O	単位
3.3-V LVTTTL	50	50	$\Omega$
	25	25	$\Omega$
3.3-V LVCMOS	50	50	$\Omega$
	25	25	$\Omega$
2.5-V LVTTTL	50	50	$\Omega$
	25	25	$\Omega$
2.5-V LVCMOS	50	50	$\Omega$
	25	25	$\Omega$
1.8-V LVTTTL	50	50	$\Omega$
		25	$\Omega$
1.8-V LVCMOS	50	50	$\Omega$
		25	$\Omega$
1.5-V LVTTTL	50	50	$\Omega$
1.5-V LVCMOS	50	50	$\Omega$
SSTL-2 Class I	50	50	$\Omega$
SSTL-2 Class II	25	25	$\Omega$
SSTL-18 Class I	50	50	$\Omega$
SSTL-18 Class II		25	$\Omega$
1.8-V HSTL Class I	50	50	$\Omega$
1.8-V HSTL Class II		25	$\Omega$
1.5-V HSTL Class I	50	50	$\Omega$
1.2-V HSTL (1)		50	$\Omega$

表 8-5 の注：

(1) 1.2-V HSTL は、I/O バンク 4、7、および 8 のみでサポートされます。

SSTL Class I 規格の On-Chip Termination を使用するには、(50 $\Omega$  伝送ラインに整合させるために) 外部 25 $\Omega$   $R_S$  を置き換える 50 $\Omega$  直列 On-Chip Termination 設定を選択します。SSTL Class II 規格の場合は、(50 $\Omega$  伝送ラインと近端の  $V_{TT}$  への 50 $\Omega$  プルアップ抵抗を整合させるために) 25 $\Omega$  直列 On-Chip Termination 設定を選択します。



キャリブレーションなし直列 On-Chip Termination の精度の仕様について詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「[DC およびスイッチング特性](#)」の章を参照してください。

## デザインの 検討事項

Arria GX デバイスは、高性能および高速システム・デザインに対応する多様な I/O 機能を備えています。その他にも、これらのデザインの成功を保証するために注意すべき検討事項がいくつかあります。

### I/O 終端

この項では、シングル・エンドおよび差動 I/O 規格に対する I/O 終端要件について説明します。

#### シングル・エンド I/O 規格

シングル・エンド非電圧リファレンス形式の I/O 規格では終端は不要ですが、反射を抑え、シグナル・インテグリティを向上させるためにインピーダンス・マッチングが必要です。

電圧リファレンス形式の I/O 規格には、入力リファレンス電圧  $V_{REF}$  と、終端電圧  $V_{TT}$  の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。電圧リファレンス形式の I/O 規格は、それぞれに固有の終端設定が必要です。例えば、SSTL 規格では優れたノイズ・マージンを持つ信頼性の高い DDR メモリ・システムを作成するために、適切な抵抗性の信号終端方式が重要です。

Arria GX の直列 On-Chip Termination では、外部コンポーネントが必要ないためデザインが簡潔になります。外部プルアップ抵抗を使用して、SSTL-2やHSTLなどの電圧リファレンス形式のI/O規格を終端できます。



各種シングル・エンド I/O 規格の終端方式については、[8-2 ページの「Arria GX の I/O 規格のサポート」](#)を参照してください。

#### 差動 I/O 規格

差動 I/O 規格は、通常はレシーバの 2 つの信号間に終端抵抗を必要とします。終端抵抗は、バスの差動負荷インピーダンスと整合しなければなりません。Arria GX デバイスは、LVDS 規格および HyperTransport 規格の使用時に最適な差動 On-Chip Termination を提供します。

## I/O バンクの制約

各 I/O バンクは複数の I/O 規格を同時にサポートできます。以下の項では、Arria GX デバイスで非電圧リファレンス形式および電圧リファレンス形式の I/O 規格を混在させるためのガイドラインを示します。

### 非電圧リファレンス形式の規格

Arria GX デバイスの各 I/O バンクは、専用の  $V_{CCIO}$  ピンがあり、1.5 V、1.8 V、2.5 V、3.3 V のいずれか 1 つの  $V_{CCIO}$  のみサポートします。I/O バンクは、表 8-6 に示すように、異なる差動 I/O 規格が割り当てられたいかなる数の入力信号でも同時にサポートできます。

出力信号の場合、1 つの I/O バンクは  $V_{CCIO}$  と同じ電圧でドライブする非電圧リファレンス形式の出力信号をサポートします。1 つの I/O バンクは 1 つの  $V_{CCIO}$  の値しか取ることができないため、非電圧リファレンス信号に対してはその 1 つの値のみドライブ・アウトできます。例えば、 $V_{CCIO}$  設定が 2.5 V の I/O バンクは、2.5 V の標準入力と出力、および 3.3 V の LVCMOS 入力（出力または双方向ピン以外）をサポートします。

バンク $V_{CCIO}$ (V)	許容入力レベル (V)			
	3.3	2.5	1.8	1.5
3.3	√	√ (1)		
2.5	√	√		
1.8	√ (2)	√ (2)	√	√ (1)
1.5	√ (2)	√ (2)	√	√

表 8-6 の注：

- (1) 入力信号はレールをドライブしないため、入力バッファは完全にシャットオフされず、I/O 電流はデフォルト値よりも多少高くなります。
- (2) これらの入力値は入力バッファをオーバー・ドライブするため、ピンのリーク電流はデフォルト値よりもわずかに高くなります。入力を  $V_{CCIO}$  より高く、かつ 4.0 V より低くドライブするには、PCI クランピング・ダイオードをディセーブルし、Quartus II ソフトウェアの Allow LVTTTL and LVCMOS input levels to overdrive input buffer オプションを選択します。

## 電圧リファレンス形式の規格


電圧リファレンス形式の I/O 規格に対応するために、Arria GX デバイスの各 I/O バンクは、共通の  $V_{REF}$  バスに信号を供給する複数の  $V_{REF}$  ピンをサポートします。使用可能な  $V_{REF}$  ピンの数は、デバイスの集積度が大きくなるほど増加します。これらのピンは  $V_{REF}$  ピンとして使用されていない場合に、汎用 I/O ピンとして使用することはできません。ただし、各バンクが任意の時点で持つことができるのは、1 つの  $V_{CCIO}$  電圧レベルと 1 つの  $V_{REF}$  電圧レベルだけです。

シングル・エンド規格または差動規格に対応する I/O バンクは、すべての電圧リファレンス形式の規格が同じ  $V_{REF}$  設定を使用している限り、電圧リファレンス形式の規格をサポートできます。

性能上の理由により、電圧リファレンス形式の入力規格は、電源として独自の  $V_{CCIO}$  レベルを使用します。例えば、 $V_{CCIO}$  が 1.5 V の I/O バンクには、1.5-V HSTL 入力ピンしか配置できません。

 電圧リファレンス形式の規格の入力  $V_{CCIO}$  について詳しくは、[8-20 ページの「Arria GX の I/O バンク」](#)を参照してください。

電圧リファレンス形式の双方向信号および出力信号は、I/O バンクの  $V_{CCIO}$  電圧と同じでなければなりません。例えば、 $V_{CCIO}$  が 2.5 V の I/O バンクには、SSTL-2 出力ピンしか配置できません。

 電圧リファレンス形式の I/O 規格の配置について詳しくは、[8-32 ページの「I/O 配置のガイドライン」](#)を参照してください。

## 電圧リファレンス形式の規格と非電圧リファレンス形式の規格の混在

I/O バンクはルール・セットを個別に適用することによって、非電圧リファレンス形式のピンと電圧リファレンス形式のピンの両方をサポートできます。例えば、I/O バンクは 1.8 V の  $V_{CCIO}$  および 0.9 V の  $V_{REF}$  で、SSTL-18 入力と 1.8 V 入力および出力をサポートできます。同様に、I/O バンクは 1.5 V 規格、2.5 V（入力のみ、出力は非適用）規格、および 1.5 V の  $V_{CCIO}$  および 0.75 V の  $V_{REF}$  で、HSTL I/O 規格をサポートできます。

## I/O 配置のガイドライン

I/O 配置のガイドラインは、Arria GX デバイスが  $V_{CCIO}$  電源のノイズ・レベルを許容範囲内に維持できるよう、ノイズ問題に対処するのに役立ちます。Arria GX デバイスでは各バンクに別々に  $V_{CCIO}$  を供給する必要

があるため、バンク境界をまたがるときにこれらのノイズ問題が影響を及ぼすことはなく、そのためこれらのルールを適用する必要はありません。

この項では、Arria GX デバイスでサポートされるプログラマブル I/O 規格の I/O 配置ガイドラインを示します。デバイスの選択可能な I/O 機能を使用してシステムをデザインするのに必要な情報が記載されています。

### V<sub>REF</sub> ピンの配置制限

各 I/O バンクには、V<sub>REF</sub> バスをドライブするために、少なくとも 2 本の専用 V<sub>REF</sub> ピンがあります。Arria GX デバイスが大きくなるほど、I/O バンクあたりの V<sub>REF</sub> ピンの本数が多くなります。1つの I/O バンク内のすべての V<sub>REF</sub> ピンは、デバイスのダイ・レベルでまとめて短絡されています。

V<sub>REF</sub> ピンがサポートできるピンの本数には制限があります。例えば、出力ピンが増えるごとに V<sub>REF</sub> レベルにいくらかのノイズが追加され、出力が多すぎるとレベルが不安定になって信号の受信に使用できなくなります。

V<sub>REF</sub> ピンを基準とするシングル・エンド電圧リファレンス形式の I/O パッドの配置を制限すれば、V<sub>CCIO</sub> 電源で許容されるノイズ・レベルの維持、および V<sub>REF</sub> レールによる出力スイッチング・ノイズの低減に役立ちます。

#### 入力ピン

各 V<sub>REF</sub> ピンは、最大 40 個の入力パッドをサポートします。

#### 出力ピン

バンクに電圧リファレンス形式の入力または双方向パッドが存在しない場合、そのバンクで使用できる出力パッドの数は、同じバンクで使用できるパッドの合計数によって決まります。ただし、電圧リファレンス形式の入力が存在する場合、1つのデザインでは1つのバンク内で V<sub>REF</sub> ピンあたり最大 20 個の出力パッドを使用することができます。

### 双方向ピン

双方向パッドは、入力と出力の両方のガイドラインを同時に満たす必要があります。入力と出力のルール的一般式を、表 8-7 に示します。

表 8-7. 双方向ピンの制限の式	
ルール	式
入力	$\langle \text{双方向ピンの合計数} \rangle + \langle V_{\text{REF}} \text{ 入力ピンの合計数 (存在する場合)} \rangle \leq V_{\text{REF}} \text{ ピンあたり 40 本}$
出力	$\langle \text{双方向ピンの合計数} \rangle + \langle \text{出力ピンの合計数 (存在する場合)} \rangle - \langle \text{最小 OE グループのピンの合計数 (複数の OE グループが存在する場合)} \rangle \leq V_{\text{REF}} \text{ ピンあたり 20 本}$

- 同じ出力イネーブル (OE) がすべての双方向パッドをコントロールし (同じ OE グループの双方向パッドがインとアウトを同時にドライブする)、バンク内に他の出力または電圧リファレンス形式の入力が存在しない場合、電圧リファレンス形式の入力が出力と同時にアクティブになることはありません。したがって、出力制限ルールは適用されません。ただし、双方向パッドは同じ OE にリンクされるため、双方向パッドは同時にすべて入力として動作します。したがって、以下のように入力パッドは 40 個に制限されています。

$\langle \text{双方向ピンの合計数} \rangle + \langle V_{\text{REF}} \text{ 入力ピンの合計数} \rangle \leq V_{\text{REF}} \text{ ピンあたり 40 本}$

- 双方向パッドのいずれかが別の OE でコントロールされ、バンク内に他の出力または電圧リファレンス形式の入力が存在しない場合、双方向パッドの 1 つのグループを入力として使用し、別のグループを出力として使用できます。このような場合、出力ルールの式は以下のように簡略化されます。

$\langle \text{双方向ピンの合計数} \rangle - \langle \text{最小 OE グループのピンの合計数} \rangle \leq V_{\text{REF}} \text{ ピンあたり 20 本}$

- 8 個の双方向パッドが OE1 で、8 個の双方向パッドが OE2 で、6 個の双方向パッドが OE3 でそれぞれコントロールされ、バンクに他の出力や電圧リファレンス形式の入力が存在しないケースを検討してみます。これで双方向パッドは合計 22 個になりますが、OE1 と OE2 がアクティブで、OE3 が非アクティブというワースト・ケースを想定すると、 $V_{\text{REF}}$  ピンあたり 16 の最大出力が可能のため、安全に許容できます。これは DDR SDRAM アプリケーションに有効です。

- 同じ  $V_{REF}$  グループに、電圧リファレンス形式の入力が1つ以上追加され、他の出力が存在しない場合、双方向パッド制限は入力と出力の両方の制限に同時に従う必要があります。入力のルールは、以下のようになります。

$\langle$  双方向ピンの合計数  $\rangle + \langle V_{REF}$  入力ピンの合計数  $\rangle \leq V_{REF}$  ピンあたり 40 本

出力ルールは以下のように簡略化されます。

$\langle$  双方向ピンの合計数  $\rangle V_{REF}$  ピンあたり 20 本

- 追加出力が1つ以上存在し、電圧リファレンス形式の入力が存在しない場合、出力ルールは以下のようになります。

$\langle$  双方向ピンの合計数  $\rangle + \langle$  出力ピンの合計数  $\rangle - \langle$  最小 OE グループのピンの合計数  $\rangle \leq V_{REF}$  ピンあたり 0 本

- 同じ  $V_{REF}$  グループに、追加電圧リファレンス形式の入力と他の出力が存在する場合にも、双方向パッド制限は入力と出力の両方の制限に同時に従う必要があります。入力のルールは、以下のようになります。

$\langle$  双方向ピンの合計数  $\rangle + \langle V_{REF}$  入力ピンの合計数  $\rangle \leq V_{REF}$  ピンあたり 40 本

出力ルールは、以下のようになります。

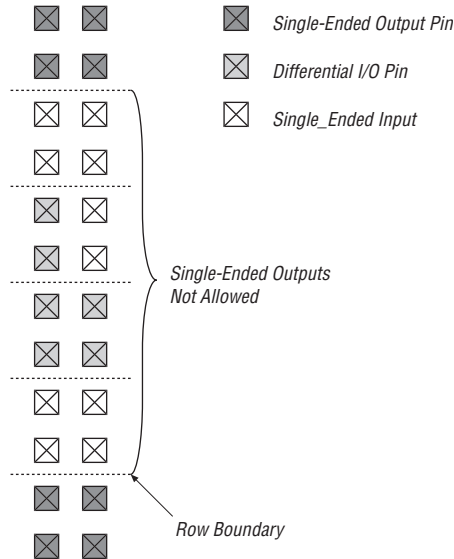
$\langle$  双方向ピンの合計数  $\rangle + \langle$  出力ピンの合計数  $\rangle - \langle$  最小 OE グループのピンの合計数  $\rangle \leq V_{REF}$  ピンあたり 0 本

### 高速差動 I/O ピンを基準にした I/O ピンの配置

SERDES 回路が使用されているか否かに係わらず、高速差動 I/O ピンを基準にしたシングル・エンド出力ピンの配置には制限があります。図 8-23 に示すように、すべてのシングル・エンド出力は差動 I/O ピンから1つの LAB ロウ以上離して配置する必要があります。差動 I/O ピンを基準にしたシングル・エンド入力ピンの配置には制限はありません。シングル・エンド入力ピンは、差動 I/O ピンと同じ LAB ロウ内に配置できます。ただし、シングル・エンド入力の IOE レジスタは使用できません。入力はコア・ロジック内に実装する必要があります。

このシングル・エンド出力ピンの配置制限は、レフト I/O バンクで LVDS または HyperTransport I/O 規格を使用する場合にのみ適用されます。トップおよびボトム I/O バンクの差動クロック・ピンを基準にした、シングル・エンド出力ピンの配置には制限はありません。

図 8-23. 差動 I/O ピンを基準にしたシングル・エンド出力ピンの配置



## DC ガイドライン

消費電力の制限は、システム・アプリケーションの信頼性と機能性の確保に欠かすことができません。システムの各デバイスで消費電力解析を実行し、そのシステムで消費される全電力量、すなわち静的成分と動的成分で構成される合計消費電力を算出することが要求される場合がよくあります。

デバイスのスタティック消費電力は、 $V_{CCIO}$  からグラウンドに流れる全 DC 電流です。

Arria GX デバイスの I/O バンクにある 10 個の連続したパッドについて、アルテラでは図 8-24 に示すとおり、250mA の最大電流を推奨しています。これは  $V_{CCIO}$ / グラウンド (GND) バンプの配置が通常の形態で、1 組の電源ピンあたり 10 本の I/O があるためです。この制限は、表 8-8 に

示すように、I/O 規格で消費されるスタティック電力に適用されます。スタティック電力の制限は、デバイス寿命の全範囲で信頼性を向上させるための 1 つの方法です。

図 8-24. DC 電流密度の制約 注 (1)、(2)

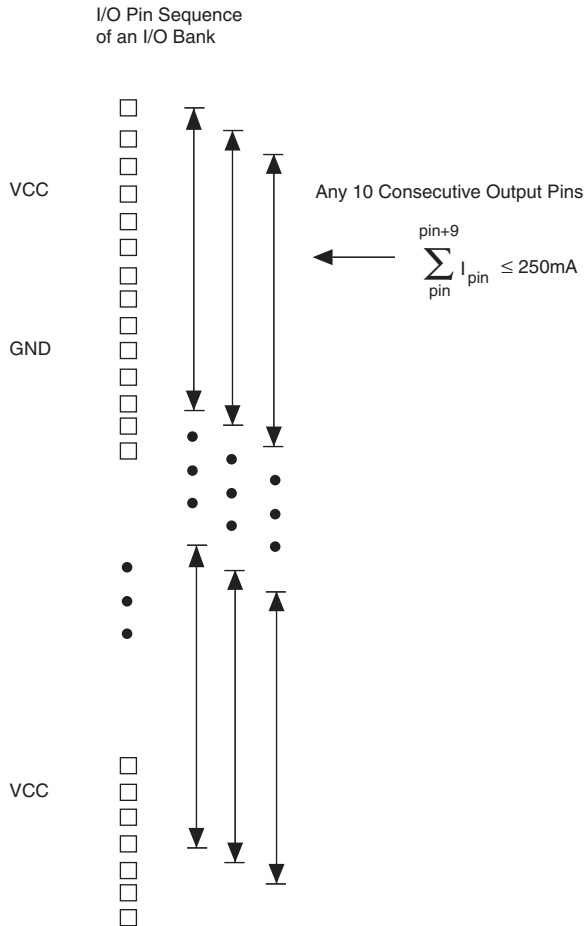


図 8-24 の注：

- (1) 連続パッドは I/O バンクを横切りません。
- (2)  $V_{REF}$  パッドがないため、 $V_{REF}$  ピンは DC 電流の計算には影響ありません。

表 8-8 に、I/O 規格の DC 電流仕様を示します。

I/O 規格	$I_{PIN}$ (mA)、トップおよび ボトム I/O バンク	$I_{PIN}$ (mA)、レフト I/O バンク (2)
LVTTTL	(3)	(3)
LVC MOS	(3)	(3)
2.5 V	(3)	(3)
1.8 V	(3)	(3)
1.5 V	(3)	(3)
3.3-V PCI	1.5	NA
3.3-V PCI-X	1.5	NA
SSTL-2 Class I	12 (4)	12 (4)
SSTL-2 Class II	24 (4)	16 (4)
SSTL-18 Class I	12 (4)	10 ((4)
SSTL-18 Class II	20 (4)	NA
1.8-V HSTL Class I	12 (4)	12
1.8-V HSTL Class II	20 (4)	NA
1.5-V HSTL Class I	12 (4)	8
1.5-V HSTL Class II	20 (4)	NA
差動 SSTL-2 Class I	12	12
差動 SSTL-2 Class II	24	16
差動 SSTL-18 Class I	12	10
差動 SSTL-18 Class II	20	NA
1.8-V 差動 HSTL Class I	12	12
1.8-V 差動 HSTL Class II	20	NA
1.5-V 差動 HSTL Class I	12	8
1.5-V 差動 HSTL Class II	20	NA
LVDS	12	12
HyperTransport テクノロジ	NA	16

表 8-8. Arria GX I/O 規格の DC 電流仕様 (2 / 2) 注 (1)

I/O 規格	$I_{PIN}$ (mA)、トップおよび ボトム I/O バンク	$I_{PIN}$ (mA)、レフト I/O バンク (2)
差動 LVPECL	10	10

表 8-8 の注：

- (1) 差動 HSTL 規格および差動 SSTL 規格に対して取得した電流値は、LVDS 規格および HyperTransport 規格のペアあたりの電流値と異なり、差動ペア単位ではなくピン単位になります。
- (2) これは Arria GX デバイスのライト I/O バンクには適用されません。Arria GX デバイスにはライト I/O バンクにトランシーバがあります。
- (3) 各 I/O 規格の DC 電力仕様は、該当する規格でプログラムされる I/O バッファの電流ソースおよびシンク能力、およびドライブ中の負荷によって異なります。LVTTTL、LVCMOS、2.5 V、1.8 V、1.5 V 出力は、実際のアプリケーションでは通常は抵抗負荷がないため、スタティック電力計算には含まれていません。電圧の振幅は、容量性負荷のみの場合はレール・ツー・レールになります。システムには DC 電流はありません。
- (4) この  $I_{PIN}$  値は、I/O 規格のデフォルト電流容量に対する DC 電流仕様を表します。 $I_{PIN}$  はプログラマブルなドライブ能力に応じて変化し、Quartus II ソフトウェアで設定されるドライブ能力に等しくなります。電圧リファレンス形式の I/O 規格のプログラマブルなドライブ能力の詳細については、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章を参照してください。

表 8-8 は、I/O 規格で消費されるスタティック電力の制限のみ示しています。あるタイミングで使用電力量がかなり高くなる場合がありますが、これはスイッチング・アクティビティが実行されている場合です。

## まとめ

Arria GX デバイスは、既存および新たに登場する I/O 規格および要件への準拠を可能にする I/O 機能を提供します。プログラマブルなドライバ能力など、Arria GX デバイスの機能により、ボード・デザインのインタフェース・コストを削減し、開発の柔軟性を向上させることができます。

## 参考文献

詳細については、以下の参考文献を参照してください。

- Interface Standard for Nominal 3V/ 3.3-V Supply Digital Integrated Circuits, JESD8-B, Electronic Industries Association, September 1999.
- 2.5-V +/- 0.2V (Normal Range) and 1.8-V to 2.7V (Wide Range) Power Supply Voltage and Interface Standard for Non-terminated Digital Integrated Circuits, JESD8-5, Electronic Industries Association, October 1995.
- 1.8-V +/- 0.15 V (Normal Range) and 1.2 V - 1.95 V (Wide Range) Power Supply Voltage and Interface Standard for Non-terminated Digital Integrated Circuits, JESD8-7, Electronic Industries Association, February 1997.
- 1.5-V +/- 0.1 V (Normal Range) and 0.9 V - 1.6 V (Wide Range) Power Supply Voltage and Interface Standard for Non-terminated Digital Integrated Circuits, JESD8-11, Electronic Industries Association, October 2000.
- PCI Local Bus Specification, Revision 2.2, PCI Special Interest Group, December 1998.
- PCI-X Local Bus Specification, Revision 1.0a, PCI Special Interest Group.
- Stub Series Terminated Logic for 2.5-V (SSTL-2), JESD8-9A, Electronic Industries Association, December 2000.
- Stub Series Terminated Logic for 1.8 V (SSTL-18), Preliminary JC42.3, Electronic Industries Association.
- High-Speed Transceiver Logic (HSTL)&emdash;A 1.5-V Output Buffer Supply Voltage Based Interface Standard for Digital Integrated Circuits, EIA/JESD8-6, Electronic Industries Association, August 1995.
- Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits, ANSI/TIA/EIA-644, American National Standards Institute/Telecommunications Industry/Electronic Industries Association, October 1995.

## 参考資料

この章では以下のドキュメントを参照しています。

- 「Arria GX アーキテクチャ」の章 (Arria GX デバイス・ハンドブック Volume 1)
- 「DC およびスイッチング特性」の章 (Arria GX デバイス・ハンドブック Volume 1)
- 「Arria GX デバイスの外部メモリ・インタフェース」の章 (Arria GX デバイス・ハンドブック Volume 2)
- 「Arria GX デバイスのDPAを使用した高速差動I/Oインタフェース」の章 (Arria GX デバイス・ハンドブック Volume 2)
- 「Arria GX デバイスの PLL」の章 (Arria GX デバイス・ハンドブック Volume 2)

## 改訂履歴

表 8-9 に、本資料の改訂履歴を示します。

日付およびドキュメント・バージョン	変更内容	概要
2008 年 5 月 v1.2	「1.5-V HSTL Class I および 1.5-V HSTL Class II」の項を更新。	—
	テキストのマイナーな編集。	—
2007 年 8 月 v1.1	「参考資料」の項を追加。	—
	テキストのマイナーな編集。	—
2007 年 5 月 v1.0	初版	—