

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX52007-1.2

### はじめに

Arria™ GX デバイスは、DDR SDRAM、DDR2 SDRAM、および SDR SDRAM などの外部メモリ・インタフェースをサポートしています。専用位相シフト回路により、Arria GX デバイスはシステム・クロック速度の2倍の速度（DDR2 SDRAM で最大 233 MHz/466 Mbps）で外部メモリにインタフェースできます。外部メモリ・インタフェースに加えて、専用位相シフト回路を入力クロック信号のシフトを必要とするその他のアプリケーションに使用することも可能です。

大部分の新しいメモリ・アーキテクチャは DDR I/O インタフェースを使用しています。Arria GX デバイスは、成熟期にあり十分に確立された SDR 外部メモリもサポートしていますが、この章では DDR メモリ規格を中心に説明します。これらの DDR メモリ規格は、エンベデッド・プロセッサ・システム、画像処理、ストレージ、通信、およびネットワーク向けの幅広いアプリケーションに対応しています。

Arria GX デバイスは、トップおよびボトム I/O バンクにおいて外部メモリ・サポートを提供します。図 7-1 に、Arria GX デバイスのメモリ・サポートを示します。



システムがメモリ・インタフェース・サポートを必要とする場合は、ユーザーは ALTMEMPHY メガファンクションを使用しなければなりません。

この章は、以下の項で構成されています。

- 7-3 ページの「外部メモリ規格」
- 7-7 ページの「Arria GX DDR メモリ・サポートの概要」
- 7-27 ページの「まとめ」

図 7-1. 外部メモリ・サポート

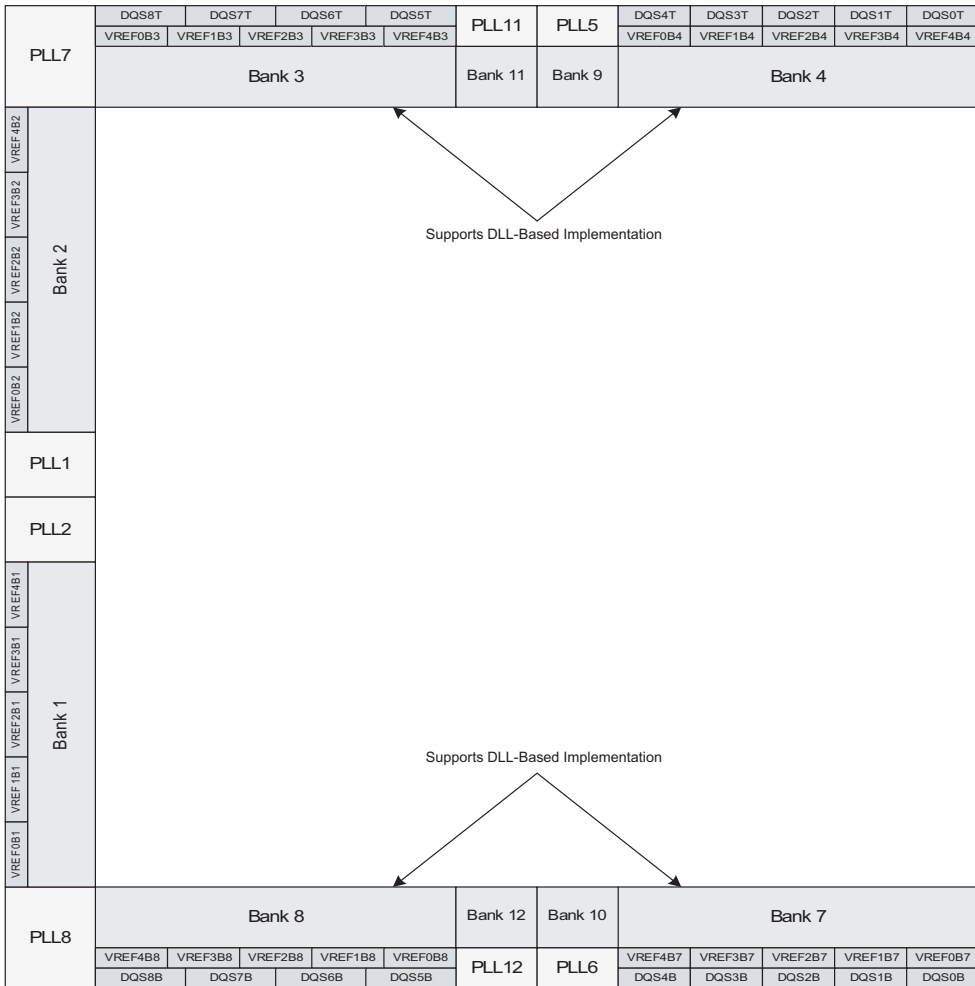


図 7-1 の注:

- (1) ALTMEMPHY データ・パスについて詳しくは、「[ALTMEMPHY メガファンクション・ユーザーガイド](#)」を参照してください。
- (2) F484 パッケージの EP1AGX20/35 および EP1AGX50/60 デバイスは、トップ I/O バンクでのみ外部メモリ・インタフェースをサポートします。

表 7-1 に、外部メモリ・デバイスで Arria GX デバイスがサポート可能な最大クロック・レートを示します。

メモリ規格	-6 スピード・グレード (MHz)
DDR2 SDRAM (3)、(4)	233
DDR SDRAM (3)、(4)	200

表 7-1 の注:

- (1) メモリ・インタフェースのタイミング仕様は、メモリ、ボード、物理的インタフェース、およびコア・ロジックによって異なります。各仕様の生成方法について詳しくは、各メモリ・インタフェースのアプリケーション・ノートを参照してください。
- (2) 最終特性評価まで、数値は暫定仕様です。これらのクロック・レートを定義するために、Quartus® II ソフトウェア v7.1 のタイミング情報が使用されています。
- (3) 値はモジュールおよびコンポーネント両方へのインタフェースに適用されません。
- (4) これらのメモリ・インタフェースは ALTMEMPHY メガファンクションを使用してサポートされます。

この章では、各 DDR メモリ規格の高速メモリ・インタフェースを容易にする Arria GX のハードウェア機能について説明します。

## 外部メモリ規格

以降の項では、Arria GX デバイスでサポートされる外部メモリ規格について簡単に説明します。アルテラは、クリア・テキスト・データ・パス、メモリ・コントローラ、およびタイミング解析を含めて、これらのメモリに対する完全なソリューションを提供しています。

### DDR および DDR2 SDRAM

DDR SDRAM は、クロック・スピードの 2 倍の速度でデータを送受信するメモリ・アーキテクチャです。これらのデバイスは、クロック信号の立ち上がりエッジと立ち下がりエッジの両方でデータを転送します。DDR2 SDRAM は、DDR SDRAM アーキテクチャをベースとした第 2 世代のメモリで、最大 233 MHz/466 Mbps で Arria GX デバイスにデータを転送します。Arria GX デバイスは、最大 200 MHz/400 Mbps で DDR SDRAM をサポートします。

## インタフェース・ピン

DDR および DDR2 SDRAM デバイスは、データ (DQ) ピン、データ・ストロープ (DQS) ピン、クロック・ピン、コマンド・ピン、およびアドレス・ピンなどのインタフェース・ピンを使用します。クロックのポジティブ・エッジおよびネガティブ・エッジでデータを転送することにより、データはシステム・クロック・レートの 2 倍の速度で送信およびキャプチャされます。一方でコマンドおよびアドレスは、クロックのアクティブな (ポジティブ) エッジを 1 つのみ使用します。DDR および DDR2 SDRAM は、シングル・エンドのデータ・ストロープ (DQS) を使用します。DDR2 SDRAM は、オプションの差動データ・ストロープ (DQS および DQS#) を使用することもできます。ただし、Arria GX デバイスは DDR2 SDRAM インタフェースに対してはオプションの差動データ・ストロープをサポートしていません。DDR SDRAM メモリの DQS# ピンは、未接続のままにしておくことができます。DQS ロジック・ブロックからのシフトされた DQS 信号のみ、データのキャプチャに使用されます。

DDR および DDR2 SDRAM×16 デバイスは、2 本の DQS ピンを使用し、各 DQS ピンは 8 本の DQ ピンに関連付けられています。ただし、これらは Arria GX デバイスの ×16/×18 モードと同じではありません (7-9 ページの「データおよびデータ・ストロープ・ピン」を参照)。×16 DDR2 SDRAM デバイスをサポートするには、2 組の DQ ピンを ×8/×9 モードで使用して、Arria GX デバイスをコンフィギュレーションする必要があります。同様に、それぞれが 8 本の DQ ピンに関連付けられた 4 本の DQS ピンを ×32 メモリ・デバイスで使用する場合、×8/×9 モードで DQS/DQ グループを 4 組使用するように Arria GX デバイスをコンフィギュレーションする必要があります。

メモリ・デバイスの DQ および DQS ピンは、Arria GX のピン・テーブルに示すように、それぞれ Arria GX の DQ および DQS ピンに接続します。DDR および DDR2 SDRAM は、アクティブ High データ・マスク、DM、およびピンを書き込みに使用します。メモリの DM ピンは、FPGA の DQ ピンと同じバンクの Arria GX I/O ピンのいずれにも接続できます。DDR または DDR2 SDRAM デバイスには、DQS/DQ グループごとに DM ピンが 1 本あります。



DDR SDRAM のインタフェースについて詳しくは、「AN 327: Interfacing DDR SDRAM と Stratix II デバイスのインタフェース」および「AN 328: Stratix II デバイスによる DDR2 SDRAM インタフェース」を参照してください。

どのユーザー I/O ピンでも、DDR および DDR2 SDRAM へのコマンドとアドレスに使用できます。これらの信号は、システム・クロックのネガティブ・エッジから生成することが必要になる場合があります。

SDRAM デバイスへのクロックは、CK ピンおよび CK# ピンと呼ばれます。ユーザー I/O ピンのいずれかを DDR レジスタを介して使用して、DDR SDRAM または DDR2 SDRAM デバイスの  $t_{DQSS}$  要件に適合するように CK および CK# 信号を生成します。メモリ・デバイスの  $t_{DQSS}$  規格では、ライト DQS 信号のポジティブ・エッジは、DDR SDRAM または DDR2 SDRAM クロック入力のポジティブ・エッジの 25% 以内であることが必要です。また、CK および CK# に通常の I/O ピンを使用すると、DQS 信号での PVT 変動がこれらの CK および CK# ピンと同様にトラッキングされるようになります。図 7-2 は、これらのクロックを生成する方法を示す図です。

図 7-2. Arria GX デバイスの外部メモリ・インタフェースに対するクロック生成

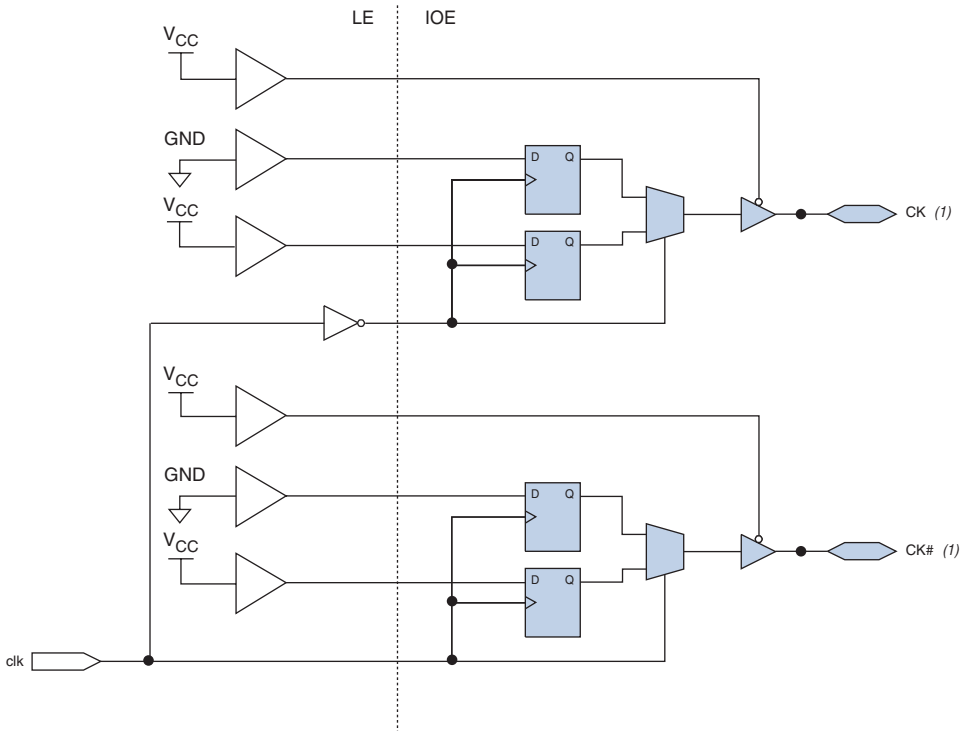


図 7-2 の注:

(1) CK および CK# は、メモリ・デバイスへのクロックです。

## リードおよびライト動作

メモリから読み出すとき、DDR および DDR2 SDRAM デバイスは、データ・ストロープを基準にエッジが揃ったデータを送信します。データを正しく読み込むには、データ・ストロープが FPGA 内部のデータに対して中央に揃えられていることが必要です。Arria GX デバイスは、このデータ・ストロープをデータ・ウィンドウの中央にシフトする専用回路を備えています。図 7-3 に、メモリが Burst-of-two 動作に対してメモリがデータとデータ・ストロープを送出する方法の例を示します。

図 7-3. DQS 信号での 90° シフトの例 注 (1)、(2)

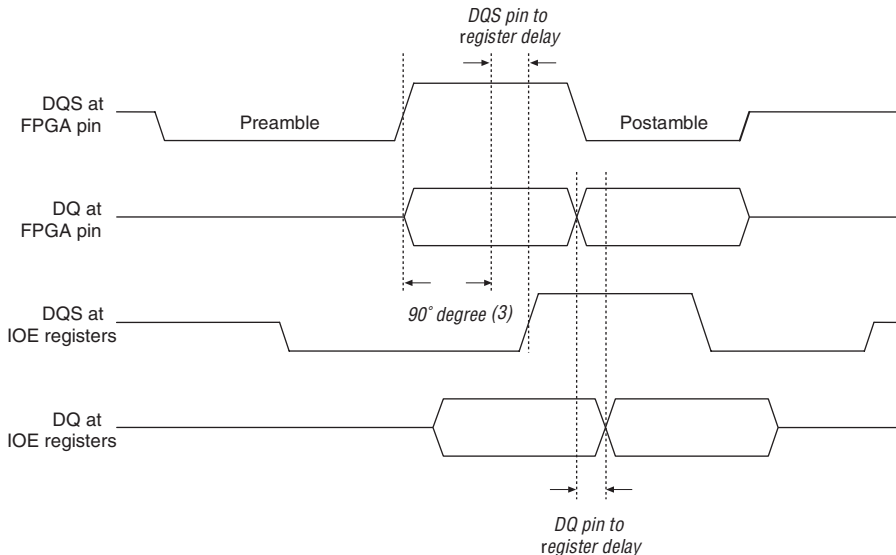


図 7-3 の注:

- (1) DDR2 SDRAM は、2 のバースト・レングスをサポートしていません。
- (2) システムに必要な位相シフトは、タイミング解析に基づく必要があり、90° でないことがあります。

DDR または DDR2 SDRAM デバイスへのライト動作の間、FPGA はデータ・ストロープに対して中央に揃えてデータをメモリに送信する必要があります。Arria GX デバイスは、0° 位相されたシステム・クロックをライト・データ・ストロープ用に、-90° 位相されたライト・クロックを DDR および DDR2 SDRAM 用に生成することにより、PLL を使用してデータを中央に揃えます。図 7-4 に、Burst-of-four ライト時におけるデータとデータ・ストロープの関係の例を示します。

図 7-4. DDR および DDR2 SDRAM ライト時における DQ と DQS の関係 注 (1)

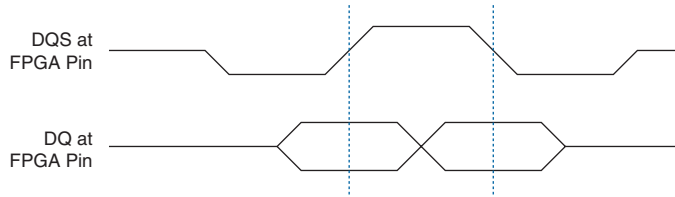


図 7-4 の注:

- (1) この例は、2 のバースト・レングスに対する書き込みを示します。DDR SDRAM デバイスは、2 のバースト・レングスをサポートしません。



DDR SDRAM および DDR2 SDRAM 規格について詳しくは、JEDEC 規格の刊行物 JESD79C および JESD79-2、または [www.jedec.org](http://www.jedec.org) を参照してください。

## Arria GX DDR メモリ・ サポート の概要

この項では、高速メモリ・インタフェースを可能にする Arria GX 機能について説明します。始めに Arria GX メモリ・ピンについて説明し、次に DQS 位相シフト回路および DDR I/O レジスタについて説明します。表 7-2 に、外部メモリ・インタフェースに関連する I/O 規格を示します。

メモリ規格	I/O 規格
DDR2 SDRAM	SSTL-18 Class II (1)
DDR SDRAM	SSTL-2 Class II

表 7-2 の注:

- (1) Arria GX デバイスは、I/O バンク 3、4、7、および 8 で 1.8-V HSTL/SSTL-18 Class I および II I/O 規格をサポートします。

Arria GX デバイスは、DDR SDRAM および DDR2 SDRAM デバイスで使用されるデータ・ストローブまたはリード・クロック信号 (DQS) を専用回路でサポートします。



メモリ・インタフェースについて詳しくは、[www.altera.co.jp](http://www.altera.co.jp) の該当する Stratix II または Stratix II GX メモリ・インタフェースのアプリケーション・ノートを参照してください。

Arria GX デバイスは、DLL (Delay-Locked Loop) モードに応じて、着信 DQS 信号を 0°、22.5°、30°、36°、45°、60°、67.5°、72°、90°、108°、120°、または 144° だけシフトする専用回路を内蔵しています。4つの DLL モードがあります。DQS 位相シフト回路は、周波数リファレンスを使用して各 DQS ピンの遅延チェーンに対して、コントロール信号をダイナミックに生成し、それによってプロセス、電圧、および温度 (PVT) 変動に対する補償を可能にしています。この位相シフト回路は、Arria GX デバイスではジッタを抑えてより多くの位相シフトを行うオプションをサポートするように機能拡張されています。

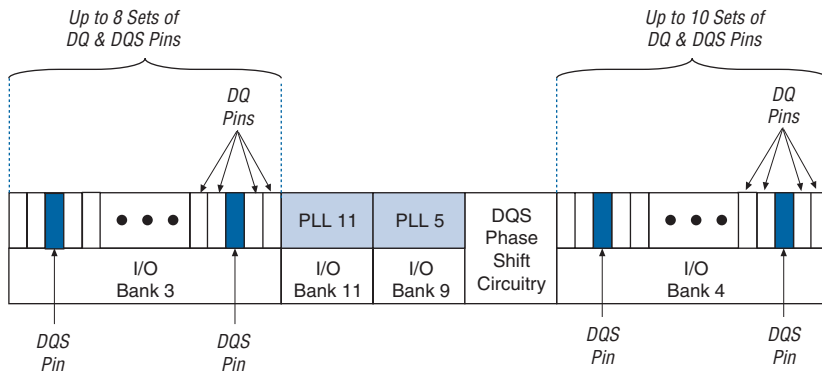
DQS 専用の位相シフト回路に加えて、各 DQS ピンはピンへの信号入力に対する遅延を設定する専用の DQS ロジック・ブロックを備えています。DQS 専用の位相シフト回路を DQS ロジック・ブロックと共に使用することにより、位相シフトの微調整が可能です。さらに、Arria GX デバイスの各 IOE は、DDR 動作を実行するために 6 個のレジスタと 1 個のラッチを備えています。

### DDR メモリ・インタフェース・ピン

Arria GX デバイスは、データ (DQ)、データ・ストロブ (DQS)、およびクロック・ピンを使用して、外部メモリとインタフェースします。

図 7-5 に、Arria GX デバイスのトップの I/O バンクにおける DQ および DQS ピンを示します。同様の配置がデバイスのボトムで繰り返されます。

図 7-5. I/O バンクごとの DQ および DQS ピン



## データおよびデータ・ストロープ・ピン

DDR メモリ・インタフェースの Arria GX データ・ピンは、DQ ピンと呼ばれます。Arria GX デバイスは、双方向データ・ストロープまたは単一方向リード・クロックのいずれかを使用できます。外部メモリ・インタフェースに応じて、メモリ・デバイスのリード・データ・ストロープまたはリード・クロックのいずれかが Arria GX DQS ピンに供給されません。

Arria GX の DQS ピンは、DDR および DDR2 SDRAM インタフェースの DQS ピンに接続されます。すべての Arria GX デバイスにおいて、デバイスのトップ (I/O バンク 3 と 4) およびボトム (I/O バンク 7 と 8) の I/O バンクは、最大 233 MHz/466 Mbps (DDR2 使用時) で DDR メモリをサポートします。これらの I/O バンクは、DQS 信号を  $\times 4$ 、 $\times 8/\times 9$ 、 $\times 16/\times 18$ 、または  $\times 32/\times 36$  の DQ バス・モードでサポートします。

$\times 4$  モードでは、各 DQS ピンは最大 4 本の DQ ピンをそのグループ内でドライブします。 $\times 8/\times 9$  モードでは、DQS ピンは最大 9 本の DQ ピンをそのグループ内でドライブして、1 つのパリティ・ビットおよび 8 つのデータ・ビットをサポートします。パリティ・ビットまたはいずれかのデータ・ビットが使用されていない場合、余分な DQ ピンを標準ユーザー I/O ピンとして使用できます。同様に、 $\times 16/\times 18$  および  $\times 32/\times 36$  モードでは、各 DQS ピンはそれぞれ最大 18 本および 36 本の DQ ピンをドライブします。 $\times 16/\times 18$  モードには、2 つのパリティ・ビット、 $\times 32/\times 36$  モードには 4 つのパリティ・ビットがあります。表 7-3 に、DLL ベースの実装に対して各 Arria GX パッケージでサポートされる DQS/DQ グループの数を示します。

表 7-3. Arria GX DQS および DQ バス・モードのサポート 注 (1)

パッケージ	$\times 4$ グループ数	$\times 8/\times 9$ モードの グループ数	$\times 16/\times 18$ モードの グループ数	$\times 32/\times 36$ モードの グループ数
484 ピン FineLine BGA	2	0	0	0
780 ピン FineLine BGA	18	8	4	0
1,152 ピン FineLine BGA	36	18	8	4

表 7-3 の注：

(1) 各モードの DQS/DQ グループは、ピン・テーブルで確認してください。

DQS ピンは、Arria GX ピン・テーブルに DQS [17..0]T または DQS [17..0]B として記載されています。T はデバイスのトップのピンであることを示し、B はデバイスのボトムのピンであることを示します。対応する DQ ピンは、DQ [17..0] という名称になっています。パッケージの底面図で右から左の方向に番号が付けられます。これらのピンは、DQ または DQS ピンとして使用されていないときには、通常の I/O ピンとして利用できます。図 7-6 に、Arria GX I/O バンクの DQS ピンを示します。

図 7-6. Arria GX I/O バンクの DQS ピン 注 (1)、(2)

Top I/O Banks

DQS17T	DQS16T	DQS15T	● ● ●	DQS10T	PLL 11	PLL 5	DQS Phase Shift Circuitry	DQS9T	DQS8T	● ● ●	DQS0T
I/O Bank 3					I/O Bank 11	I/O Bank 9		I/O Bank 4			

Bottom I/O Banks

I/O Bank 8					I/O Bank 12	I/O Bank 10	DQS Phase Shift Circuitry	I/O Bank 7			
DQS17B	DQS16B	DQS15B	● ● ●	DQS10B	PLL 12	PLL 6		DQS9B	DQS8B	● ● ●	DQS0B

図 7-6 の注：

- (1) デバイスのトップおよびボトムの両側に、最大で 18 ペアの DQS ピンがあります。
- (2) パッケージに基づく DQS バス・モードのサポートについては、表 7-3 を参照してください。

DQ ピンのナンバリングは、x4 モードに基づいています。I/O バンク 3 および 8 では x4 モードの DQS/DQ グループが最大で 8 個あり、I/O バンク 4 および 7 では x4 モードの DQS/DQ グループが最大で 10 個あります。x8/x9 モードでは、隣接する 2 つの x4 DQS/DQ グループに 1 本のパリティ・ピンを追加して組み合わせます。組み合わせたグループのうち 1 本の DQS ピンは、すべての DQ およびパリティ・ピンをドライブできます。I/O バンクには偶数の DQS/DQ のグループがあるため、グループの組み合わせは効果的です。同様に x16/x18 モードでは、隣接する 4 つの x4 DQS/DQ グループに 2 本のパリティ・ビットを追加して組み合わせます。組み合わせたグループのうち 1 本の DQS ピンは、すべての DQ およびパリティ・ピンをドライブできます。x32/x36 モードでは、隣接する 8 つの DQS/DQ グループが結合され、1 本の DQS ピンが結合されたすべてのグループの DQ およびパリティ・ピンをドライブできます。



デバイスのトップおよびボトム・サイドで、DQ および DQS ピンは双方向DDRピンとしてコンフィギュレーションして、DQS位相シフト回路をイネーブルする必要があります。ALTMEMPHYメガファンクションを使用して、DQおよびDQSPasをそれぞれコンフィギュレーションできます。

### クロック・ピン

DDR I/O レジスタのいずれかを使用して、メモリ・デバイスへのクロックを生成できます。より良い性能を得るには、データおよびアドレスおよびコマンド・ピンと同じI/Oバンクを使用します。

### アドレスおよびコマンド・ピン

デバイスのトップおよびボトム・バンク内のユーザーI/Oピンのいずれかをアドレスおよびコマンド用に使用できます。より良い性能を得るには、データ・ピンと同じI/Oバンクを使用します。

### その他のピン（パリティ、DMピン）

Arria GX デバイスでは、DQ ピンのいずれかをパリティ・ピンに使用できます。Arria GX デバイス・ファミリは、 $\times 8/\times 9$ 、 $\times 16/\times 18$ 、および $\times 32/\times 36$  モードでパリティをサポートします。データ・ピンの 8 ビットにつき 1 つのパリティ・ビットがあります。

データ・マスクおよびDMピンは、DDR SDRAM および DDR2 SDRAM デバイスに書き込むときにのみ必要です。DMピンのLow信号は書き込みが有効であることを示します。DM信号がHighの場合、メモリはDQ信号をマスクします。DQピンと同じバンクにあるI/OピンのいずれかをDM信号に使用できます。DDR および DDR2 SDRAM デバイスでは、DQS および DQ 信号の各グループに DM ピンが必要です。 $-90^\circ$  シフトしたクロックで駆動される DDR I/O 出力レジスタは、DQ 信号に類似する DM 信号を生成します。



タイミング解析を実行して、ライト・クロックの位相シフトを計算します。

## DQS 位相シフト回路

Arria GX の位相シフト回路と DQS ロジック・ブロックは、DQS ピンを制御します。Arria GX デバイスは、2つの位相シフト回路を内蔵しています。1つは I/O バンク 3 および 4 用、もう 1つは I/O バンク 7 および 8 用です。デバイスのトップにある位相シフト回路は、トップ I/O バンク内のすべての DQS ピンを制御でき、デバイスのボトムにある位相シフト回路は、ボトム I/O バンク内のすべての DQS を制御できます。図 7-7 に、DQS ロジック・ブロックおよび DQS 位相シフト回路への DQS ピンの接続を示します。

図 7-7. DQS ピンおよび DQS 位相シフト回路 注 (1)

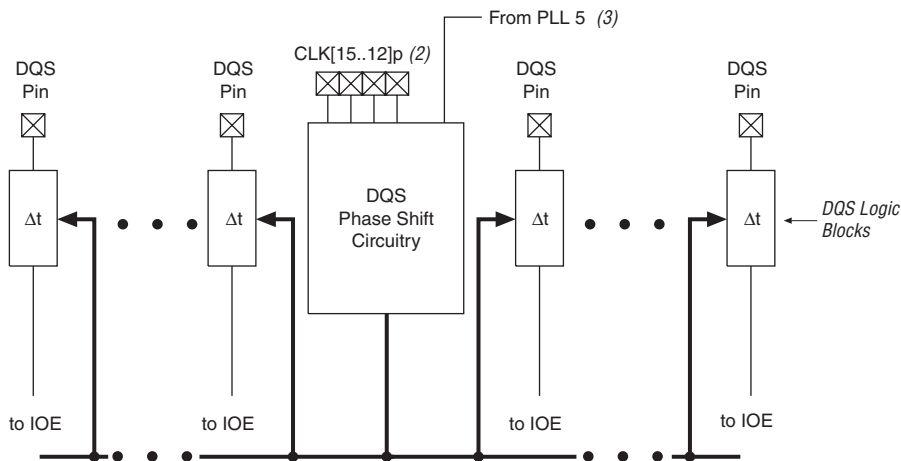


図 7-7 の注:

- (1) Arria GX デバイスのトップまたはボトムには DQS ピンが最大 18 ペア、DQS 位相シフト回路の左サイド (I/O バンク 3 および 8) には最大 8 ペア、右サイド (I/O バンク 4 および 7) には最大 10 ペアあります。
- (2) クロック・ピン CLK[15..12]p はデバイスのトップにある位相シフト回路にクロックを供給し、クロック・ピン CLK[7..4]p はデバイスのボトムにある位相シフト回路にクロックを供給します。PLL (Phase-Locked Loop) クロック出力を位相シフト回路への基準クロックとして使用することもできます。基準クロックはロジック・アレイでも使用できます。
- (3) PLL 5 はデバイスのトップにある DQS 位相シフト回路への供給にのみ、PLL 6 はデバイスのボトムにある DQS 位相シフト回路への供給にのみ使用できます。

図 7-8 は、DQS 位相シフト回路と DQS ロジック・ブロック間の接続を示します。

図 7-8. DQS 位相シフト回路と DQS ロジック・ブロック間の接続 注 (1)

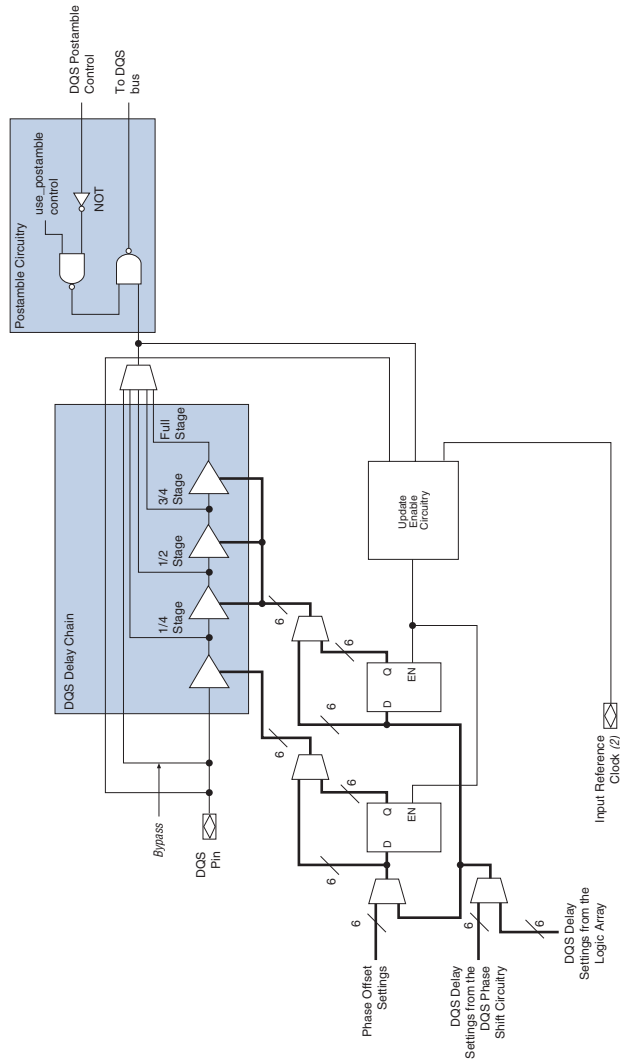


図 7-8 の注:

- (1) DQS 位相シフト回路および DQS ロジック・ブロックのすべての機能は、Quartus II ソフトウェアの ALTMEMPHY メガファンクションから制御されます。
- (2) DQS ロジック・ブロックは、すべての DQS ピンで使用できます。
- (3) デバイスのトップおよびボトム・サイドには、DQS 位相シフト回路が 1 つあります。
- (4) 入力基準クロックは、デバイスのトップ・サイドの DQS 位相シフト回路には CLK[15..12]p または PLL 5 から、あるいはデバイスのボトム・サイドの DQS 位相シフト回路 CLK[7..4]p または PLL 6 から供給できます。
- (5) 各 DQS ピンは、ロジック・アレイとの間に個別に DQS 遅延を設定することができます。
- (6) このレジスタは DQS IOE 入力レジスタの 1 つです。

位相シフト回路は、DQS ピンが入力クロックまたはストローブとして機能するリード・トランザクション時にのみ使用されます。位相シフト回路は、着信 DQS 信号を 0°、22.5°、30°、36°、45°、60°、67.5°、72°、90°、108°、120°、または 144° だけシフトできます。シフトされた DQS 信号は、DQ IOE 入力レジスタでクロックとして使用されます。

7-6 ページの図 7-3 は、DQS 信号が 90° だけシフトされる例を示します。DQS 信号は、DQS 位相シフト回路および DQS ロジック・ブロックによって設定された 90° のシフト遅延と DQS から DQ IOE レジスタまでの若干の配線遅延を生じます。DQ 信号は、DQ ピンから DQ IOE レジスタまでの配線遅延のみを生じ、ソフトウェアが DQ および DQS 入力でピンと IOE レジスタ間の配線遅延に一致させて自動的に遅延チェーンを設定するため、DQ IOE レジスタの DQS 信号と DQ 信号の間で 90° の関係を維持します。

デバイスのトップまたはボトムいずれかにある 18 本の DQS ピンはすべて、異なる度数だけシフトされた入力信号位相を持つことができますが、これらはすべて 1 つの特定周波数で参照しなければなりません。例えば、DQS0T に 90° の位相シフトを、DQS1T に 60° の位相シフトを持たせ、両方を 200 MHz クロックで参照することができます。ただし、すべての位相シフトの組み合わせがサポートされているわけではありません。デバイスの同じサイドにある位相シフトは、すべて 22.5° の倍数（最大 90°）、30° の倍数（最大 120°）、または 36° の倍数（最大 144°）でなければなりません。

使用している DLL で正しい位相シフトを生成するために、DQS シフト回路への DQS 信号と同じ周波数のクロック信号を提供する必要があります。CLK[15..12]p クロック・ピンのいずれもデバイスのトップ(I/Oバンク 3 および 4)にある位相回路にクロックを供給でき、また CLK[7..4]p クロックのいずれもデバイスのボトム(I/Oバンク7および8)にある位相回路にクロックを供給できます。Arria GX デバイスは、デバイスのトップまたはボトムにある DQS 位相シフト回路への基準クロックとして、それぞれ PLL5 または PLL6 を使用することもできます。PLL5 はデバイスのトップ・サイドにある DQS 位相シフト回路に接続され、PLL6 はデバイスのボトム・サイドにある DQS 位相シフト回路に接続されます。トップおよびボトムの位相シフト回路にも基準クロック用の固有のクロック・ピンまたは PLL クロック出力が必要です。



DLL 入力基準クロック生成専用の PLL を使用する場合、PLL モードを **No Compensation** に設定しなければなりません。そうしなかった場合、Quartus II ソフトウェアが自動的に変更します。使用されている PLL 出力が他にないので、PLL がクロック・パスを補償する必要はありません。

## DLL

DQS 位相シフト回路は、DLL (Delay-Locked Loop) を使用して DQS ピンに必要なクロック周期をダイナミックに測定します (図 7-8 を参照)。次に、DQS 位相シフト回路はクロック周期を使用して正しい位相シフトを生成します。Arria GX の DQS 位相シフト回路の DLL は、100 MHz ~ 233 MHz で動作可能です。位相シフト回路は、正しい入力クロック周期を計算するために最大 256 クロック・サイクルを必要とします。これらのクロック・サイクル中に送信されたデータは正しくキャプチャされない可能性があります。



DLL は 233 MHz で動作可能ですが、その他の要因によって 233 MHz の外部メモリ・デバイスとのインタフェースが困難な場合があります。



100 MHz 以下であっても、DQS 位相シフト回路をメモリ・インタフェースに使用できます。DQS 信号は 2.5 ns だけシフトされます。位相オフセット・モジュールを使用して、シフトを追加することができます。DQS 信号が DQ 有効ウィンドウの正確な中央位置にシフトされなくても、この低周波数アプリケーションでは IOE はデータをキャプチャできます。

Arria GX の DLL には、3 種類の周波数モードがあります。各周波数モードは、表 7-4 に示すように異なる位相シフトを提供します。

周波数モード	周波数範囲 (MHz)	使用可能な位相シフト	遅延チェーンの数
0	100–175	30, 60, 90, 120	12
1	150–230	22.5, 45, 67.5, 90	16
2	200–310	30, 60, 90, 120	12

周波数モード 0 では、Arria GX デバイスは 6 ビット設定を使用して位相シフト遅延を実装します。周波数モード 1 および 2 では、Arria GX デバイスは 5 ビット設定のみを使用して位相シフト遅延を実装します。

ロジック・アレイまたはユーザー I/O ピンから DLL をリセットできません。図 7-9 では、この信号は示されていません。DLL がリセットされるたびに、データを正しくキャプチャできるようになるまで、256 クロック・サイクル間待機しなければなりません。さらに、例えば SDRAM リ

フレッシュ・サイクル中など、DLL 基準クロックが停止し再開した後、データを正しくキャプチャする前に少なくとも 16 クロック・サイクルが必要です。

図 7-9. DQS 位相シフト回路の簡略図 注 (1)

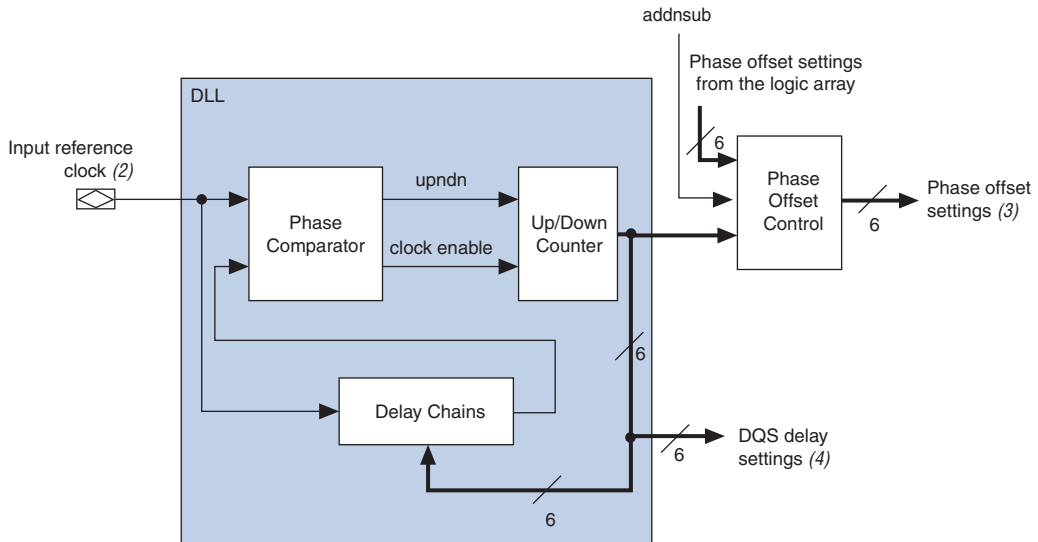


図 7-9 の注:

- (1) DQS 位相シフト回路のすべての機能は、Quartus II ソフトウェアの ALTMEMPHY メガファンクションからアクセスできます。
- (2) デバイスのトップ・サイドにある DQS 位相シフト回路の入力基準クロックは、CLK[15..12]p または PLL 5 から供給できます。デバイスのボトム・サイドにある DQS 位相シフト回路の入力基準クロックは、CLK[7..4]p または PLL 6 から供給できます。
- (3) 位相オフセット設定は、DQS ロジック・ブロックにのみ供給可能です。
- (4) DQS 遅延設定は、ロジック・アレイまたは DQS ロジック・ブロック、あるいはその両方に供給できます。

入力基準クロックは、DLL に入り最大 16 の遅延エレメントで構成されるチェーンに供給されます。位相コンパレータは、遅延エレメント・チェーンの末端から出力される信号と入力基準クロックを比較します。次に、位相コンパレータはアップ / ダウン・カウンタへの updn 信号を発行します。この信号は 6 ビットの遅延設定 (DQS 遅延設定) を増分または減分します。これによって、遅延エレメント・チェーンを通して遅延を増加 / 減少させ、入力基準クロックと遅延エレメント・チェーンから出力される信号の位相を合わせます。

DQS 遅延設定には、入力 DQS ピン上の信号を ALTMEMPHY メガファンクションに設定された量だけシフトするコントロール・ビットが含まれています。0 シフトの場合、DLL と DQS ロジック・ブロックの両方が

バイパスされます。Arria GX の DQS ピンおよび DQ ピンは、ピンから IOE までの遅延が一致するように設計されているため、0 シフトを実装するとき、DQ IOE レジスタの DQ ピンと DQS ピン間のスキューは無視できます。DQS 遅延設定を DQS ロジック・ブロックおよびロジック・アレイに供給できます。

### 位相オフセット・コントロール

DQS 位相シフト回路には、DQS 遅延設定に対して位相オフセット量を加算または減算することができる位相オフセット・コントロール・モジュール (図 7-10 でロジック・アレイからの位相オフセット設定を入力) も内蔵されています。入力信号に対して小さなシフトを生成するには位相オフセット・コントロール・モジュールを使用し、より大きな信号シフトを生成するには DQS 位相シフト回路を使用する必要があります。

スタティック位相オフセットまたはダイナミック位相オフセットを使用して、追加位相シフトを実装できます。利用可能な追加位相シフトは、周波数モード 0 の場合は設定値  $-64 \sim +63$ 、周波数モード 1、2、3 の場合は設定値  $-32 \sim +31$  の 2 の補数で実装されます。



各ステップの値について詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「DC およびスイッチング特性」の章を参照してください。追加位相シフトが必要な場合は、遅延量を動作周波数の相当値に変換する必要があります。

スタティック位相オフセットを使用するときは、ALTMEMPHY メガファンクションに加算の場合は正数、減算の場合は負数として位相オフセット量を指定できます。また、常に DLL 位相シフトに加算、減算、または加減算されるダイナミック位相オフセットを持つこともできます。常に加算または減算したい場合、d11\_offset [5..0] ポートに位相オフセット量をダイナミックに入力できます。ダイナミックに加算および減算したい場合は、d11\_offset [5..0] 信号に加えて、addnsub 信号を制御します。

### DQS ロジック・ブロック

各 DQS ピンは、独立した DQS ロジック・ブロックに接続されます (図 7-10 を参照)。ロジック・ブロックには、DQS 遅延チェーンとポストアンブル回路が含まれています。

図 7-10. DQS ロジック・ブロックの簡略図 注 (1)

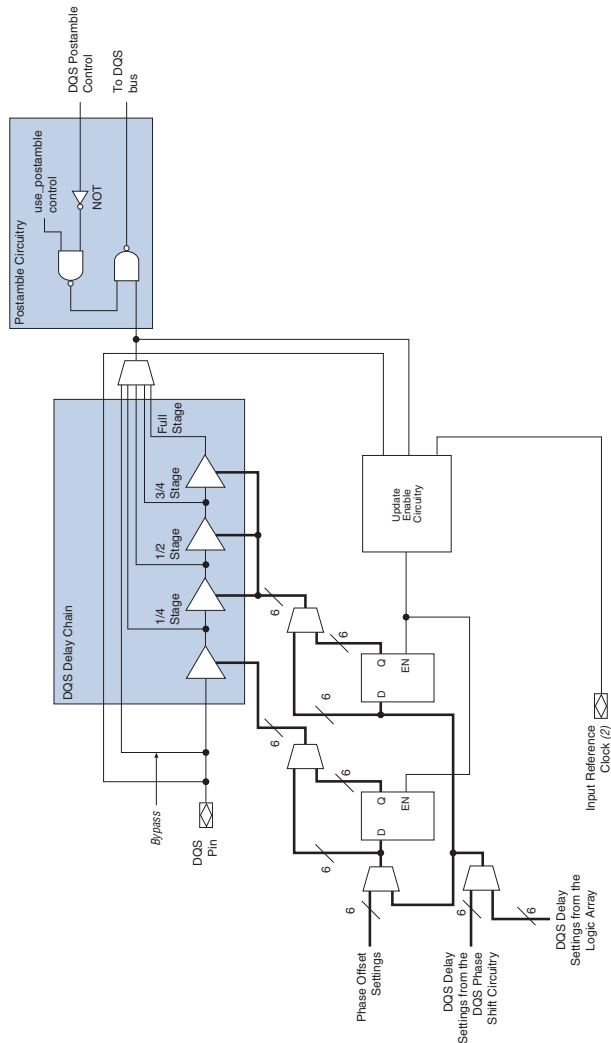


図 7-10 の注:

- (1) DQS ロジック・ブロックのすべての機能は、Quartus II ソフトウェアの ALTMEMPHY メガファンクションから制御されます。
- (2) デバイスのトップ・サイドにある DQS 位相シフト回路の入力基準クロックは、CLK[15..12]p または PLL 5 から供給できます。デバイスのトップ・サイドにある DQS 位相シフト回路の入力基準クロックは、CLK[7..4]p または PLL 6 から供給できます。
- (3) このレジスタは DQS IOE 入力レジスタの 1 つです。

## DQS 遅延チェーン

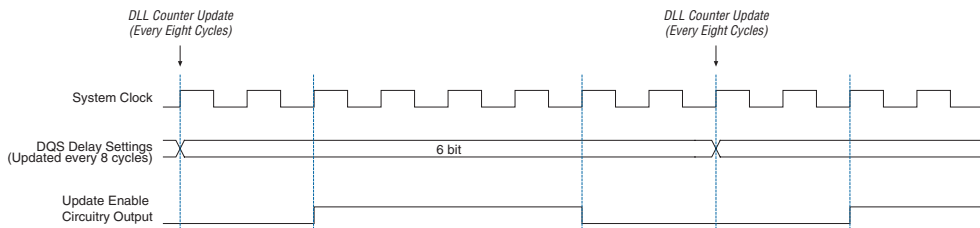
DQS 遅延チェーンは一連の可変遅延エレメントで構成されており、入力 DQS 信号を DQS 位相シフト回路またはロジック・アレイで与えられる量だけシフトすることができます。DQS 遅延チェーンには 4 つの遅延エレメントがあり、DQS ピンに最も近い最初の遅延チェーンは DQS 遅延設定分または DQS 遅延設定と位相オフセット設定を加算した分だけシフトできます。使用される遅延チェーン数は ALTMEMPHY メガファンクションが自動的に設定するためユーザーには分かりません。DQS 遅延設定は、ターゲット DQS ロジック・ブロックと同じデバイス・サイドにある DQS 位相シフト回路、またはロジック・アレイから供給できます。ALTMEMPHY メガファンクションで 0° シフトを適用すると、DQS 遅延チェーンはバイパスされます。

DQS ロジック・ブロックの遅延エレメントは、DLL 内の遅延エレメントと同様のものです。遅延量は、遅延エレメント固有の遅延と遅延ステップ数と遅延ステップ値の積との合計に等しくなります。

DQS 遅延設定と位相オフセット設定は、ラッチを通過してから DQS 遅延チェーンに入ります。ラッチは DQS 遅延設定ビットの変更がすべての遅延エレメントに到達するのに十分な時間をとるようにアップデート・イネーブル回路で制御されます。これによって遅延を同時に調整できます。アップデート・イネーブル回路は、DQS 遅延設定が次に変更される前に DQS 位相シフト回路からすべての DQS ロジック・ブロックに伝達されるのに十分な時間となるようにラッチをイネーブルします。この回路は、入力基準クロックを使用して、アップデート・イネーブル出力を生成します。ALTMEMPHY メガファンクションは、デフォルトでこの回路を使用します。アップデート・イネーブル回路出力の波形例は、[図 7-11](#) を参照してください。

シフトされた DQS 信号は、DQS バスに送られて DQ ピンの IOE レジスタをクロックします。この信号はロジック・アレイに送って再同期化に使用することも可能です。

図 7-11. DQS アップデート・イネーブル波形



## DQS ポストアンプル回路

DDR や DDR2 SDRAM などの双方向リード・ストロープを使用する外部メモリ・インタフェースの場合、DQS 信号はハイ・インピーダンス状態に入る前、またはそれから抜ける前に Low になります。7-6 ページの図 7-3 を参照してください。ハイ・インピーダンス状態直後の DQS が Low の状態をプリアンプルと呼び、ハイ・インピーダンス状態に戻る直前の状態をポストアンプルと呼んでいます。DDR および DDR2 SDRAM でのリード動作とライト動作の両方に対して、プリアンプル仕様とポストアンプル仕様があります。DQS ポストアンプル回路は、リード・ポストアンプル時間の終了時に DQS ライン上にノイズがあるときにデータが失われないようにしています。この回路は、DQS ポストアンプル・コントロール信号がリード動作の終了時に DQ 入力レジスタのクロックであるシフトされた DQS 信号をグラウンドに接続できるように、DQS IOE 入力レジスタの 1 つと共に使用されます。これによって、リード・ポストアンプル時間の終了時に DQS 入力信号上のグリッチが DQ IOE レジスタに影響を与えないようにしています。

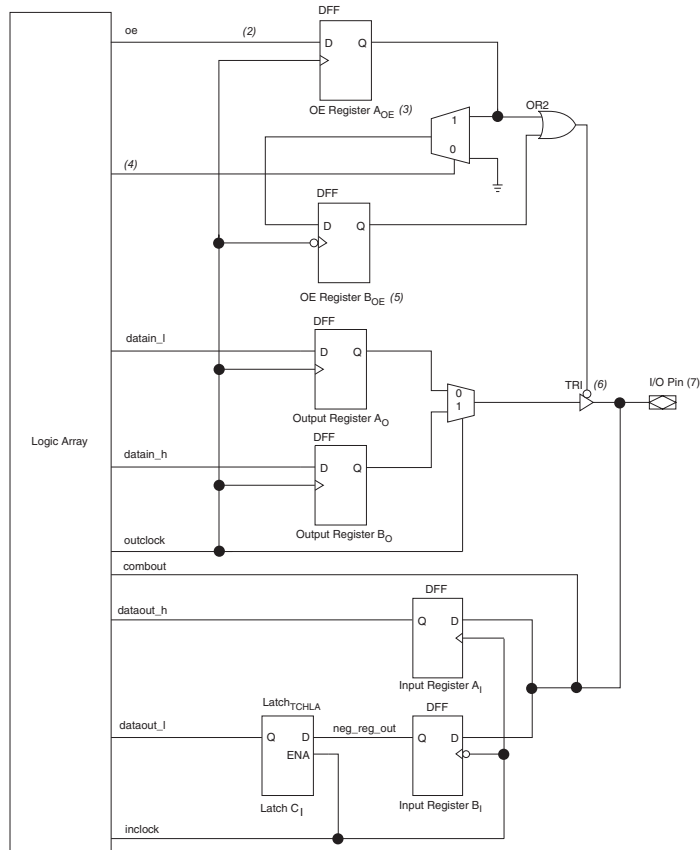


DDR SDRAM および DDR2 SDRAM について詳しくは、「AN 327: DDR SDRAM と Stratix II デバイスのインタフェース」および「AN 328: Stratix II デバイスによる DDR2 SDRAM インタフェース」を参照してください。

## DDR レジスタ

Arria GX デバイスの各 IOE には、6 個のレジスタと 1 個のラッチがあります。2 個のレジスタと 1 個のラッチは入力に使用され、2 個のレジスタは出力に、そして 2 個のレジスタは出力イネーブル・コントロールに使用されます。2 番目の出力イネーブル・レジスタは、DDR 外部メモリ・インタフェースの DQS ストロープにライト・プリアンプルを提供します。このアクティブ Low の出力イネーブル・レジスタは、ピンのハイ・インピーダンス状態を 1/2 クロック・サイクルだけ延長して、外部メモリの DQS ライト・プリアンプル時間仕様に合わせます。図 7-12 に、Arria GX の IOE の 6 個のレジスタと 1 個のラッチを示します。図 7-13 に、2 番目の OE レジスタがライト動作中に DQS のハイ・インピーダンス状態をどのようにして 1/2 クロック・サイクル延長するかを示します。

図 7-12. Arria GX デバイスの双方向 DDR I/O パス 注 (1)



## 図 7-12 の注:

- (1) すべてのコントロール信号は IOE で反転させることができます。ここで使用した信号名は、Quartus II ソフトウェアの命名規則に従っています。
- (2) OE 信号はアクティブ Low ですが、Quartus II ソフトウェアはこれをアクティブ High として実装し、コンパイル時に A<sub>OE</sub> レジスタの入力の前に自動的にインバータを追加します。
- (3) A<sub>OE</sub> レジスタは、汎用 DDR I/O アプリケーション用のイネーブル信号を生成します。
- (4) このセレクト・ラインは、OE 信号を 1/2 クロック・サイクルだけ遅延させるかどうかを選択するためのものです。
- (5) B<sub>OE</sub> レジスタは、メモリ・インタフェース用のライト・ストロープまたはライト・クロックのための遅延イネーブル信号を生成します。
- (6) トライ・ステート・イネーブルは、デフォルトではアクティブ Low です。しかし、これをアクティブ High になるように設計できます。トライ・ステートのための組み合わせコントロール・パスは図に示されていません。
- (7) I/O ピンへの組み合わせ出力を作成することもできます。このパスは図に示されていません。
- (8) トップおよびボトム I/O バンクでは、このレジスタへのクロックは反転したレジスタ A のクロックまたは別のクロック（反転または非反転）のいずれにすることも可能です。

図 7-13. ライト・トランザクションに対するOEディセーブルの1/2クロック・サイクルの延長 注 (1)

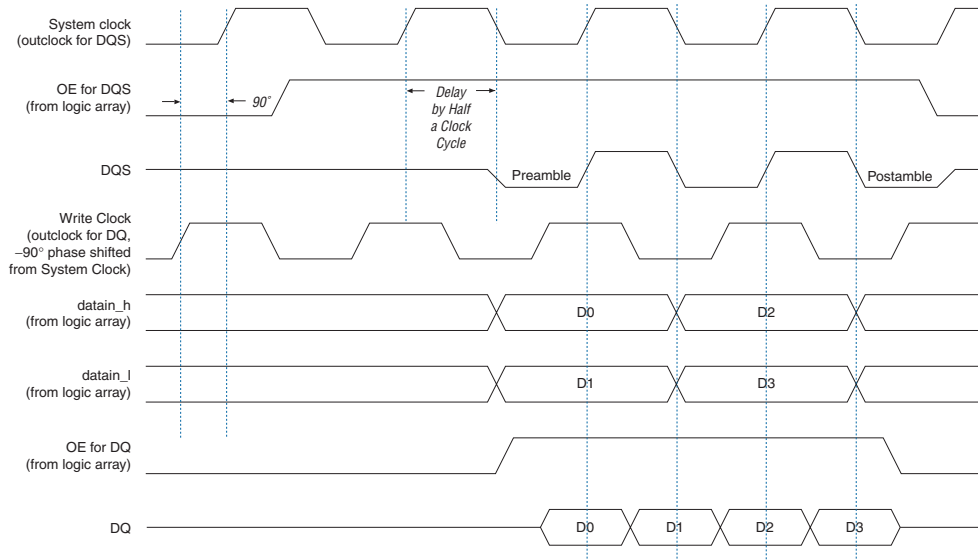


図 7-13 の注:

- (1) この波形はソフトウェア・シミュレーション結果を反映しています。OE 信号は、デバイス上ではアクティブ Low です。ただし、Quartus II ソフトウェアはこの信号をアクティブ High として実装し、A<sub>OE</sub> レジスタの D 入力の前に自動的にインバータを追加します。

図 7-14 および 7-15 に、DQ および DQS 信号に使用される IOE レジスタを要約します。

図 7-14. Arria GX の IOE の DQ コンフィギュレーション 注 (1)

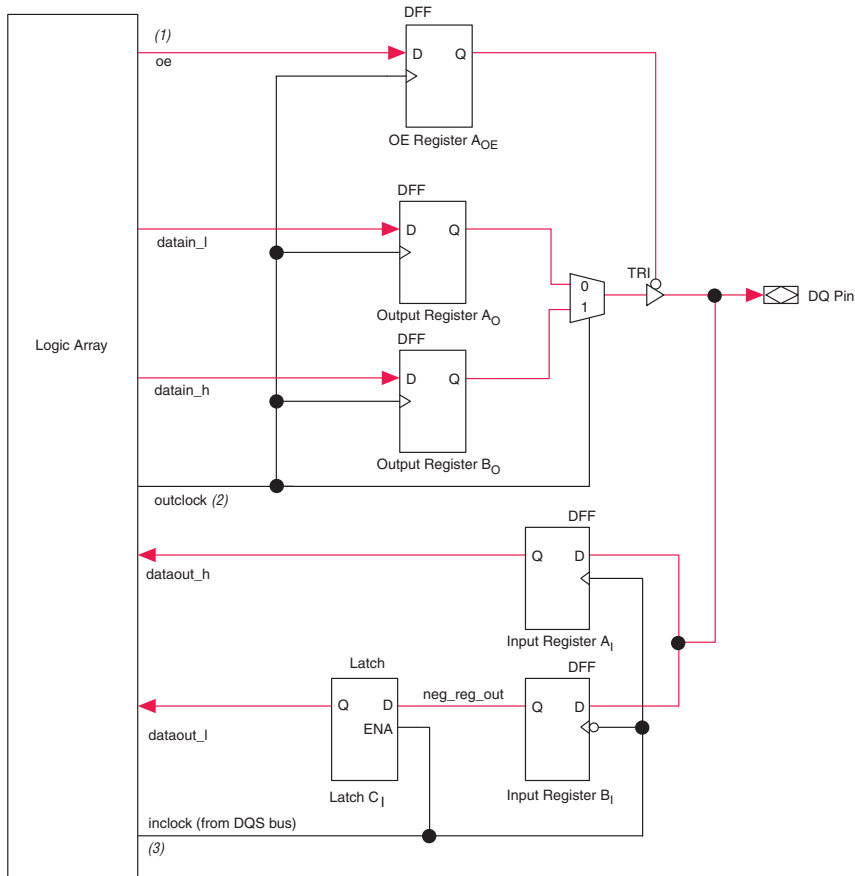
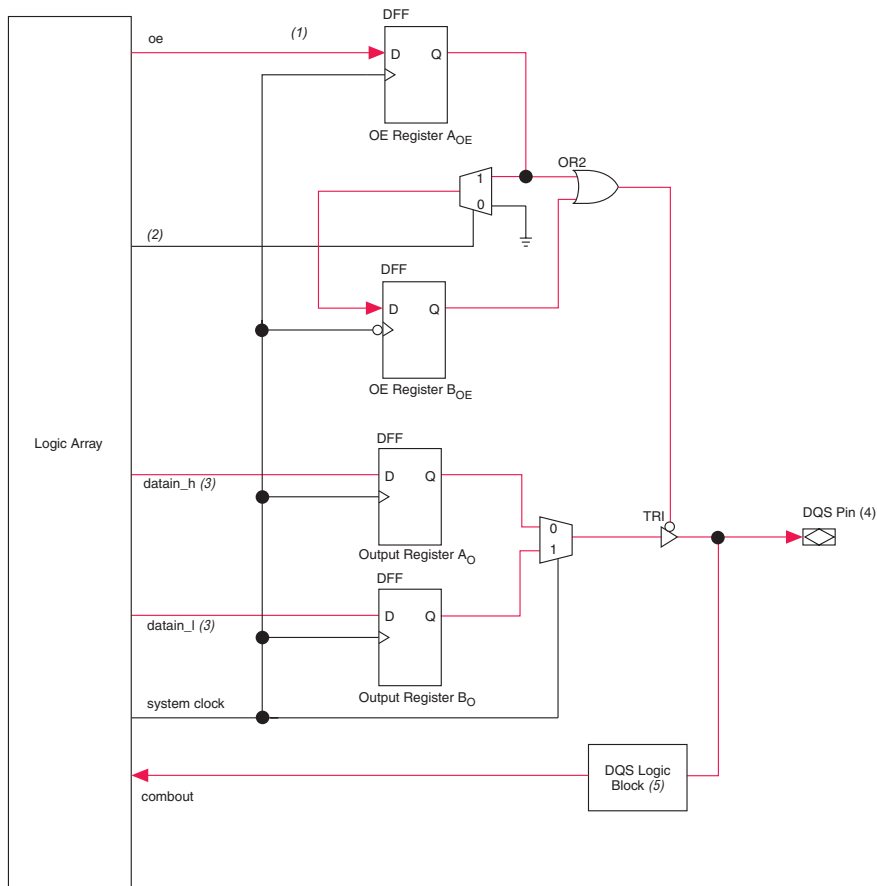


図 7-14 の注:

- (1) メモリ・インタフェース用のデータ・バスを生成するためには、ALTMEMPHY メガファンクションを使用してください。
- (2) OE 信号はアクティブ Low ですが、Quartus II ソフトウェアはこれをアクティブ High として実装し、コンパイル時に OE レジスタ A<sub>OE</sub> の前に自動的にインバータを追加します。
- (3) DDR および DDR2 SDRAM インタフェースに対する outclock 信号は、システム・クロックと 90° の位相シフト関係にあります。シフトされた DQS 信号はこのレジスタをクロックすることができます。
- (4) シフトされた DQS 信号は、DQ IOE に入る前に反転させる必要があります。ALTMEMPHY メガファンクションを使用して DQ 信号を生成する場合、この反転は自動的に行われます。
- (5) トップおよびボトム I/O バンクでは、このレジスタへのクロックは反転したレジスタ A のクロックまたは別のクロック（反転または非反転）のいずれにすることも可能です。

図 7-15. Arria GX の IOE の DQS コンフィギュレーション 注 (1)



## 図 7-15 の注:

- (1) メモリ・インタフェース用のデータ・バスを生成するためには、ALTMEMPHY メガファンクションを使用してください。
- (2) OE 信号はアクティブ Low ですが、Quartus II ソフトウェアはこれをアクティブ High として実装し、コンパイル時に OE レジスタ A<sub>OE</sub> の前に自動的にインバータを追加します。
- (3) ALTMEMPHY メガファンクションでセレクト・ラインを選択できます。
- (4) datain\_l ピンおよび datain\_h ピンは通常、グランドと V<sub>CC</sub> にそれぞれ接続されます。
- (5) DQS ポストアンブル回路とその処理は、この図には示されていません。詳細は、「AN 327: DDR SDRAM と Stratix II デバイスのインタフェース」および「AN 328: Stratix II デバイスによる DDR2 SDRAM インタフェース」を参照してください。
- (6) DQS ロジック・ブロックは DQS ピンでのみ使用できます。
- (7) この信号は DQ IOE に到達するまで反転させなければなりません。ALTMEMPHY メガファンクションを使用して DQ 信号を生成する場合、この信号は自動的に反転されます。

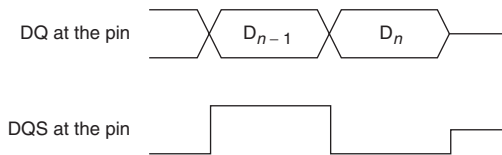
DDR SDRAM および DDR2 SDRAM にインタフェースする場合、適切にデータ転送を実行するために Arria GX の DDR IOE 構造で着信 DQS 信号を反転させる必要があります。デフォルトでは、ALTMEMPHY メガファンクションは、DQ ブロックの生成時に inclock ポートにインバータを追加します。7-21 ページの図 7-12 に示すように、inclock 信号の立ち上がりエッジで  $A_1$  レジスタをクロックし、inclock 信号の立ち下がりエッジで  $B_1$  レジスタをクロックします。ラッチ  $C_1$  は、inclock が 1 のときにオープンになります。DDR メモリ・リード動作では、最後のデータるとき DQS が Low になります。DQS ピンを反転しない場合、DQS 信号の次の立ち上がりエッジまでラッチがオープンしないので、最後のデータを取得することはできません。

図 7-16 に、7-23 ページの図 7-14 に記載したこの回路の波形を示します。

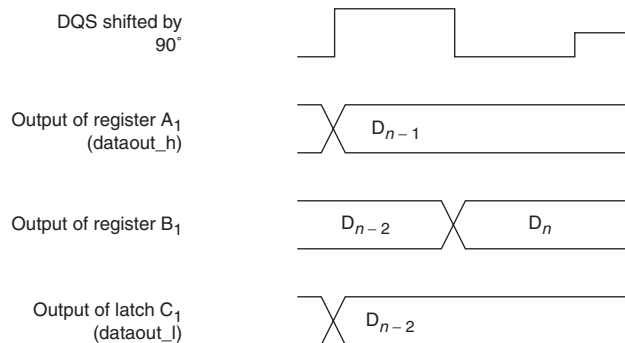
図 7-16 の最初の 2 つの波形は、Arria GX デバイス・ピンにおける DQ 信号と DQS 信号のエッジ・アラインメント関係を示します。図 7-16 の次の 4 つの波形は、シフトされた DQS 信号を反転しなかった場合にはどうなるかを示しています。最後のデータ  $D_n$  は、リード・ポストアンブル時間後に DQS がトライ・ステートになるのでロジック・アレイにラッチされません。図 7-16 の最後の 4 つの波形は、90°シフト後に DQS 信号が反転する正しいリード動作を示しています。最後のデータ  $D_n$  はラッチされません。このケースでは、dataout\_h および dataout\_1 ポートに対応するレジスタ  $A_1$  およびラッチ  $C_1$  の出力は、DQS が反転するため切り換わります。レジスタ  $A_1$ 、レジスタ  $B_1$ 、およびラッチ  $C_1$  の信号名は、7-23 ページの図 7-14 から引用したものです。

図 7-16. 非反転および反転のシフトされた DQS による DQ キャプチャ

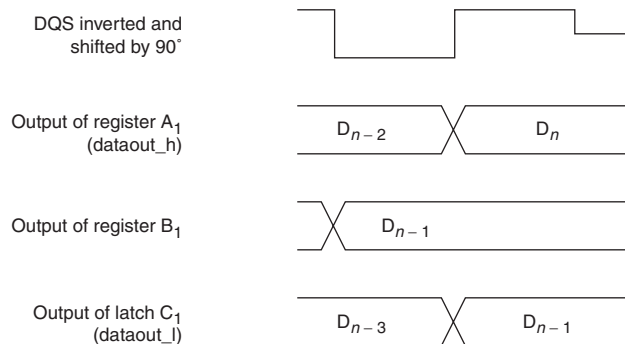
DQ & DQS Signals



Shifted DQS Signal is Not Inverted



Shifted DQS Signal is Inverted



## PLL

Arria GX のトップおよびボトム I/O バンク (I/O バンク 3、4、7、または 8) を使用して DDR メモリにインタフェースするときには、システム・クロックとライト・クロックを生成するのに 2 つの出力を持つ PLL が最低 1 個必要です。システム・クロックは、DQS ライト信号、コマンド、およびアドレスを生成します。ライト・クロックはシステム・クロックから  $-90^\circ$  または  $90^\circ$  シフトされ、書き込み時に DQ 信号を生成するのに使用されます。

200 MHz 以上の DDR および DDR2 SDRAM インタフェースの場合、アルテラは再同期化が容易になるように第 2 のリード PLL を使用することを推奨します。

## まとめ

Arria GX デバイスは、SDR SDRAM、DDR SDRAM、および DDR2 SDRAM 外部メモリをサポートしています。Arria GX デバイスは、最大 233 MHz/466 Mbps の動作速度により外部メモリ・デバイス間でデータを転送する高速インタフェースを備えています。Arria GX デバイス内の DQS 位相シフト回路と DQS ロジック・ブロックを使用することにより、入力クロックの位相シフトを微調整したり、ストローブを生成して、データ・キャプチャ要件に応じてクロック・エッジを正しく揃えることができます。

## 参考資料

この章では以下のドキュメントを参照しています。

- [「ALTMEMPHY メガファンクション・ユーザーガイド」](#)
- [「AN 327: DDR SDRAM と Stratix II デバイスのインタフェース」](#)
- [「AN 328: Stratix II デバイスによる DDR2 SDRAM インタフェース」](#)
- [「DC およびスイッチング特性」](#) の章 (Arria GX デバイス・ハンドブック Volume 1)

## 改訂履歴

表 7-5 に、本資料の改訂履歴を示します。

表 7-5. 改訂履歴		
日付および ドキュメント・ バージョン	変更内容	概要
2008 年 5 月 v1.2	「DLL」の項を更新。	—
	テキストのマイナーな編集。	—
2007 年 8 月 v1.1	「参考資料」の項を追加。	—
2007 年 5 月 v1.0	初版	—