

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX52006-1.0

### はじめに

Arria™ GX デバイスは、FPGA デザインのメモリ要求に効率的に対応する 3 種類のサイズのエンベデッド RAM ブロックで構成された TriMatrix メモリ構造を備えています。

TriMatrix メモリには、512 ビットの M512 ブロック、4K ビットの M4K ブロック、512K ビットの M-RAM ブロックがあり、それぞれをコンフィギュレーションして多彩な機能をサポートすることができます。TriMatrix メモリは、最大 380 MHz で動作し、最大 4,477,824 ビットの RAM を提供します。この章では、TriMatrix メモリのブロック、モード、および特長について説明します。

### TriMatrix メモリの概要

TriMatrix アーキテクチャは、FPGA デザインの様々なアプリケーションに対して複雑なメモリ機能を提供します。例えば、M512 ブロックは、メモリ帯域幅が重要な部分で FIFO (First-In First-Out) 機能やクロック・ドメイン・バッファに使用されます。M4K ブロックは、非同期通信モード (ATM) セル処理など、中規模のメモリを必要とするアプリケーションに理想的です。また、M-RAM ブロックは、インターネット・プロトコル (IP) パケット用バッファやシステム・キャッシュのような大規模なバッファ・アプリケーションに適しています。

TriMatrix メモリ・ブロックは、シングル・ポート、シンプル・デュアル・ポート、トゥルー・デュアル・ポート (双方向デュアル・ポートとも呼ぶ)、シフト・レジスタ、および ROM モードなど、様々なメモリ・コンフィギュレーションをサポートします。TriMatrix メモリ・アーキテクチャには、パリティ・ビット・サポート、バイト・イネーブル・サポート、パック・モード・サポート、アドレス・クロック・イネーブル・サポート、混在ポート幅サポート、および混合クロック・モード・サポートも含まれています。

非同期クリア信号を出力レジスタに印加すると、出力レジスタがクリアされ、即時に出力に伝達されます。レジスタのクリアは出力レジスタのみサポートされます。

表 6-1 に、3 種類のサイズの TriMatrix メモリの特長をまとめます。

| 特長                             | M512 ブロック   | M4K ブロック   | M-RAM ブロック   |
|--------------------------------|---|--|--|
| 最大性能                           | 345 MHz   | 380 MHz  | 290 MHz  |
| トータル RAM ビット数<br>(パリティ・ビットを含む) | 576   | 4,608  | 589,824  |
| 構成                             | 512 × 1<br>256 × 2<br>128 × 4<br>64 × 8<br>64 × 9<br>32 × 16<br>32 × 18 | 4K × 1<br>2K × 2<br>1K × 4<br>512 × 8<br>512 × 9<br>256 × 16<br>256 × 18<br>128 × 32<br>128 × 36 | 64K × 8<br>64K × 9<br>32K × 16<br>32K × 18<br>16K × 32<br>8K × 64<br>8K × 72<br>4K × 128<br>4K × 144 |
| パリティ・ビット                       | √   | √  | √  |
| バイト・イネーブル                      | √   | √  | √  |
| バック・モード                        |   | √  | √  |
| アドレス・クロック・イネーブル                |   | √  | √  |
| シングル・ポート・メモリ                   | √   | √  | √  |
| シンプル・デュアル・ポート・メモリ              | √   | √  | √  |
| トゥルー・デュアル・ポート・メモリ              |   | √  | √  |
| エンベデッド・シフト・レジスタ                | √   | √  |  |
| ROM                            | √   | √  |  |
| FIFO バッファ                      | √   | √  | √  |
| シンプル・デュアル・ポートの<br>異なるデータ幅のサポート | √   | √  | √  |
| トゥルー・デュアル・ポートの<br>異なるデータ幅のサポート |   | √  | √  |
| メモリ初期化ファイル (.mif)              | √   | √  |  |
| 混合クロック・モード                     | √   | √  | √  |
| パワーアップ条件                       | 出力はクリア  | 出力はクリア   | 出力は不定  |
| レジスタ・クリア                       | 出力レジスタのみ  | 出力レジスタのみ   | 出力レジスタのみ   |
| 同一ポートに対する Read-During-Write    | 正クロック・エッジで<br>新しいデータ利用可能  | 正クロック・エッジで<br>新しいデータ利用可能   | 正クロック・エッジで<br>新しいデータ利用可能   |
| 混在ポートに対する Read-During-Write    | 出力は不定または旧<br>データに設定   | 出力は不定または旧<br>データに設定  | 不定の出力  |

表 6-2 に、Arria GX ファミリの各デバイスの TriMatrix メモリ・ブロックの容量を示します。

| デバイス     | M512<br>ブロック数 | M4K<br>ブロック数 | M-RAM<br>ブロック数 | トータル<br>RAM<br>ビット数 |
|----------|---------------|--------------|----------------|---------------------|
| EP1AGX20 | 166           | 118          | 1              | 1,229,184           |
| EP1AGX35 | 197           | 140          | 1              | 1,348,416           |
| EP1AGX50 | 313           | 242          | 2              | 2,475,072           |
| EP1AGX60 | 326           | 252          | 2              | 2,528,640           |
| EP1AGX90 | 478           | 400          | 4              | 4,477,824           |

## パリティ・ビットのサポート

すべての TriMatrix メモリ・ブロック (M512、M4K、M-RAM) は、各バイトに対して 1 パリティ・ビットをサポートします。

パリティ・ビットは、各 RAM ブロックのメモリ量に加算されます。例えば、M512 ブロックは 576 ビットですが、そのうち 64 ビットはオプションによりパリティ・ビット・ストレージに使用されます。パリティ・ビットは、アダプティブ・ロジック・モジュール (ALM) に実装されたロジックと共に、エラーを検出してデータの正確性を保証するためのパリティ・チェックを実行します。パリティ・サイズのデータ・ワードは、ユーザが指定したコントロール・ビットを格納するなど、他の用途にも使用できます。

## バイト・イネーブルのサポート

すべての TriMatrix メモリ・ブロックは、データの特定のバイト、ニブル、またはビットのみが書き込まれるように、入力データをマスクするバイト・イネーブルをサポートしています。書き込まれなかったバイトまたはビットは、前に書き込まれた値を保持します。ライト・イネーブル (wren) 信号は、バイト・イネーブル (byteena) 信号と共に RAM ブロックのライト動作を制御します。バイト・イネーブル信号のデフォルト値は High (イネーブル) であり、この場合、ライト動作はライト・イネーブル信号でのみコントロールされます。バイト・イネーブル・レジスタへのクリア・ポートはありません。

## M512 ブロック

M512 ブロックは、データ幅が 16 ビットおよび 18 ビットのバイト・イネーブルのみサポートします。2 バイト (×16/×18) よりも幅の狭いメモリ・ブロック・コンフィギュレーションに対しては、バイト・イネーブル機能はサポートされません。2 バイト幅よりも狭いメモリ・コンフィギュレーションに対しては、ライト動作の制御にライト・イネーブル信号またはクロック・イネーブル信号をオプションで使用できます。

表 6-3 にバイトの選択をまとめます。

| 表 6-3. Arria GX M512 ブロックのバイト・イネーブル 注 (1) |         |         |
|---|---------|---------|
| byteena[1..0]                             | データ×16  | データ×18  |
| [0] = 1                                   | [7..0]  | [8..0]  |
| [1] = 1                                   | [15..8] | [17..9] |

表 6-3 の注:

- (1) どのバイト・イネーブルの組み合わせでも可能です。

## M4K ブロック

M4K ブロックは、データ幅 16、18、32、36 ビットの任意の組み合わせについてのみバイト・イネーブルをサポートします。2 バイト (×16/×18) よりも幅の狭いメモリ・ブロック・コンフィギュレーションに対しては、バイト・イネーブル機能はサポートされません。2 バイト幅よりも狭いメモリ・コンフィギュレーションに対しては、ライト動作の制御にライト・イネーブル信号またはクロック・イネーブル信号をオプションで使用できます。表 6-4 にバイトの選択をまとめます。

| 表 6-4. Arria GX M4K ブロックのバイト・イネーブル 注 (1) |         |         |          |          |
|--|---------|---------|----------|----------|
| byteena[3..0]                            | データ×16  | データ×18  | データ×32   | データ×36   |
| [0] = 1                                  | [7..0]  | [8..0]  | [7..0]   | [8..0]   |
| [1] = 1                                  | [15..8] | [17..9] | [15..8]  | [17..9]  |
| [2] = 1                                  | -       | -       | [23..16] | [26..18] |
| [3] = 1                                  | -       | -       | [31..24] | [35..27] |

表 6-4 の注:

- (1) どのバイト・イネーブルの組み合わせでも可能です。

## M-RAM ブロック

M-RAM ブロックは、データ幅 16、18、32、36、64、72 ビットの任意の組み合わせについてのみバイト・イネーブルをサポートします。2 バイト (x16/x18) よりも幅の狭いメモリ・ブロック・コンフィギュレーションに対しては、バイト・イネーブル機能はサポートされません。x128 と x144 の単純なデュアル・ポート・モードでは、2 組のバイト・イネーブル信号 (byteena\_a および byteena\_b) を組み合わせて、必要な 16 バイト・イネーブルを形成します。x128 および x144 モードでは、シングル・クロック・モードの使用時にのみバイト・イネーブルがサポートされます。ただし、Quartus® II ソフトウェアは、x128 幅または x144 幅の他のクロック・モードでバイト・イネーブルを実装できますが、M-RAM の 2 倍のリソースを使用します。

x128 または x144 モードでクロック・イネーブルが使用される場合、A ポートと B ポートで同じクロック・イネーブル設定を使用する必要があります。表 6-5 に、M-RAM ブロックのバイト選択をまとめます。

| byteena | データ x16 | データ x18 | データ x32  | データ x36  | データ x64  | データ x72  |
|---------|---------|---------|----------|----------|----------|----------|
| [0] = 1 | [7..0]  | [8..0]  | [7..0]   | [8..0]   | [7..0]   | [8..0]   |
| [1] = 1 | [15..8] | [17..9] | [15..8]  | [17..9]  | [15..8]  | [17..9]  |
| [2] = 1 | -       | -       | [23..16] | [26..18] | [23..16] | [26..18] |
| [3] = 1 | -       | -       | [31..24] | [35..27] | [31..24] | [35..27] |
| [4] = 1 | -       | -       | -        | -        | [39..32] | [44..36] |
| [5] = 1 | -       | -       | -        | -        | [47..40] | [53..45] |
| [6] = 1 | -       | -       | -        | -        | [55..48] | [62..54] |
| [7] = 1 | -       | -       | -        | -        | [63..56] | [71..63] |

表 6-5 の注:

(1) どのバイト・イネーブルの組み合わせでも可能です。

表 6-6 に、x144 モードのバイトの選択をまとめます。

| byteena | データ x128 | データ x144 |
|---------|----------|----------|
| [0] = 1 | [7..0]   | [8..0]   |
| [1] = 1 | [15..8]  | [17..9]  |

表 6-6. Arria GX M-RAM の×144 モードにおけるバイトの組み合わせ (2 / 2) 注 (1)

| byteena  | データ×128    | データ×144    |
|----------|------------|------------|
| [2] = 1  | [23..16]   | [26..18]   |
| [3] = 1  | [31..24]   | [35..27]   |
| [4] = 1  | [39..32]   | [44..36]   |
| [5] = 1  | [47..40]   | [53..45]   |
| [6] = 1  | [55..48]   | [62..54]   |
| [7] = 1  | [63..56]   | [71..63]   |
| [8] = 1  | [71..64]   | [80..72]   |
| [9] = 1  | [79..72]   | [89..73]   |
| [10] = 1 | [87..80]   | [98..90]   |
| [11] = 1 | [95..88]   | [107..99]  |
| [12] = 1 | [103..96]  | [116..108] |
| [13] = 1 | [111..104] | [125..117] |
| [14] = 1 | [119..112] | [134..126] |
| [15] = 1 | [127..120] | [143..135] |

表 6-6 の注:

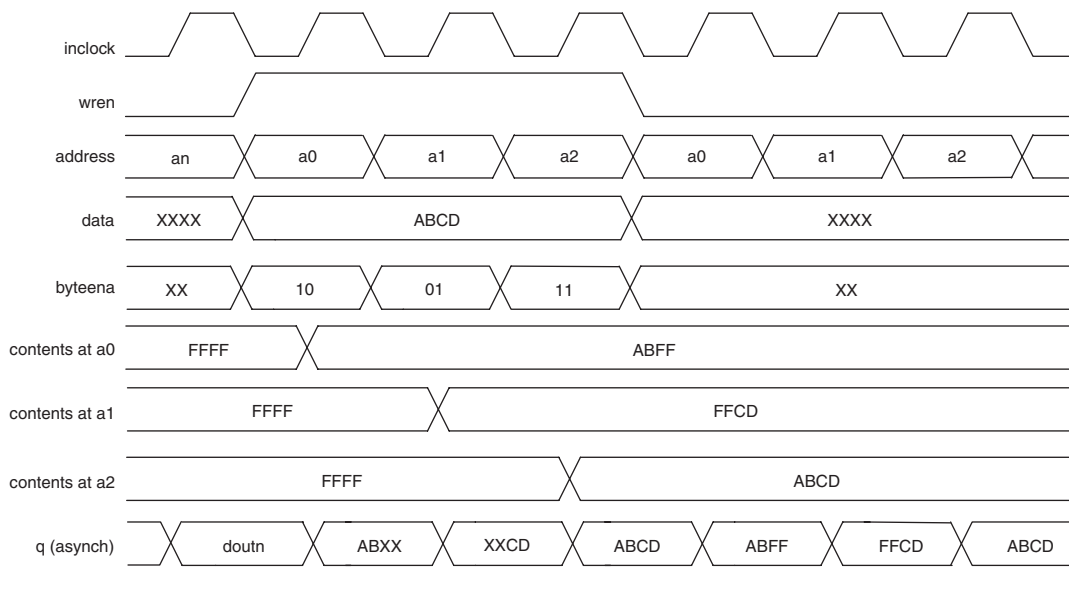
- (1) どのバイト・イネーブルの組み合わせでも可能です。

### バイト・イネーブル機能の波形

図 6-1 に、ライト・イネーブル (wren) 信号とバイト・イネーブル (byteena) 信号が RAM の動作を制御する方法を示します。

ライト・サイクルの間にバイト・イネーブル・ビットがデアサートされると、対応するデータ・バイト出力は「ドント・ケア」または不定の値として現れます。ライト・サイクルの間にバイト・イネーブル・ビットがアサートされると、対応するデータ・バイト出力は新規に書き込まれるデータになります。

図 6-1. Arria GX バイト・イネーブル機能の波形



## パック・モードのサポート

Arria GX の M4K および M-RAM メモリ・ブロックは、パック・モードをサポートしています。M4K および M-RAM メモリ・ブロックでは、以下の条件に基づいて単一ブロックに 2 つのシングル・ポート・メモリ・ブロックを実装できます。

- 2 つの独立したブロックのサイズがそれぞれ、M4K または M-RAM ブロック・サイズの半分以下であること。
- シングル・ポート・メモリ・ブロックがそれぞれ、シングル・クロック・モードでコンフィギュレーションされること。

したがって、シングル・ポート・メモリ・ブロックはそれぞれ、クロック、クロック・イネーブル、非同期クリア信号などの M4K または M-RAM メモリ・リソースの半分までアクセスします。

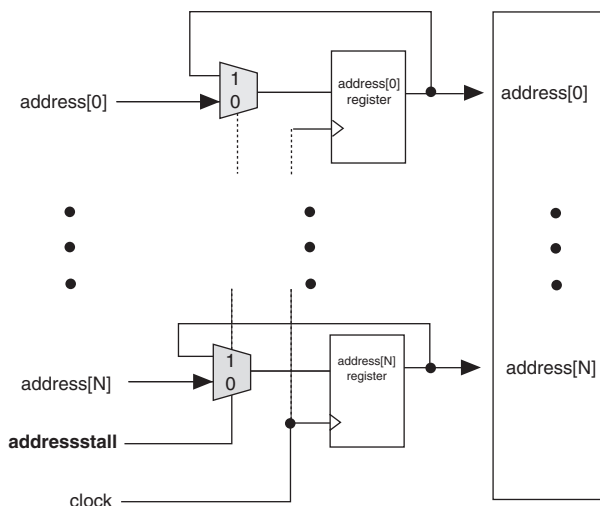
 詳しくは、6-10 ページの「シングル・ポート・モード」および 6-29 ページの「シングル・クロック・モード」を参照してください。

## アドレス・クロック・イネーブル

Arria GX の M4K および M-RAM メモリ・ブロックは、信号がイネーブルされている間、前のアドレス値を保持するのに使用されるアドレス・クロック・イネーブルをサポートします。メモリ・ブロックがデュアル・ポート・モードでコンフィギュレーションされている場合、各ポートには独自の独立したアドレス・クロック・イネーブルがあります。

図 6-2 に、アドレス・クロック・イネーブルのブロック図を示します。アドレス・レジスタに配置される場合、アドレス・レジスタからのアドレス信号出力は、マルチプレクサを経由してレジスタの入力にフィードバックされます。マルチプレクサ出力は、アドレス・クロック・イネーブル (addressstall) 信号で選択されます。アドレスのラッチは、addressstall 信号が High になるとイネーブルされます。アドレス・レジスタの出力は、この後レジスタの入力に連続的に供給されるため、アドレス値は addressstall 信号が Low になるまで保持されます。

図 6-2. Arria GX アドレス・クロック・イネーブルのブロック図



アドレス・クロック・イネーブルは、通常、リード動作とライト動作に 1 ポートずつ必要とするキャッシュ・メモリ・アプリケーションに使用されます。アドレス・クロック・イネーブル信号のデフォルト値は Low (ディセーブル) です。図 6-3 と 6-4 に、リード・サイクルとライト・サイクル時のアドレス・クロック・イネーブル波形を示します。

図 6-3. Arria GX アドレス・クロック・イネーブルのリード・サイクル時の波形

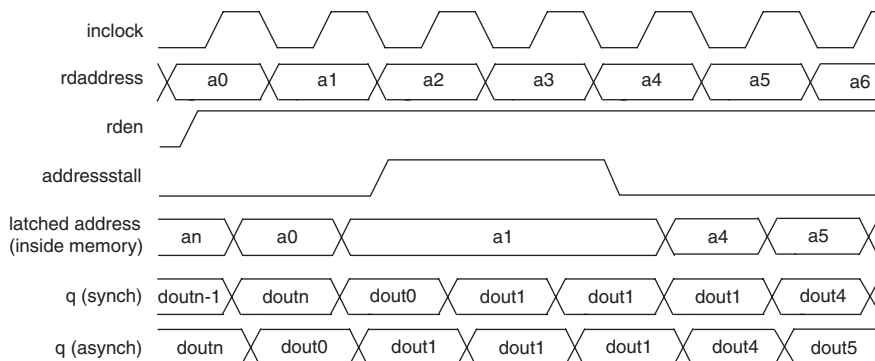
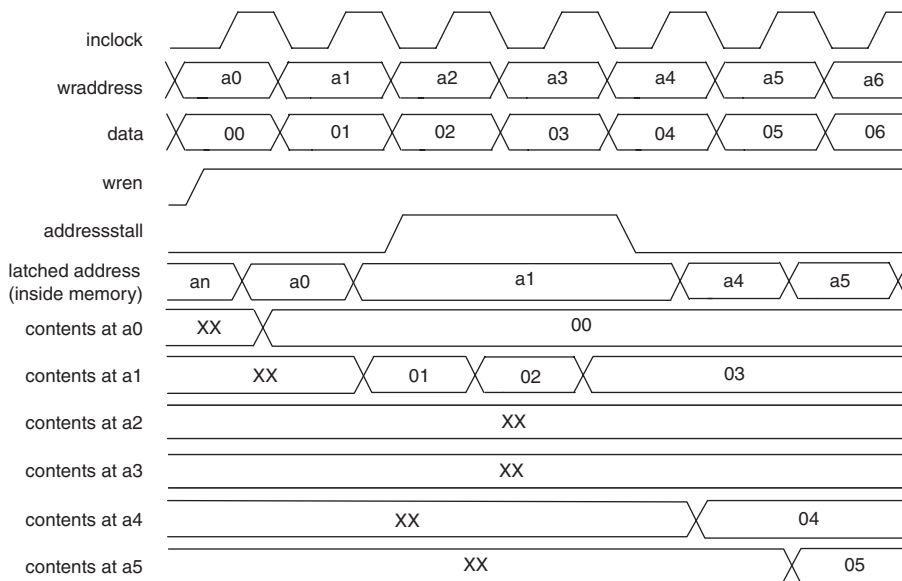



図 6-4. Arria GX アドレス・クロック・イネーブルのライト・サイクル時の波形




## メモリ・モード

Arria GX の TriMatrix メモリ・ブロックには、ライト動作に同期する入力レジスタおよびデータをパイプライン化しシステム性能を向上させる出力レジスタが含まれています。すべての TriMatrix メモリ・ブロックは完全同期です。すべての入力はラッチされますが、出力はラッチするかしないかを選択できます。

 TriMatrix メモリは、非同期メモリ（入力がラッチされないメモリ）をサポートしません。

使用する TriMatrix メモリ・ブロックに応じて、メモリは以下のような様々なモードになります。

- シングル・ポート
- シンプル・デュアル・ポート
- ツールー・デュアル・ポート（双方向デュアル・ポート）
- シフト・レジスタ
- ROM
- FIFO

 メモリ・ブロック・アドレス・レジスタに対するセットアップ・タイムまたはホールド・タイムに違反があると、メモリの内容が破壊される可能性があります。これはリードおよびライトの両方の動作に当てはまります。

## シングル・ポート・モード

すべての TriMatrix メモリ・ブロックは、リードとライトの動作を同時に行う必要がない場合に使用される、シングル・ポート・モードもサポートしています。図 6-5 に、TriMatrix メモリのシングル・ポート・メモリ・コンフィギュレーションを示します。

図 6-5. シングル・ポート・メモリ 注 (1)

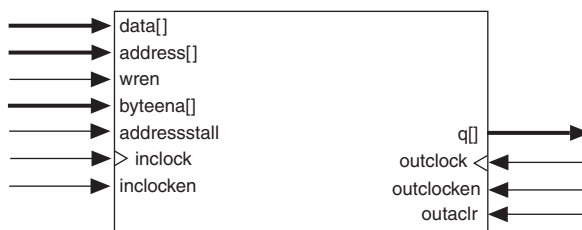


図 6-5 の注:

- (1) 1 つの M4K または M-RAM ブロックに、2 つのシングル・ポート・メモリ・ブロックを実装できます。

M4K および M-RAM メモリ・ブロックを半分にして、2 つの独立したシングル・ポート RAM ブロックに使用することもできます。アルテラの Quartus II ソフトウェアは、自動的にこのシングル・ポート・メモリ・パッキングを行います。2 つのシングル・ポート・メモリを強制的に 1 つの M4K または M-RAM ブロックに実装するには、まず 2 つの独立し

た RAM ブロックがそれぞれ M4K または M-RAM ブロックのサイズの半分以下であることを確認します。次に、両方のシングル・ポート RAM を同じ M4K または M-RAM ブロックに割り当てます。

シングル・ポート RAM コンフィギュレーションでは、出力は Read-During-Write モードになります。すなわちライト動作時には、RAM に書き込まれたデータは RAM 出力に送られます。出力レジスタがバイパスされると、データが書き込まれたのと同じクロック・サイクルの立ち上がりエッジで新しいデータが利用できます。Read-During-Write モードについて詳しくは、6-34 ページの「同一アドレスに対する Read-During-Write 動作」を参照してください。

表 6-7 に、シングル・ポート・モードでの TriMatrix ブロックのポート幅コンフィギュレーションを示します。

| 表 6-7. M512、M4K、および M-RAM ブロックのポート幅コンフィギュレーション (シングル・ポート・モード) |   |  |  |
|---|---|--|--|
|   | M512<br>ブロック  | M4K<br>ブロック  | M-RAM<br>ブロック  |
| ポート幅コンフィ<br>ギュレーション   | 512 × 1<br>256 × 2<br>128 × 4<br>64 × 8<br>64 × 9<br>32 × 16<br>32 × 18 | 4K × 1<br>2K × 2<br>1K × 4<br>512 × 8<br>512 × 9<br>256 × 16<br>256 × 18<br>128 × 32<br>128 × 36 | 64K × 8<br>64K × 9<br>32K × 16<br>32K × 18<br>16K × 32<br>16K × 36<br>8K × 64<br>8K × 72<br>4K × 128<br>4K × 144 |

図 6-6 に、シングル・ポート・モードでのリードおよびライト動作のタイミング波形を示します。

図 6-6. Arria GX シングル・ポートのタイミング波形 注 (1)

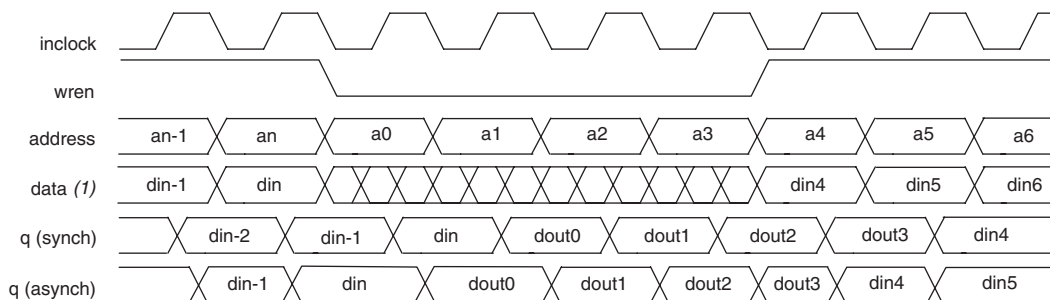


図 6-6 の注:

(1) リード時の data 波形内のクロスは、「ドント・ケア」を意味します。

## シンプル・デュアル・ポート・モード

すべての TriMatrix メモリ・ブロックは、リードとライトの同時動作をサポートするシンプル・デュアル・ポート・モードをサポートしています。図 6-7 に、TriMatrix メモリのシンプル・デュアル・ポート・メモリのコンフィギュレーションを示します。

図 6-7. Arria GX シンプル・デュアル・ポート・メモリ 注 (1)

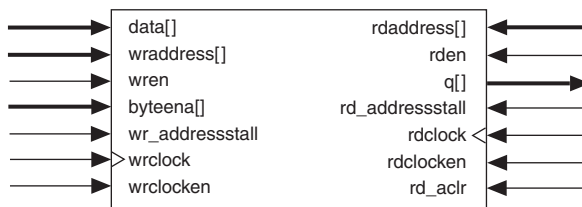


図 6-7 の注:

(1) シンプル・デュアル・ポート RAM は、ここに示すリード / ライト・クロック・モードに加えて、入力 / 出力クロック・モードをサポートします。

TriMatrix メモリは、異なる幅のコンフィギュレーションも可能であり、リードとライトで異なるポート幅に対応できます。表 6-8 から 6-10 に、それぞれ M512、M4K、および M-RAM ブロックの異なる幅のコンフィギュレーションを示します。

**表 6-8. Arria GX M512 ブロックのデータ幅混合のコンフィギュレーション (シンプル・デュアル・ポート・モード)**

| リード・ポート | ライト・ポート |         |         |        |         |        |         |
|---------|---------|---------|---------|--------|---------|--------|---------|
|         | 512 × 1 | 256 × 2 | 128 × 4 | 64 × 8 | 32 × 16 | 64 × 9 | 32 × 18 |
| 512 × 1 | √       | √       | √       | √      | √       |        |         |
| 256 × 2 | √       | √       | √       | √      | √       |        |         |
| 128 × 4 | √       | √       | √       | √      | √       |        |         |
| 64 × 8  | √       | √       | √       | √      | √       |        |         |
| 32 × 16 | √       | √       | √       | √      | √       |        |         |
| 64 × 9  |         |         |         |        |         | √      | √       |
| 32 × 18 |         |         |         |        |         | √      | √       |

**表 6-9. Arria GX M4K ブロックのデータ幅混合のコンフィギュレーション (シンプル・デュアル・ポート・モード)**

| リード・ポート  | ライト・ポート |        |        |         |          |          |         |          |          |
|----------|---------|--------|--------|---------|----------|----------|---------|----------|----------|
|          | 4K × 1  | 2K × 2 | 1K × 4 | 512 × 8 | 256 × 16 | 128 × 32 | 512 × 9 | 256 × 18 | 128 × 36 |
| 4K × 1   | √       | √      | √      | √       | √        | √        |         |          |          |
| 2K × 2   | √       | √      | √      | √       | √        | √        |         |          |          |
| 1K × 4   | √       | √      | √      | √       | √        | √        |         |          |          |
| 512 × 8  | √       | √      | √      | √       | √        | √        |         |          |          |
| 256 × 16 | √       | √      | √      | √       | √        | √        |         |          |          |
| 128 × 32 | √       | √      | √      | √       | √        | √        |         |          |          |
| 512 × 9  |         |        |        |         |          |          | √       | √        | √        |
| 256 × 18 |         |        |        |         |          |          | √       | √        | √        |
| 128 × 36 |         |        |        |         |          |          | √       | √        | √        |

表 6-10. Arria GX M-RAM ブロックのデータ幅混合のコンフィギュレーション (シンプル・デュアル・ポート・モード)

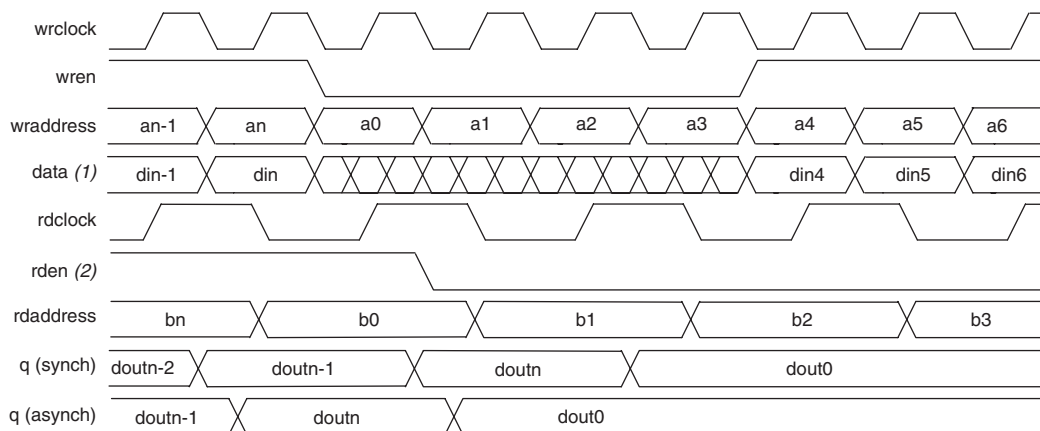
| リード・ポート | ライト・ポート |        |        |       |        |
|---------|---------|--------|--------|-------|--------|
|         | 64K×9   | 32K×18 | 18K×36 | 8K×72 | 4K×144 |
| 64K×9   | ✓       | ✓      | ✓      | ✓     |        |
| 32K×18  | ✓       | ✓      | ✓      | ✓     |        |
| 18K×36  | ✓       | ✓      | ✓      | ✓     |        |
| 8K×72   | ✓       | ✓      | ✓      | ✓     |        |
| 4K×144  |         |        |        |       | ✓      |

シンプル・デュアル・ポート・モードでは、M512 ブロックおよび M4K ブロックには 1 つのライト・イネーブルと 1 つのリード・イネーブル信号があります。ただし、M-RAM ブロックにはライト・イネーブル信号しかなく、ライト動作の実行時には High に保持されます。M-RAM ブロックは、リード動作では常にイネーブルされています。Quartus II ソフトウェアは、まだ使用されていない場合はクロック・イネーブル信号を使用して、M-RAM ブロックのリード・イネーブル信号をエミュレートできます。ライト動作中にリード・アドレスとライト・アドレスで同じアドレス位置が選択される場合、M-RAM ブロック出力は不定です。

TriMatrix メモリ・ブロックは、ライト・イネーブル・レジスタおよびリード・イネーブル・レジスタではクリア・ポートをサポートしていません。リード・イネーブルが非アクティブになると、現在のデータが出力ポートで保持されます。同じアドレス位置が選択されている状態で、ライト動作中にリード・イネーブルがアクティブになると、シンプル・デュアル・ポート RAM 出力は不定か、あるいはメモリ・アドレスに格納された古いデータを出力するように設定できます。詳しくは、6-34 ページの「[同一アドレスに対する Read-During-Write 動作](#)」を参照してください。

図 6-8 に、シンプル・デュアル・ポート・モードでのリードおよびライト動作のタイミング波形を示します。

図 6-8. Arria GX シンプル・デュアル・ポートのタイミング波形 注 (1)、(2)



## 図 6-8 の注:

- (1) リード時の data 波形内のクロスは、「ドント・ケア」を意味します。
- (2) リード・イネーブル rden 信号は、M-RAM ブロックでは使用できません。シンプル・デュアル・ポート・モードの M-RAM ブロックは、常に現在のリード・アドレス位置に格納されたデータを読み出します。

## トウルー・デュアル・ポート・モード

Arria GX の M4K および RAM メモリ・ブロックは、トウルー・デュアル・ポート・モードをサポートしています。トウルー・デュアル・ポート・モードは、2つの異なるクロック周波数で、リード/リード、ライト/ライト、またはリード/ライトのいずれかの組み合わせの2ポート動作をサポートします。図 6-9 に、Arria GX トウルー・デュアル・ポート・メモリの構成を示します。

図 6-9. Arria GX トゥルー・デュアル・ポート・メモリ 注 (1)

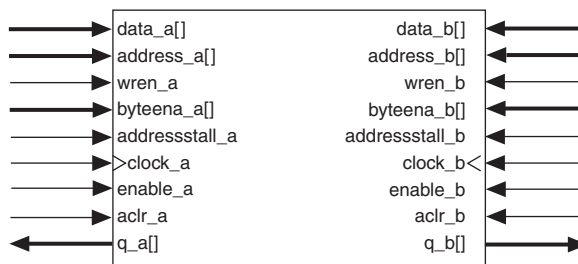


図 6-9 の注:

- (1) トゥルー・デュアル・メモリは、ここに示す独立クロック・モードに加えて、入力/出力クロック・モードをサポートします。

トゥルー・デュアル・ポート・モードで、M4K および M-RAM ブロックの最も幅の広いビットは、以下のように表されます。

- 256×16 ビット (×18 ビット、パリティ付き) (M4K)
- 8K×64 ビット (×72 ビット、パリティ付き) (M-RAM)

M4K ブロックの 128×32 ビット (×36 ビット、パリティ付き) コンフィギュレーションと、M-RAM ブロックの 4K×128 ビット (×144 ビット、パリティ付き) コンフィギュレーションは、出力ドライバ数が対応するメモリ・ブロックの最大ビット幅に等しいため、使用できません。トゥルー・デュアル・ポート RAM は 2 つのポートに出力があるため、トゥルー・デュアル・ポート RAM の最大幅は出力ドライバの合計数の半分になります。表 6-11 に、M4K ブロックの混合ポート幅の構成を示します。

表 6-11. Arria GX M4K ブロックのデータ幅混合ポートのコンフィギュレーション (トゥルー・デュアル・ポート)

| リード・ポート | ライト・ポート |      |      |       |        |       |        |
|---------|---------|------|------|-------|--------|-------|--------|
|         | 4K×1    | 2K×2 | 1K×4 | 512×8 | 256×16 | 512×9 | 256×18 |
| 4K×1    | √       | √    | √    | √     | √      |       |        |
| 2K×2    | √       | √    | √    | √     | √      |       |        |
| 1K×4    | √       | √    | √    | √     | √      |       |        |
| 512×8   | √       | √    | √    | √     | √      |       |        |
| 256×16  | √       | √    | √    | √     | √      |       |        |
| 512×9   |         |      |      |       |        | √     | √      |
| 256×18  |         |      |      |       |        | √     | √      |


表 6-12 に、M-RAM ブロックの混合ポート幅のコンフィギュレーションを示します。

| リード・ポート  | ライト・ポート |          |          |         |
|----------|---------|----------|----------|---------|
|          | 64K × 9 | 32K × 18 | 18K × 36 | 8K × 72 |
| 64K × 9  | √       | √        | √        | √       |
| 32K × 18 | √       | √        | √        | √       |
| 18K × 36 | √       | √        | √        | √       |
| 8K × 72  | √       | √        | √        | √       |

トゥルー・デュアル・ポート・コンフィギュレーションでは、RAM 出力は Read-During-Write モードとなります。これは、ライト動作中は RAM の A ポートまたは B ポートに書き込まれているデータは、それぞれ A 出力または B 出力に送られることを意味します。出力レジスタがバイパスされると、データが書き込まれたのと同じクロック・サイクルの立ち上がりエッジで新しいデータが利用できます。混合ポートの Read-During-Write モードの波形と詳細は、6-34 ページの「同一アドレスに対する Read-During-Write 動作」を参照してください。

潜在的なライト競合は RAM の外部で解決する必要があります。これは両方のポートの同じアドレス位置に書き込むと、その位置のデータ・ストレージが不定になるためです。M-RAM ブロックの同じアドレスへの有効なライト動作では、ポート A のライト・クロックの立ち上がりエッジは、ポート B のライト・クロックの立ち上がりエッジ後の最大ライト・サイクル・タイム後に発生しなければなりません。データは M-RAM ブロックのライト・クロックの立ち上がりエッジで書き込まれます。

ライト・クロックの立ち下がりエッジで、M512 および M4K ブロックにデータが書き込まれるため、ポート A のライト・クロックの立ち上がりエッジは、ポート B のライト・クロックの立ち下がりエッジ後の最大ライト・サイクル・タイムの半分の後に発生する必要があります。このタイミングに適合しない場合、そのアドレスに格納されているデータは無効になります。

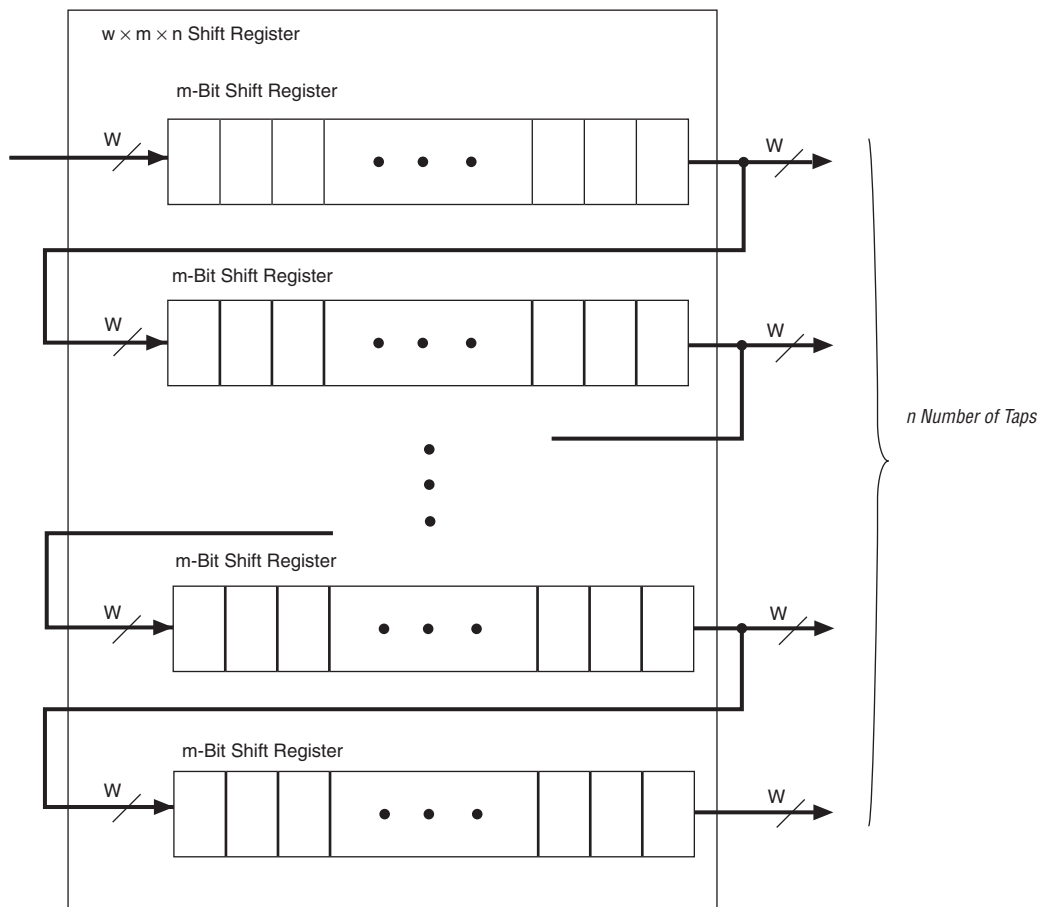
 最大同期ライト・サイクル・タイムについては、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX デバイス・ファミリー・データシート」セクションを参照してください。



( $w \times m \times n$ ) シフト・レジスタのサイズは、入力データ幅 ( $w$ )、タップの長さ ( $m$ )、およびタップ数 ( $n$ ) によって決定され、各ブロックのメモリ・ビットの最大数以下でなければなりません。M512 ブロックでは 576 ビット、M4K ブロックでは 4,608 ビット、M-RAM ブロックでは 589,824 ビットです。また、 $w \times n$  のサイズは、各ブロックの最大幅以下でなければなりません。M512 ブロックでは 18 ビット、M4K ブロックでは 36 ビット、M-RAM ブロックでは 144 ビットです。これよりも大きなシフト・レジスタが必要な場合は、メモリ・ブロックをカスケード接続できます。

M512 ブロックおよび M4K ブロックでは、データはクロックの立ち下がりでエッジで各アドレス位置に書き込まれ、クロックの立ち上がりエッジでそのアドレスから読み出されます。シフト・レジスタのモード・ロジックは、正および負のエッジ・クロッキングを自動的にコントロールして、データを 1 クロック・サイクルでシフトします。M-RAM ブロックは、立ち上がりエッジでリードとライトを実行します。図 6-11 に、シフト・レジスタ・モードの TriMatrix メモリ・ブロックを示します。

図 6-11. Arria GX シフト・レジスタ・メモリのコンフィギュレーション



## ROM モード

M512 および M4K メモリ・ブロックは、ROM モードをサポートしています。これらのブロックの ROM コンテンツは、メモリ初期化ファイル (.mif) で初期化されます。ROM のアドレス・ラインはラッチされます。出力はラッチしてもしなくても構いません。ROM のリード動作は、シングル・ポート RAM コンフィギュレーションでのリード動作と同じです。

## FIFO バッファ・モード

TriMatrix メモリ・ブロックは、FIFO モードをサポートしています。M512 メモリ・ブロックは、多数の浅い FIFO バッファを使用するデザインに適しています。すべてのメモリ・コンフィギュレーションには同期入力がありますが、FIFO バッファ出力は常に組み合わせ出力となります。FIFO バッファが空の状態での同時リード・ライトはサポートされません。



FIFO バッファについて詳しくは、「Single- & Dual-Clock FIFO Megafunctions User Guide」と「FIFO Partitioner Function User Guide」を参照してください。

## クロック・モード

選択している TriMatrix メモリ・モードに応じて、次のクロック・モードが利用できます。

- 独立
- 入力 / 出力
- リード / ライト
- シングル・クロック

表 6-13 に、各メモリ・モードでコンフィギュレーションされた場合に、すべての TriMatrix ブロックでサポートされるクロック・モードを示します。

| クロック・モード  | トウルー・デュアル・ポート・モード | シンプル・デュアル・ポート・モード | シングル・ポート・モード |
|-----------|-------------------|-------------------|--------------|
| 独立        | √                 |                   |              |
| 入力 / 出力   | √                 | √                 | √            |
| リード / ライト |                   | √                 |              |
| シングル・クロック | √                 | √                 | √            |

## 独立クロック・モード

TriMatrix メモリ・ブロックは、トゥルー・デュアル・ポート・メモリ用の独立クロック・モードを実装できます。このモードでは、各ポート（ポート A および B）で個別のクロックを使用できます。クロック A はポート A 側のすべてのレジスタをコントロールし、クロック B はポート B 側のすべてのレジスタをコントロールします。各ポートは、ポート A および B のレジスタに対する独立したクロック・イネーブルもサポートします。ただし、レジスタに対する非同期クリア信号はサポートされていません。

図 6-12 に、独立クロック・モードの TriMatrix メモリ・ブロックを示します。

図 6-12. 独立クロック・モードの Arria GX TriMatrix メモリ・ブロック 注 (1)

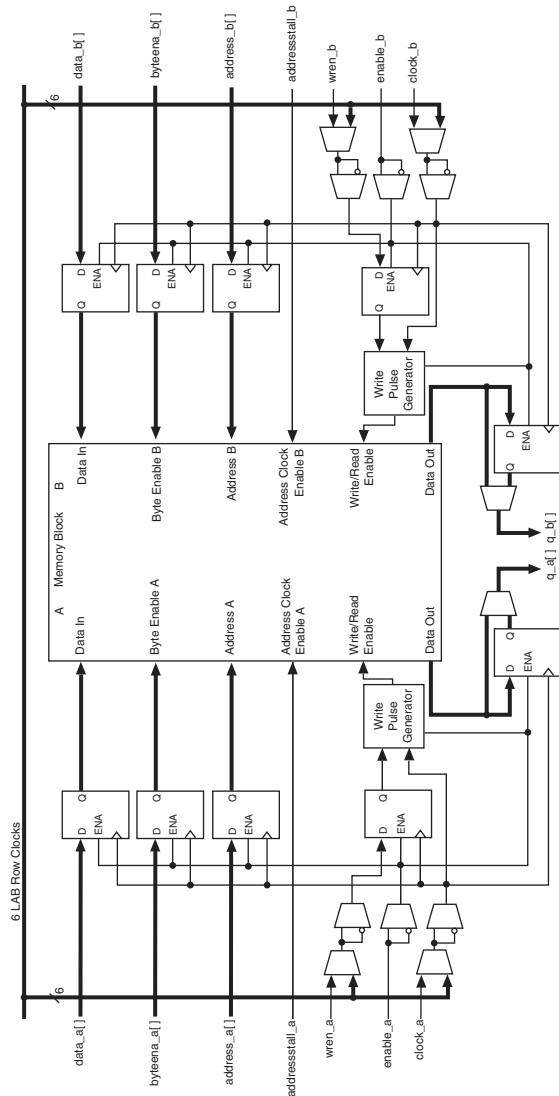


図 6-12 の注:

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊されることがあります。これはリードおよびライトの両方の動作に当てはまります。

## 入力 / 出力クロック・モード

Arria GX TriMatrix メモリ・ブロックは、トゥルーおよびシンプル・デュアル・ポート・メモリ用の入力 / 出力クロック・モードを実装できます。A および B のそれぞれのポートで、1つのクロックがメモリ・ブロックへの入力（データ入力、ライト・イネーブル、およびアドレス）用のすべてのレジスタをコントロールします。もう1つのクロックは、ブロックのデータ出力レジスタをコントロールします。各メモリ・ブロック・ポートは、入力および出力レジスタに対する独立したクロック・イネーブルもサポートします。ただし、レジスタに対する非同期クリア信号はサポートされていません。

図 6-13 から 6-15 に、トゥルー・デュアル・ポート、シンプル・デュアル・ポート、およびシングル・ポートの各モードに対する入力 / 出力クロック・モードのメモリ・ブロックを示します。

図 6-13. Arria GX の トゥルー・デュアル・ポート・モードでの入力/出力クロック・モード 注 (1)

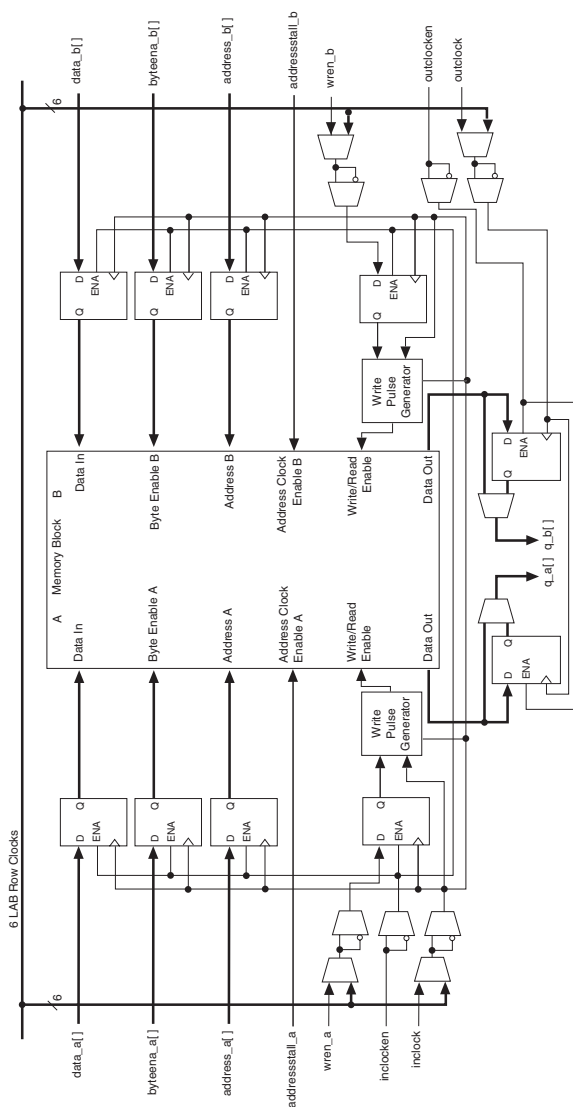


図 6-13 の注:

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊されることがあります。これはリードおよびライトの両方の動作に当てはまります。

図 6-14. Arria GX のシンプル・デュアル・ポート・モードでの入力/出カクロック・モード 注 (1)、(2)、(3)

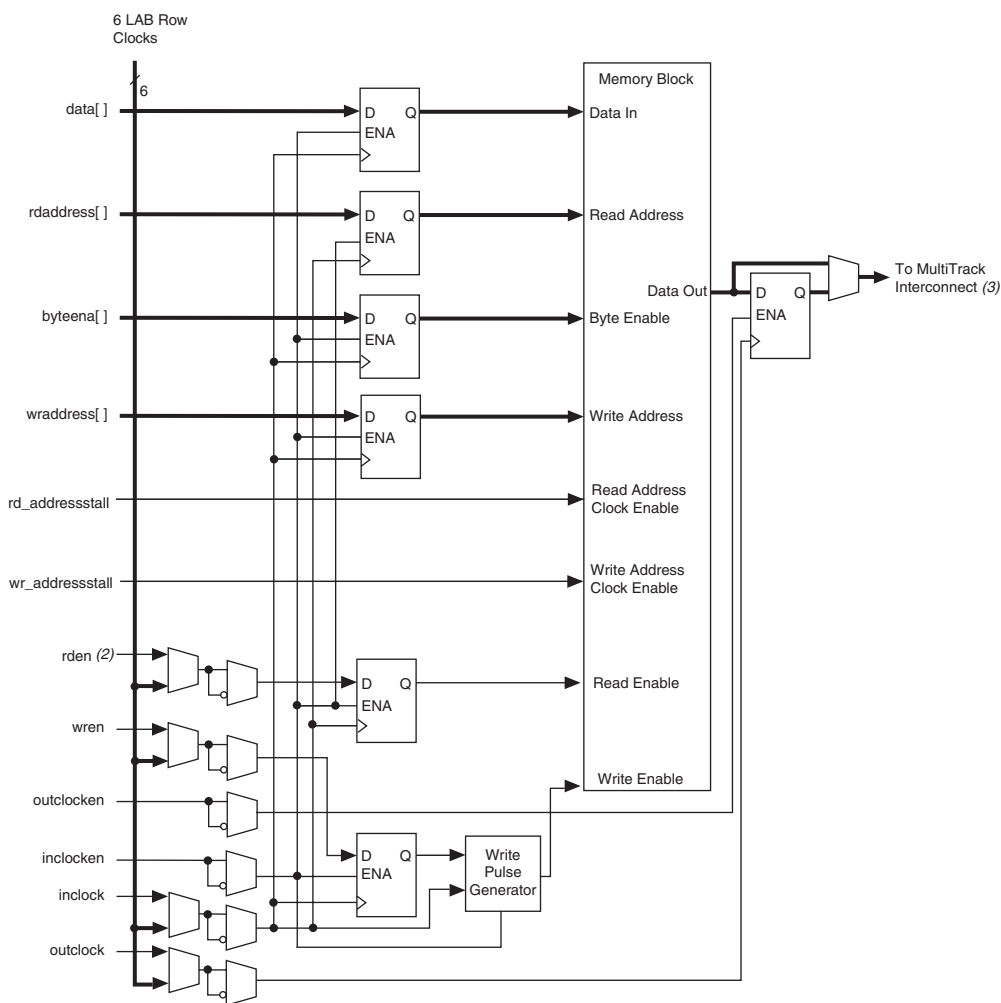
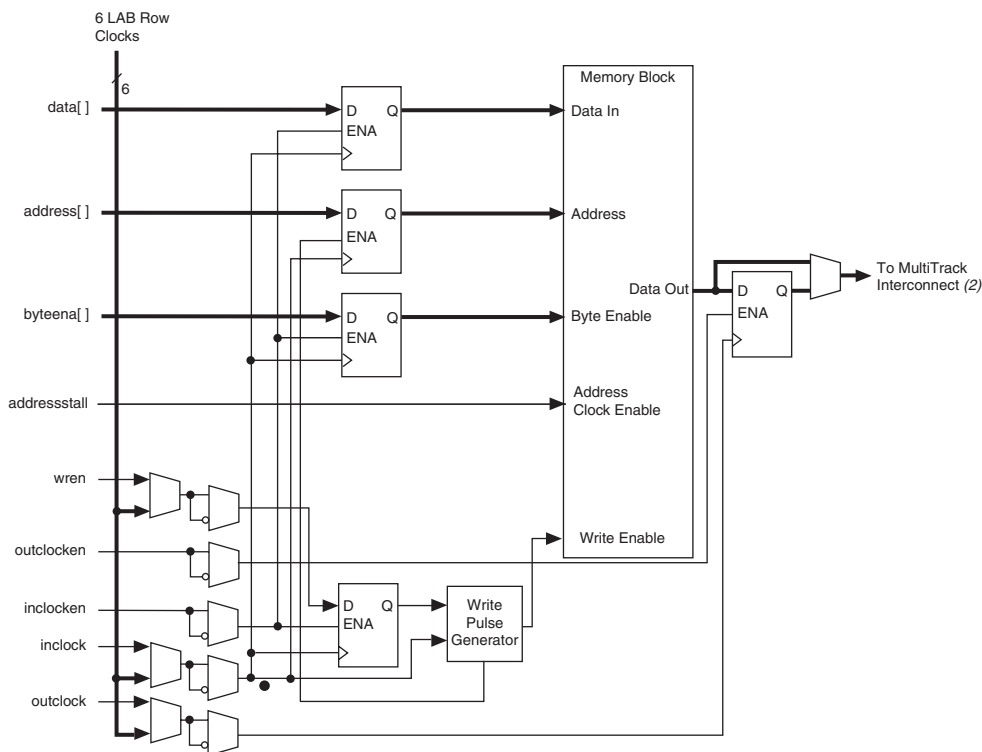


図 6-14 の注:

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊されることがあります。これはリードおよびライトの両方の動作に当てはまります。
- (2) リード・イネーブル **rden** 信号は、M-RAM ブロックでは使用できません。シンプル・デュアル・ポート・モードの M-RAM ブロックは、常に現在のリード・アドレス位置に格納されたデータを読み出します。
- (3) MultiTrack インタコネクタについて詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX デバイス・ファミリー・データシート」セクションを参照してください。

図 6-15. Arria GX のシングル・ポート・モードでの入力 / 出力クロック・モード 注 (1)、(2)



## 図 6-15 の注:

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊されることがあります。これはリードおよびライトの両方の動作に当てはまります。
- (2) MultiTrack インタコネクタについては、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX デバイス・ファミリ・データシート」セクションを参照してください。

## リード / ライト・クロック・モード

Arria GX TriMatrix メモリ・ブロックは、シンプル・デュアル・ポート・メモリでリード / ライト・クロック・モードが使用可能です。このモードは最大 2 つのクロックを使用します。ライト・クロックはブロックのデータ入力、ライト・アドレス、およびライト・イネーブル信号をコントロールします。リード・クロックは、データ出力、リード・アドレス、およびリード・イネーブル信号をコントロールします。メモリ・ブロックは、リード側およびライト側レジスタの各クロックに対して、独立したクロック・イネーブルをサポートします。ただし、レジスタに対する非同期クリア信号はサポートされていません。図 6-16 は、リード / ライト・クロック・モードのメモリ・ブロックを示します。

図 6-16. Arria GX リード/ライト・クロック・モード 注 (1)、(2)、(3)

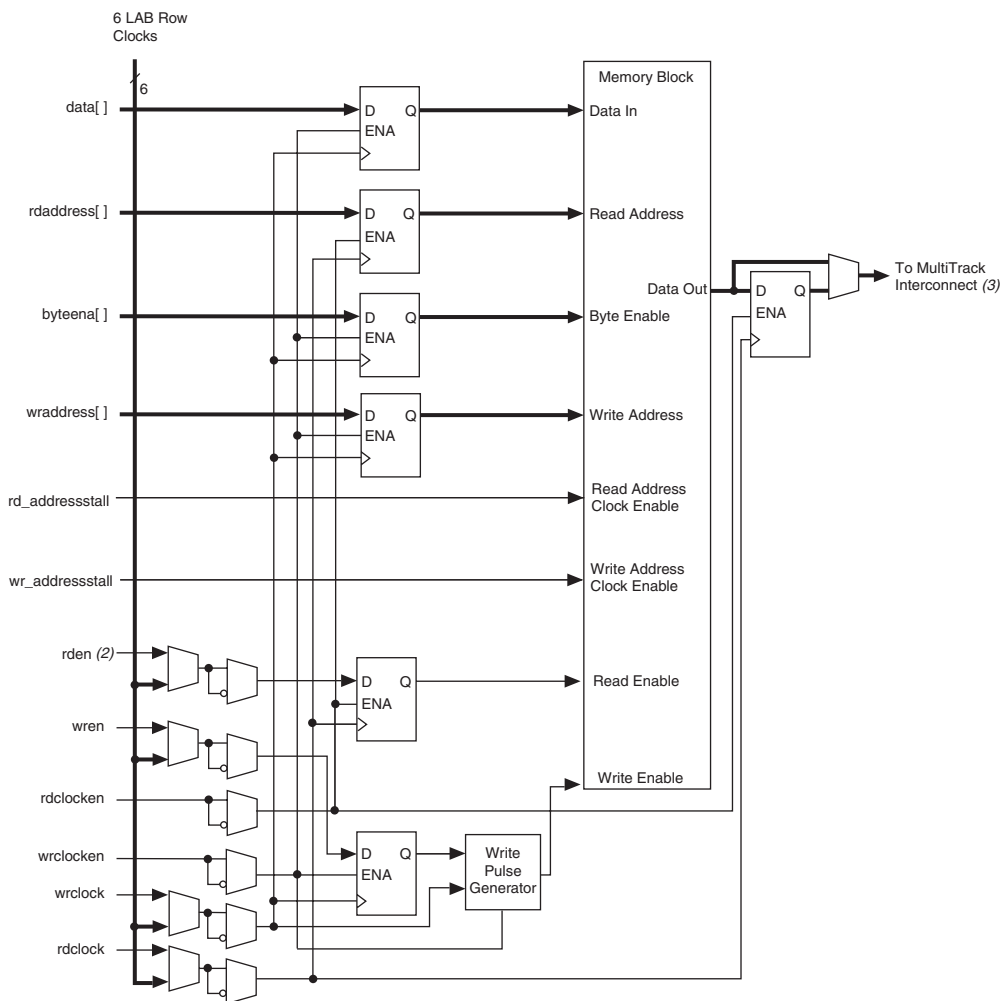


図 6-16 の注:

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊されることがあります。これはリードおよびライトの両方の動作に当てはまります。
- (2) リード・イネーブル `rden` 信号は、M-RAM ブロックでは使用できません。シングル・デュアル・ポート・モードの M-RAM ブロックは、常に現在のリード・アドレス位置に格納されたデータを読み出します。
- (3) MultiTrack インタコネクタについて詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX デバイス・ファミリー・データシート」セクションを参照してください。

## シングル・クロック・モード

Arria GX TriMatrix メモリ・ブロックは、トゥルー・デュアル・ポート、シンプル・デュアル・ポート、およびシングル・ポート・メモリ用のシングル・クロック・モードを実装します。このモードでは、シングル・クロックはクロック・イネーブルと併用して、メモリ・ブロックのすべてのレジスタをコントロールします。ただし、レジスタに対する非同期クリア信号はサポートされていません。図 6-17 から 6-19 に、トゥルー・デュアル・ポート、シンプル・デュアル・ポート、およびシングル・ポートの各モードに対するシングル・クロック・モードのメモリ・ブロックを示します。

図 6-17. Arria GX のツール・デュアル・ポート・モードでの  
シングル・クロック・モード 注 (1)

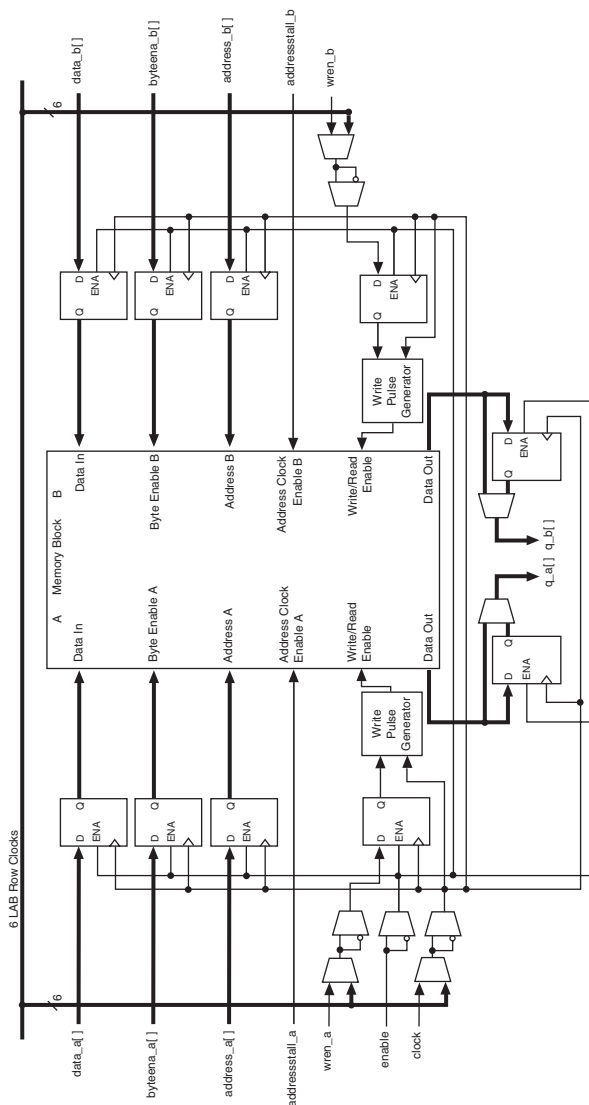


図 6-17 の注:

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊されることがあります。これはリードおよびライトの両方の動作に当てはまります。

図 6-18. Arria GX のシンプル・デュアル・ポート・モードでのシングル・クロック・モード 注 (1)、(2)、(3)

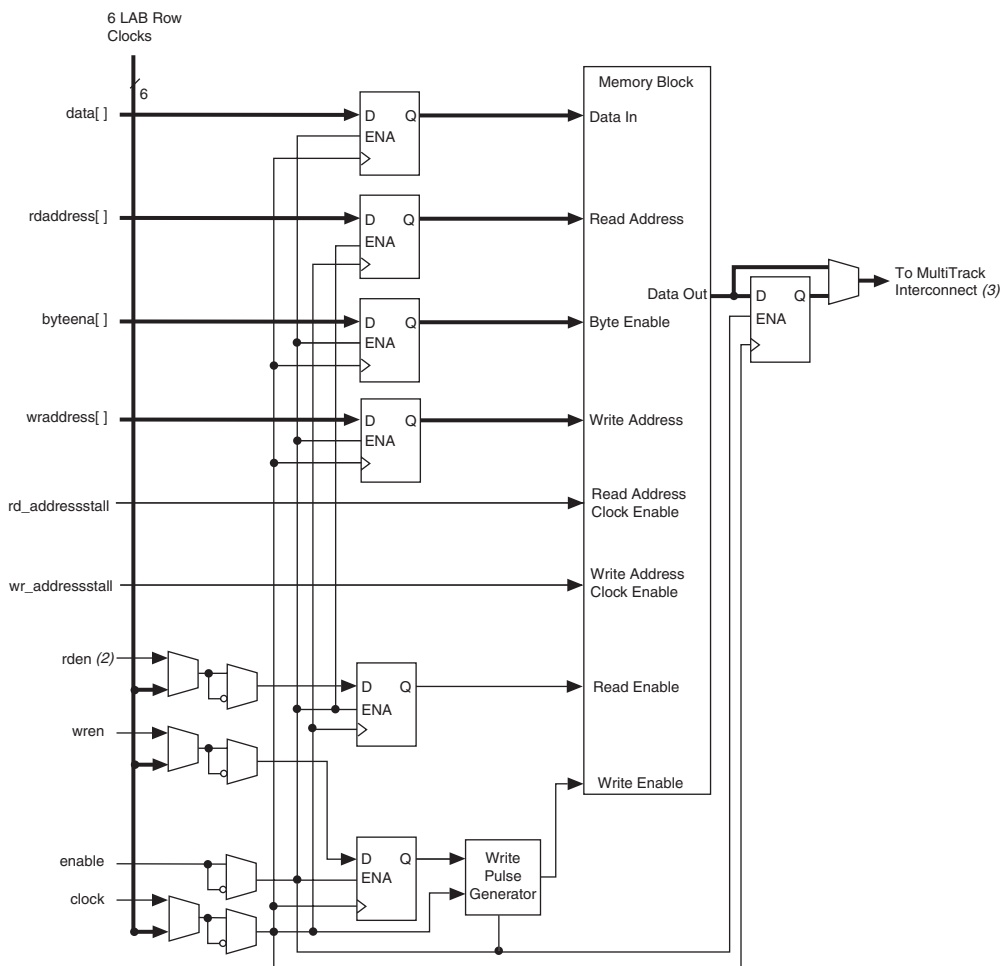
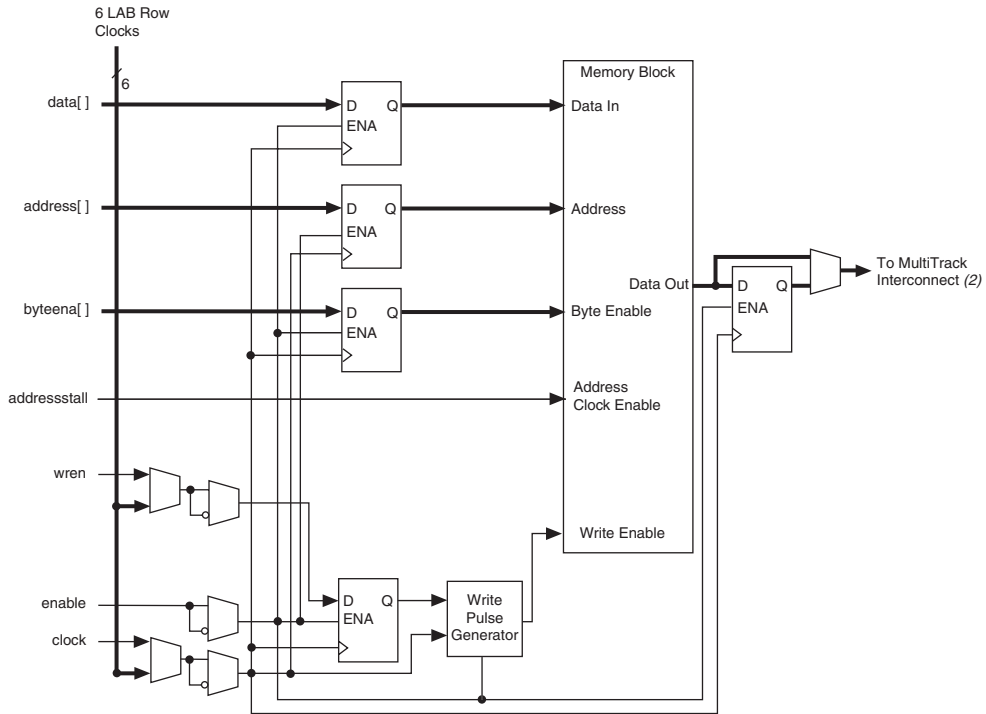


図 6-18 の注:

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊されることがあります。これはリードおよびライトの両方の動作に当てはまります。
- (2) リード・イネーブル **rden** 信号は、M-RAM ブロックでは使用できません。シンプル・デュアル・ポート・モードの M-RAM ブロックは、常に現在のリード・アドレス位置に格納されたデータを読み出します。
- (3) MultiTrack インタコネクタについて詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX デバイス・ファミリー・データシート」セクションを参照してください。

図 6-19. Arria GX のシングル・ポート・モードでのシングル・クロック・モード 注 (1)、(2)



## 図 6-19 の注:

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊されることがあります。これはリードおよびライトの両方の動作に当てはまります。
- (2) MultiTrack インタコネクタについて詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX デバイス・ファミリー・データシート」セクションを参照してください。

## TriMatrix メモリを使用 したデザイン

TriMatrix メモリをインスタンス化する場合、他のメモリ・アーキテクチャとは別に設定される機能を理解することが重要です。以下では、TriMatrix メモリの固有の属性と機能について説明します。

### TriMatrix メモリ・ブロックの選択

Quartus II ソフトウェアは、最も効率的なサイズの組み合わせを使用して、ユーザ定義メモリを自動的にエンベデッド・メモリ・ブロックに分割します。メモリは特定のブロック・サイズまたは複数のブロック・サイズに、手動で割り当てることも可能です。6-2 ページの表 6-1 は、サポートされる機能に基づいて TriMatrix メモリ・ブロックのサイズを選択するための指針です。



適切なメモリ・ブロックの選択について詳しくは、「AN 207: TriMatrix Memory Selection Using the Quartus II Software」を参照してください。

## 同期モードおよび擬似非同期モード

TriMatrix メモリ・アーキテクチャでは、RAM ブロックの入力信号および出力信号をラッチすることにより、同期 RAM が実装されます。TriMatrix メモリ・ブロックの入力はすべてラッチされ、同期ライト・サイクルが提供され、出力レジスタはバイパスできます。同期動作では、RAM はグローバルまたはリージョナル・クロックからの独自のセルフ・タイミング・ストロブ・ライト・イネーブル信号を生成します。これに対して、非同期型 RAM を使用する回路では、RAM ライト・イネーブル信号を生成する必要があり、データ信号とアドレス信号はライト・イネーブル信号を基準とするセットアップ・タイムおよびホールド・タイム仕様に従う必要があります。同期動作中、RAM はパイプライン・モード（入力および出力をラッチ）、またはフロー・スルー・モード（入力のみラッチ）で使用されます。ただし、非同期メモリでは、入力も出力もラッチされません。

Arria GX デバイスは非同期メモリをサポートしませんが、リード・アドレスがドライブされるクロック・サイクルの間、出力データが使用可能になる擬似非同期リードをサポートします。擬似非同期リード動作は、M512 ブロックと M4K ブロックのシンプルおよびツール・デュアル・ポート・モードで、リード・イネーブルおよびリード・アドレス・レジスタを負のクロック・エッジでクロックし、出力レジスタをバイパスすることによって可能です。



詳しくは、「AN 210: Converting Memory from Asynchronous to Synchronous for Stratix & Stratix GX Designs」を参照してください。

## パワーアップ条件およびメモリ初期化

パワーアップ時には、TriMatrix メモリはアイドル状態です。M512 および M4K ブロック出力は、出力レジスタが使用されているかバイパスされているかに関係なく、パワーアップ時には常にゼロになります。MIF (.mif) を使用して RAM ブロックの内容を事前にロードする場合でも、出力はパワーアップ時にクリアされます。例えば、アドレス 0 が事前に FF に初期化される場合、M512 および M4K ブロックはパワーアップ時には出力 00 になります。

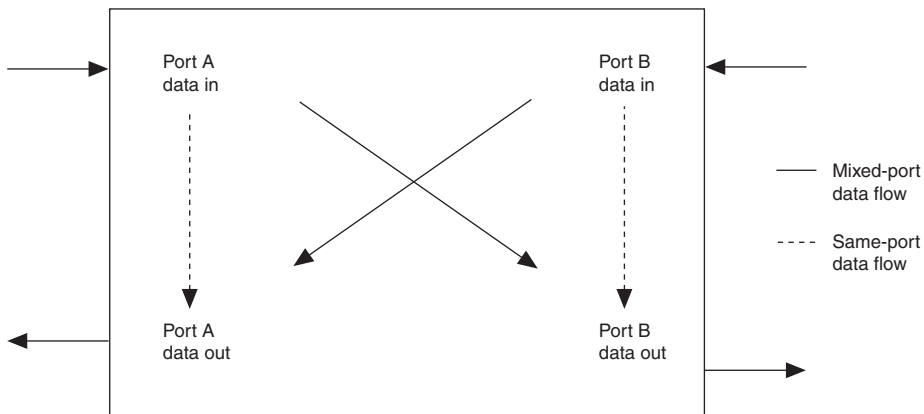
M-RAM ブロックは .mif ファイルをサポートしません。したがって、パワーアップ時にデータを事前にロードすることはできません。M-RAM ブロックの非同期出力とメモリ・コントロールは、パワーアップ時には常に不定状態になります。M-RAM ブロック出力がラッチされる場合、レジスタはパワーアップ時にクリアされます。パワーアップ直後にリー

ドが実行される場合、M-RAM の内容は初期化されないため、リード動作による出力は不定になります。あるアドレスのリード動作の結果は、そのアドレスにライト動作が実行されるまで不定のままです。

## 同一アドレス に対する Read-During- Write 動作

「同一ポートに対する Read-During-Write モード」の項と「混合ポートの Read-During-Write モード」の項では、同一アドレスに対するライト動作中にあるアドレスを読み出す場合の、様々なRAMコンフィギュレーションの機能を説明しています。Read-During-Write データ・フローには、同一ポートと混合ポートの2つがあります。図 6-20 に、これらの違いを示します。

図 6-20. Arria GX の Read-During-Write のデータ・フロー



### 同一ポートに対する Read-During-Write モード

シングル・ポート RAM、もしくはトゥルー・デュアル・ポート RAM の同一ポートに対する Read-During-Write 動作では、書き込みが行われたのと同じクロック・サイクルの立ち上がりエッジで、新しいデータが使用可能になります。この動作はすべてのメモリ・ブロック・サイズで有効です。図 6-21 に、機能波形のサンプルを示します。トゥルー・デュアル・ポート RAM モードでバイト・イネーブルを使用する場合、同じポートでマスクされたバイトの出力は不定です(6-7ページの図 6-1を参照)。図 6-21 に示すように、マスクされていないバイトは読み出されます。

図 6-21. Arria GX の同一ポートに対する Read-During-Write 機能  
注(1)

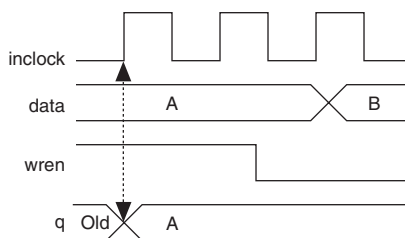


図 6-21 の注:

- (1) 出力はラッチされません。

## 混合ポートの Read-During-Write モード

このモードは、シンプルまたはトゥルー・デュアル・ポート・モードの RAM において、同じクロックで同一アドレス位置に対して 1 つのポートがリード、もう 1 つのポートがライトを行う場合に使用されます。

M512 および M4K メモリ・ブロックの READ\_DURING\_WRITE\_MODE\_MIXED\_PORTS パラメータは、当該アドレスで古いデータと「ドント・ケア」値のいずれを出力するかを指定します。このパラメータを OLD\_DATA に設定すると、そのアドレスの古いデータが出力されます。このパラメータを DONT\_CARE に設定すると、「ドント・ケア」または不定の値が出力されます。図 6-22 と 6-23 に、両方のポートが同じアドレスを持つ機能波形のサンプルを示します。これらの図では、出力はラッチされないものと仮定しています。

DONT\_CARE 設定により、任意の TriMatrix メモリ・ブロックにメモリを実装できますが、OLD\_DATA 設定により、メモリ実装が M512 または M4K メモリ・ブロックに限定されます。DONT\_CARE を選択した場合、TriMatrix メモリにメモリ機能を実装する際に、コンパイラにより高い柔軟性が与えられます。

図 6-23 に示すように、M-RAM ブロックの同一アドレス位置に対する混合ポート・Read-During-Write 動作の場合、RAM 出力は不定です。

図 6-22. Arria GX の同一ポートの Read-During-Write: OLD\_DATA

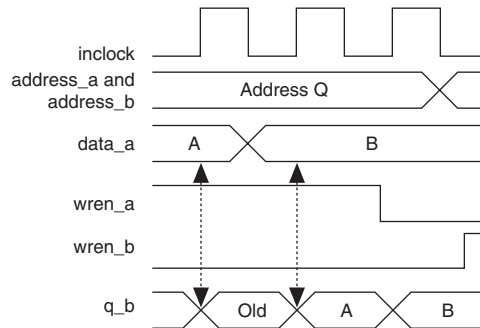
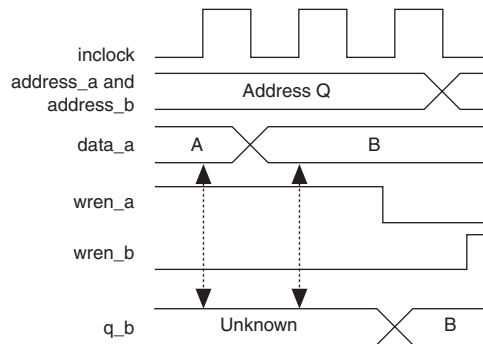


図 6-23. Arria GX の混合ポートの Read-During-Write: DONT\_CARE



混合ポートの Read-During-Write は、デュアル・ポート RAM で 2 つの異なるクロックが使用される場合はサポートされません。混合ポートの Read-During-Write 動作時には、出力値は不定です。

## まとめ

Arria GX デバイスの TriMatrix メモリ構造は、広いメモリ帯域幅を持つ拡張 RAM アーキテクチャです。この構造は、異なるメモリ・ブロックのサイズおよびモード、バイト・イネーブル、パリティ・ビット・ストレージ、アドレス・クロック・イネーブル、混合クロック・モード、シフト・レジスタ・モード、混合ポート幅サポート、およびツール・デュアル・ポート・モードなどの機能を備えた FPGA デザインにおける、様々なメモリ・アプリケーションのニーズに対応します。

## 改訂履歴

表 6-14 に、本資料の改訂履歴を示します。

| 表 6-14. 改訂履歴      |      |    |
|-------------------|------|----|
| 日付 & ドキュメント・バージョン | 変更内容 | 概要 |
| 2007 年 5 月 v1.0   | 初版   | —  |

