

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX52005-1.2

### はじめに

Arria™ GX デバイスの PLL (Phase-Locked Loop) は、デバイス・クロック管理、外部システム・クロック管理、および高速 I/O インタフェースのための強力なクロック・マネージメントおよび合成機能を提供しています。これらの PLL は汎用性に優れており、ゼロ遅延バッファ、ジッタ・アッテネータ、低スキュー・ファンアウト・バッファ、または周波数合成として使用できます。

Arria GX デバイスは、最大 4 個の enhanced PLL および最大 4 個の fast PLL を備えています。enhanced PLL および fast PLL は豊富な機能を備えており、クロック・スイッチオーバー、リコンフィギュレーション可能な位相シフト、PLL リコンフィギュレーション、およびリコンフィギュレーション可能な帯域幅など、先進的な機能をサポートしています。PLL は、逡倍、位相シフト、およびプログラマブル・デューティ・サイクルをサポートする汎用クロック管理に使用できます。さらに、enhanced PLL は外部クロック・フィードバック・モード、スペクトラム拡散クロック、およびカウンタ・カスケードをサポートしています。fast PLL は、高速差動 I/O インタフェースを駆動する高速出力を提供しています。

Arria GX デバイスは、未使用クロック・ネットワークをオフにできるパワーダウン・モードもサポートしており、デバイスの全体的な消費電流を低減します。さらに、Arria GX の PLL は、最大 5 つのソースの中からの PLL 入力クロックのダイナミック選択をサポートしており、複数 (最大 4 つ) のクロック・ソースからプライマリおよびセカンダリ・クロック入力ポートに供給するソースを選択できる柔軟性を提供します。

アルテラの Quartus® II ソフトウェアにより、PLL およびその機能が外部デバイスなしで使用できます。

この章は、以下の項で構成されています。

- 5-5 ページの「enhanced PLLs」
- 5-15 ページの「fast PLL」
- 5-20 ページの「クロック・フィードバック・モード」
- 5-25 ページの「ハードウェア機能」
- 5-33 ページの「高度な機能」
- 5-46 ページの「リコンフィギュレーション可能な帯域幅」
- 5-53 ページの「PLL リコンフィギュレーション」
- 5-53 ページの「スペクトラム拡散クロッキング」

- 5-58 ページの「ボード・レイアウト」
- 5-64 ページの「PLL 仕様」
- 5-64 ページの「クロック」
- 5-83 ページの「クロック・コントロール・ブロック」
- 5-88 ページの「まとめ」

表 5-1 に、Arria GX デバイスで提供されている PLL を示します。

デバイス	fast PLL				enhanced PLL			
	1	2	7	8	5	6	11	12
EP1AGX20	√	√	—	—	√	√	—	—
EP1AGX35	√	√	—	—	√	√	—	—
EP1AGX50	√	√	√	√	√	√	√	√
EP1AGX60 (2)	√	√	√	√	√	√	√	√
EP1AGX90	√	√	√	√	√	√	√	√

表 5-1 の注：

- (1) fast PLL のトランシーバ・ブロック内のグローバルまたはリージョナル・クロックから fast PLL 入力をドライブできます。ピンまたは他の PLL は、グローバルまたはリージョナル・ソースをドライブする必要があります。fast PLL をドライブする前に内部で生成されたロジックでソースをドライブすることはできません。
- (2) F484 および F780 パッケージの EP1AGX60 デバイスは、2 個の fast PLL (PLL 1 および 2) および 2 個の enhanced PLL を備えています。F1152 パッケージの Arria GX デバイスは、8 個全ての PLL をサポートしています。

表 5-2 に、Arria GX デバイスの enhanced PLL および fast PLL の特長を示します。

特長	enhanced PLL	fast PLL
クロックの通倍と分周	$m(n \times \text{ポストスケール} \cdot \text{カウンタ})$ (1)	$m(n \times \text{ポストスケール} \cdot \text{カウンタ})$ (2)
位相シフト	最小 125 ps の増分量 (3)	最小 125 ps の増分量 (3)
クロック・スイッチオーバー	√	√ (4)
PLL リコンフィギュレーション	√	√
リコンフィギュレーション可能な帯域幅	√	√
スペクトラム拡散クロッキング	√	—
プログラマブル・デューティ・サイクル	√	√
PLL あたりのクロック出力数 (5)	6	4
PLL あたりの専用外部クロック出力数	3 つの差動出力または 6 つの シングル・エンド出力	(6)
PLL あたりのフィードバック・クロック 入力数	1 (7)	—

表 5-2 の注：

- (1) enhanced PLL では、 $m$  および  $n$  の範囲はデューティ・サイクルが 50% で 1 ~ 512 です。ポストスケール・カウンタの範囲は、50% デューティ・サイクルで 1 ~ 512 です。デューティ・サイクルが 50% 以外のクロック出力の場合、ポストスケール・カウンタの範囲は 1 ~ 256 です。
- (2) fast PLL の範囲は 1 ~ 4 です。ポストスケール・カウンタおよび  $m$  カウンタの範囲は 1 ~ 32 です。デューティ・サイクルが 50% 以外のクロック出力の場合、ポストスケール・カウンタの範囲は 1 ~ 16 です。
- (3) 最小位相シフトは、動作制御発振器 (VCO: Voltage Controlled Oscillator) の周期を 8 で除算して求められます。サポートされる位相シフトの範囲は 125 ~ 250 ps です。Arria GX デバイスは、すべての出力周波数を最小 45° の増分でシフトできます。周波数および分周パラメータによっては、より細かな微調整も可能です。デューティ・サイクルが 50% 以外のクロック出力の場合、ポストスケール・カウンタの範囲は 1 ~ 256 です。
- (4) Arria GX の fast PLL は、マニュアル・クロック・スイッチオーバーのみサポートします。
- (5) クロック出力は、内部クロック・ネットワークまたはピンにドライブできます。
- (6) fast PLL の PLL クロック出力は、外部クロック出力として使用される任意の I/O ピンにドライブできます。高速差動 I/O ピンの場合、デバイスはデータ・チャネルを使用してトランスミッタ出力クロック (txclkout) を生成します。
- (7) デザインで外部フィードバック入力ピンが使用されている場合、1 本 (または fbin が差動の場合は 2 本) の専用出力クロック・ピンがなくなります。

図 5-1 に、Arria GX デバイスと PLL の位置のトップ・レベル図を示します。グローバルおよびリージョナル・クロック・ネットワークへの PLL 接続について詳しくは、5-83 ページの「クロック・コントロール・ブロック」を参照してください。

図 5-1. Arria GX の PLL の位置

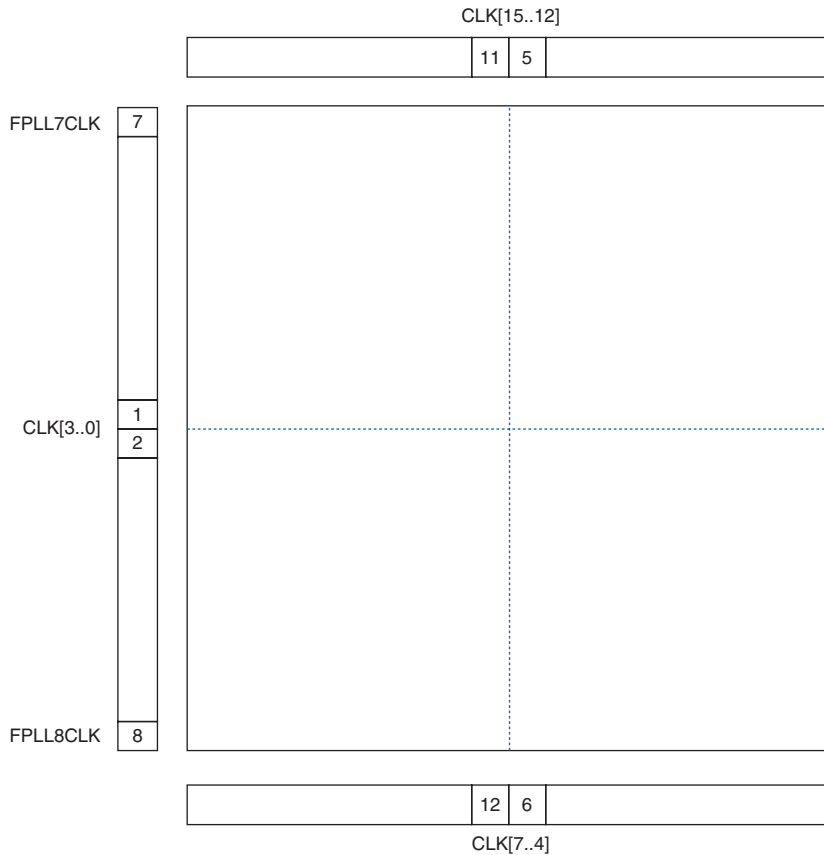


図 5-1 の注:

- (1) EP1AGX20 および EP1AGX35 デバイスは、2 個の enhanced PLL と 2 個の fast PLL を備えています。
- (2) EP1AGX50 デバイスは、F484 パッケージでは 2 個の enhanced PLL (5 および 6) と 2 個の fast PLL (1 および 2)、F780 パッケージでは 2 個の enhanced PLL と 2 個の fast PLL (1 および 2)、F1152 パッケージでは 4 個の enhanced PLL と 4 個の fast PLL を備えています。
- (3) EP1AGX60 デバイスは、F484 および F780 パッケージでは 2 個の enhanced PLL と 2 個の fast PLL、F1152 パッケージでは 4 個の enhanced PLL と 4 個の fast PLL を備えています。
- (4) EP1AGX60 デバイスは、F1152 パッケージでは 4 個の enhanced PLL と 4 個の fast PLL を備えています。
- (5) コーナー fast PLL (7 および 8) は、F1152 パッケージでのみ使用できます。

## enhanced PLLs

Arria GX デバイスは、高度なクロック管理機能を備えた最大 4 個の enhanced PLL を内蔵しています。PLL の主な目的は、内部クロックおよび外部クロックの位相と周波数を入力基準クロックに同期させることです。この位相アラインメントを達成するため、PLL に多数のコンポーネントがあります。

### enhanced PLL ハードウェアの概要

Arria GX の PLL は、位相周波数検知器 (PFD) を使用して、入力基準クロックの立ち上がりエッジをフィードバック・クロックに揃えます。立ち下がりエッジはデューティ・サイクルの仕様によって決まります。PFD は、VCO がより高いまたは低い周波数で動作する必要があるかどうかを判定する Up または Down 信号を生成します。

PFD 出力はチャージ・ポンプとループ・フィルタに印加され、それにより VCO 周波数を設定するためのコントロール電圧が生成されます。PFD がアップ信号を発生すると、VCO の周波数が高くなり、ダウン信号を発生すると、VCO の周波数が低くなります。PFD はこれらのアップ信号とダウン信号をチャージ・ポンプに出力します。チャージ・ポンプがアップ信号を受け取ると、電流がループ・フィルタに向かって流れます。逆にチャージ・ポンプが Down 信号を受け取る場合は、ループ・フィルタから電流が供給されます。

ループ・フィルタは、これらのアップ信号とダウン信号を電圧に変換して VCO のバイアスに使用します。またループ・フィルタは、チャージ・ポンプからグリッチを除去し、電圧のオーバーシュートを防止するため、VCO のジッタがフィルタされます。

ループ・フィルタからの電圧によって、VCO の動作速度が決まります。VCO は 4 段の差動リング・オシレータとして構成されています。VCO 周波数を入力基準周波数よりも高くするために、フィードバック・ループに分周カウンタ ( $m$ ) が挿入されます。VCO 周波数 ( $f_{VCO}$ ) は、入力基準クロック ( $f_{REF}$ ) の ( $m$ ) 倍に等しくなります。PFD への入力基準クロック ( $f_{REF}$ ) は、入力クロック ( $f_{IN}$ ) をプリ・スケール・カウンタ ( $n$ ) で除算したものに等しくなります。したがって、PFD の 1 入力に印加されたフィードバック・クロック ( $f_{FB}$ ) が  $f_{REF}$  にロックされ、それが PFD の他の入力に印加されます。

VCO 出力は、最大 6 個のポストスケール・カウンタ (c0、c1、c2、c3、c4、および c5) に供給できます。これらのポストスケール・カウンタにより、PLL 内で多数の調和関係にある周波数を生成することができます。

図 5-2 に、Arria GX の enhanced PLL の主要コンポーネントの簡略ブロック図を示します。図 5-3 には、enhanced PLL の出力および専用クロック出力を示します。

図 5-2. Arria GX の enhanced PLL 注 (3)、(4)

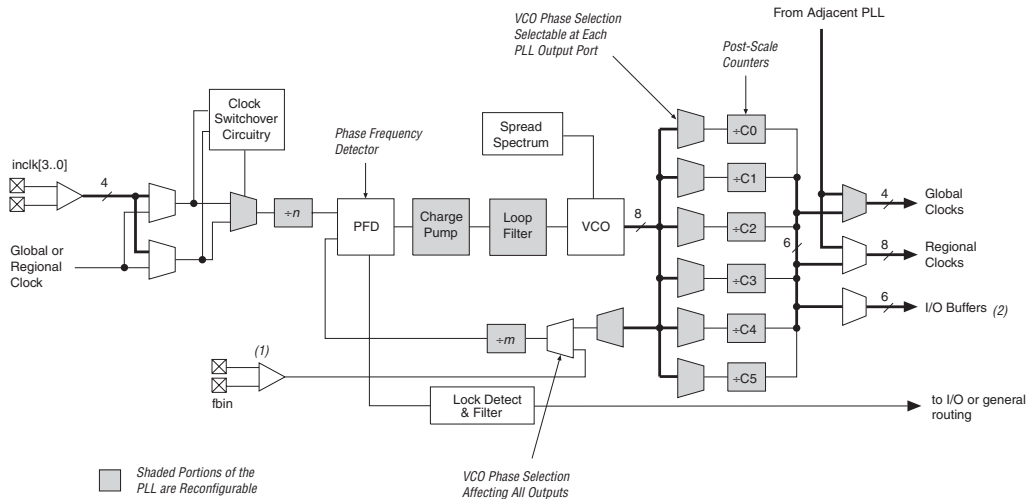


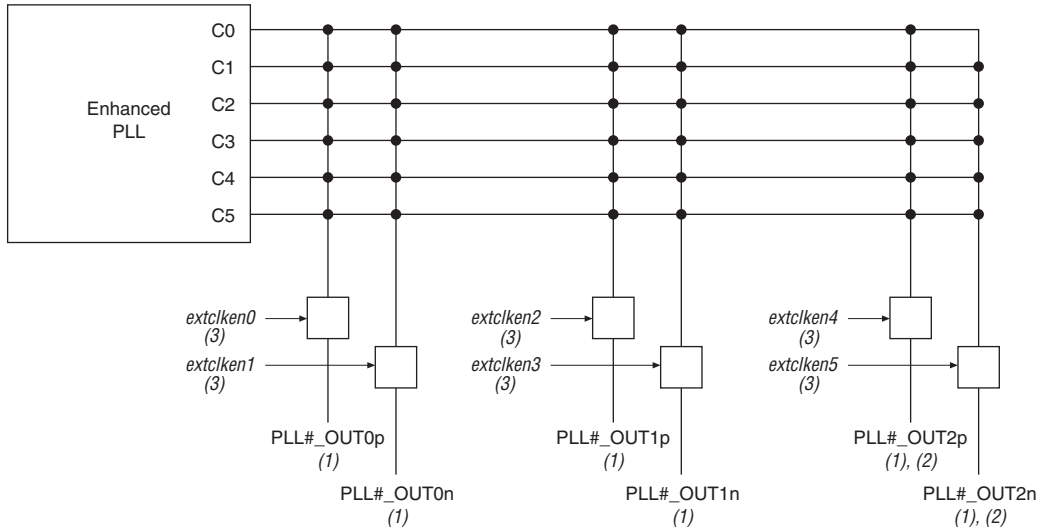
図 5-2 の注：

- (1) 各クロック・ソースは、PLL としてデバイスの同じサイドに配置されている 4 本のクロック・ピンのどれからでも供給できます。
- (2) PLL 5、6、11、および 12 は、6 つのシングル・エンド専用クロック出力および 3 つの差動専用クロック出力を備えています。
- (3) デザインで外部フィードバック入力ピンが使用されている場合、1 本（または fbin が差動の場合は 2 本）の専用出力クロック・ピンがなくなります。すべての Arria GX デバイスには、1 個の PLL につき 1 つのシングル・エンドまたは差動外部フィードバック入力を持つ enhanced PLL が少なくとも 2 個あります。
- (4) グローバルまたはリージョナル・クロック入力は、別の PLL からの出力、ピンでドライブされる専用グローバルまたはリージョナル・クロックによってドライブできます。あるいは、別の PLL からの出力またはピンでドライブされる専用のグローバルもしくはリージョナル・クロックからクロック・コントロール・ブロックにクロックが供給される場合には、クロック・コントロール・ブロックを通してドライブできます。内部で生成されるグローバル信号で PLL をドライブすることはできません。

## 外部クロック出力

図 5-3 に示すように、enhanced PLL 5、6、11、および 12 はそれぞれ最大 6 つのシングル・エンド・クロック出力（または 3 つの差動ペア）をサポートします。

図 5-3. enhanced PLL 5、6、11 および 12 の外部クロック出力



### 図 5-3 の注:

- (1) これらのクロック出力ピンには、C[5..0] カウンタの任意の 1 個から信号を供給できます。
- (2) これらのクロック出力ピンは、外部クロック出力として、あるいは外部フィードバック用に使用されます。デザインで外部フィードバック入力ピンが使用されている場合、1 本（または fbin が差動の場合は 2 本）の専用出力クロック・ピンがなくなります。
- (3) これらの外部クロック・イネーブル信号は、ALTCLKCTRL メガファンクションを使用する場合に限り使用できます。

図 5-3 に示すように、6 個の出力カウンタ C[5..0] のいずれからも専用外部クロック出力に信号を供給できます。したがって、1 つのカウンタまたは周波数で、ある PLL から得られるすべての出力ピンをドライブすることができます。各 enhanced PLL からの専用出力クロック・ピン (PLL#\_OUT) には、独立した電源ピン（例えば、VCC\_PLL5\_OUT、VCC\_PLL6\_OUT など）から電源が供給され、スイッチングする I/O ピンからの分離状態を改善することによって、全体的な出力ジッタを低減します。

図 5-4. enhanced PLL 5、6、11、および 12 用 PLL 出力カウンタへの外部クロック出力の接続性  
注 (1)

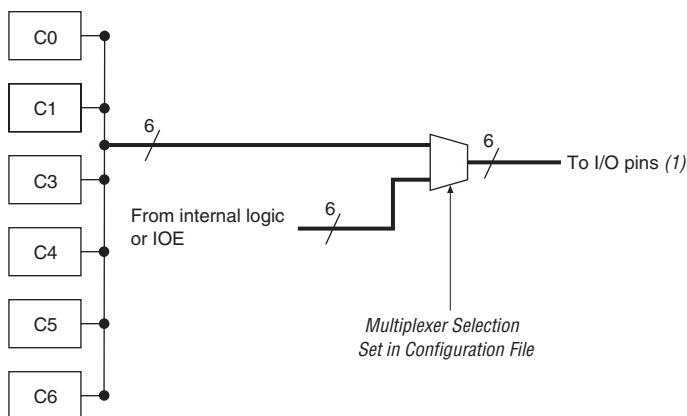


図 5-4 の注:

- (1) デザインでは、各外部クロック出力ピンをロジック・アレイからの汎用出力ピンとして使用することができます。これらのピンは I/O エlement (IOE) 出力によって多重化されています。

シングル・エンド出力ペアの各ピンは、同位相または逆位相にすることができます。Quartus II ソフトウェアは、デザインの NOT ゲートを IOE に配置して、ペアのもう 1 本のピンに対して 180° の位相を実装します。クロック出力ピンのペアは、LVDS、LVPECL、差動 HSTL、差動 SSTL はもとより、標準出力ピン (トップおよびボトム・バンク内) と同じ I/O 規格もサポートします。5-12 ページの「enhanced PLL ピン」の表 5-5 を参照して、enhanced PLL クロック・ピンがどの I/O 規格をサポートするかを確認してください。

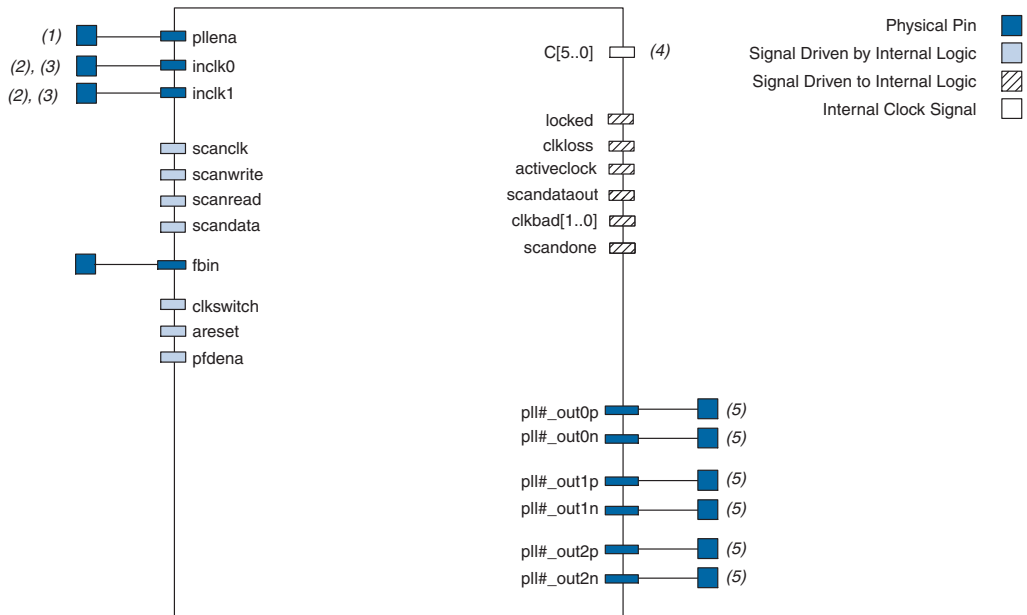
シングル・エンドまたは差動モードでは、1 本の電源ピンが 6 つのシングル・エンド出力または 3 つの差動出力をサポートします。どちらの出力もシングル・エンド・モードで、同じ I/O 規格を使用して性能を維持します。enhanced PLL の出力クロックが不要な場合は、外部クロック出力ピンをユーザー出力ピンとして使用することもできます。

enhanced PLL は、グローバルまたはリージョナル・ネットワークを介してどの通常の I/O ピンにもドライブ・アウトできます。このケースでは、出力クロックのジッタは特性評価待ちです。

## enhanced PLL ソフトウェアの概要

Arria GX の enhanced PLL は、Quartus II ソフトウェアで ALTPLL メガファンクションを使用してイネーブルされます。図 5-5 に、Arria GX の enhanced PLL で使用可能なポート（Quartus II ALTPLL メガファンクションで付けられた名前）を示します。

図 5-5. enhanced PLL ポート



### 図 5-5 の注：

- enhanced および fast PLL は、この入力ピンを共有します。
- これらはシングル・エンド・ピンまたは差動ピンです。
- プライマリおよびセカンダリ・クロック入力は、デバイスの PLL と同じサイドに配置された 4 本のクロック・ピンのいずれか 1 本から供給できます。
- C[5..0] は、グローバルまたはリージョナル・クロック・ネットワーク、あるいは専用外部クロック出力ピンにドライブできます。
- これらの専用出力クロックは、C[5..0] カウンタによって供給されます。

表 5-3 および 5-4 は、すべての enhanced PLL ポートについて説明しています。

表 5-3. enhanced PLL 入力信号			
ポート	説明	ソース	デスティネーション
inclck0	PLL のプライマリ・クロック入力。	ピンまたは他の PLL	カウンタ
inclck1	PLL のセカンダリ・クロック入力。	ピンまたは他の PLL	カウンタ
fbin	PLL への外部フィードバック入力。	ピン	PFD
pllenna	すべての PLL または 1 セットの PLL をイネーブルまたはディセーブルするためのイネーブル・ピン。アクティブ High。	ピン	一般的な PLL コントロール信号
clkswitch	外部クロック・スイッチオーバー・コントロールの起動に使用される切り換え信号。アクティブ High。	ロジック・アレイ	PLL スイッチオーバー回路
areset	PLL をリセットし、すべてのカウンタ出力を再同期するのに使用される信号。アクティブ High。	ロジック・アレイ	一般的な PLL コントロール信号
pfdena	位相周波数検知器からの出力をイネーブルにします。アクティブ High。	ロジック・アレイ	PFD
scanclk	リアルタイム PLL リコンフィギュレーション機能のシリアル・クロック信号。	ロジック・アレイ	リコンフィギュレーション回路
scandata	リアルタイム PLL リコンフィギュレーション機能のシリアル入力データ・ストリーム。	ロジック・アレイ	リコンフィギュレーション回路
scanwrite	PLL へのスキャン・チェーンのデータの書き込みをイネーブルします。アクティブ High。	ロジック・アレイ	リコンフィギュレーション回路
scanread	スキャン・チェーンに書き込むスキャン・データをイネーブルします。アクティブ High。	ロジック・アレイ	リコンフィギュレーション回路

表 5-4. enhanced PLL 出力信号

ポート	説明	ソース	デスティネーション
C[5..0]	リージョナル・クロック、グローバル・クロックまたは外部クロックをドライブする PLL 出力カウンタ。	PLL カウンタ	内部または外部クロック
pll#_out[2..0]p pll#_out[2..0]n	これらは C[5..0]PLL カウンタからクロックが供給される 3 本の差動または 6 本のシングル・エンド外部クロック出力ピンで、どの出力も任意のカウンタでドライブできます。 <i>p</i> および <i>n</i> は正 ( <i>p</i> ) ピンおよび負 ( <i>n</i> ) ピンです。	PLL カウンタ	ピン
clkloss	スイッチオーバー回路が切り換え状態を検出したことを示す信号。	PLL スイッチオーバー回路	ロジック・アレイ
clkbad[1..0]	どの基準クロックがトグルしていないかを示す信号。clkbad1 は inclk1 状態、clkbad0 は inclk0 状態を示します。1 = 良好、0 = 不良	PLL スイッチオーバー回路	ロジック・アレイ
locked	ロック検出回路からのロック出力またはゲート制御ロック出力。アクティブ High。	PLL ロック検出	ロジック・アレイ
activeclock	どのクロック (0 = inclk0 または 1 = inclk1) が PLL をドライブしているかを示すための信号。この信号が Low の場合、inclk0 が PLL をドライブし、High の場合、inclk1 が PLL をドライブします。	PLL クロック・マルチプレクサ	ロジック・アレイ
scandataout	スキャン・チェーンの最後のシフト・レジスタの出力。	PLL スキャン・チェーン	ロジック・アレイ
scandone	PLL がリコンフィギュレーションを完了したことを示す信号。1 から 0 の遷移で PLL がリコンフィギュレーションされたことを示します。	PLL スキャン・チェーン	ロジック・アレイ

## enhanced PLL ピン

表 5-5 に、enhanced PLL クロック出力でサポートされる I/O 規格を示します。

I/O 規格	入力 inclk	fbin	出力 extclk
LVTTTL	√	√	√
LVC MOS	√	√	√
2.5 V	√	√	√
1.8 V	√	√	√
1.5 V	√	√	√
3.3-V PCI	√	√	√
3.3-V PCI-X	√	√	√
SSTL-2 Class I	√	√	√
SSTL-2 Class II	√	√	√
SSTL-18 Class I	√	√	√
SSTL-18 Class II	√	√	√
1.8-V HSTL Class I	√	√	√
1.8-V HSTL Class II	√	√	√
1.5-V HSTL Class I	√	√	√
1.5-V HSTL Class II	√	√	√
差動 SSTL-2 Class I	√	√	√
差動 SSTL-2 Class II	√	√	√
差動 SSTL-18 Class I	√	√	√
差動 SSTL-18 Class II	√	√	√
1.8-V 差動 HSTL Class I	√	√	√
1.8-V 差動 HSTL Class II	√	√	√
1.5-V 差動 HSTL Class I	√	√	√
1.5-V 差動 HSTL Class II	√	√	√
LVDS	√	√	√
HyperTransport テクノロジ	—	—	—
差動 LVPECL	√	√	√

表 5-5 の注：

- (1) enhanced PLL の外部クロック出力バンクでは、シングル・エンド I/O 規格と差動 I/O 規格を混在させることはできません。

表 5-6 に、Arria GX の enhanced PLL の物理ピンとその用途を示します。inclk ポートのピンへの接続については、5-83 ページの「クロック・コントロール・ブロック」を参照してください。

表 5-6. Arria GX の enhanced PLL ピン 注(1) (1 / 2)	
ピン	説明
CLK4p/n	PLL 6 または 12 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK5p/n	PLL 6 または 12 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK6p/n	PLL 6 または 12 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK7p/n	PLL 6 または 12 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK12p/	PLL 5 または 11 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK13p/	PLL 5 または 11 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK14p/n	PLL 5 または 11 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK15p/n	PLL 5 または 11 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
PLL5_FBp/n	PLL 5 に対する fbin ポートをドライブできるシングル・エンドまたは差動ピン。
PLL6_FBp/n	PLL 6 に対する fbin ポートをドライブできるシングル・エンドまたは差動ピン。
PLL11_FBp/n	PLL 11 に対する fbin ポートをドライブできるシングル・エンドまたは差動ピン。
PLL12_FBp/n	PLL 12 に対する fbin ポートをドライブできるシングル・エンドまたは差動ピン。
pllenna	すべてまたは 1 セットの PLL の pllenna ポートをドライブする専用入力ピン。このピンを使用しない場合は、グランドに接続する必要があります。
PLL5_OUT[2..0]p/n	PLL 5 からの C[5..0] ポートでドライブされるシングル・エンドまたは差動ピン。
PLL6_OUT[2..0]p/n	PLL 5 からの C[6..0] ポートでドライブされるシングル・エンドまたは差動ピン。
PLL11_OUT[2..0]p/n	PLL 5 からの C[11..0] ポートでドライブされるシングル・エンドまたは差動ピン。
PLL12_OUT[2..0]p/n	PLL 5 からの C[12..0] ポートでドライブされるシングル・エンドまたは差動ピン。
VCCA_PLL5	PLL 5 のアナログ電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。
GNDA_PLL5	PLL 5 のアナログ・グランド。このピンはボード上の GND プレーンに接続できます。
VCCA_PLL6	PLL 6 のアナログ電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。

表 5-6. Arria GX の enhanced PLL ピン 注 (1) (2 / 2)	
ピン	説明
GND <sub>A</sub> _PLL6	PLL 6 のアナログ・グラウンド。このピンはボード上の GND プレーンに接続できません。
VCC <sub>A</sub> _PLL11	PLL 11 のアナログ電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。
GND <sub>A</sub> _PLL11	PLL 11 のアナログ・グラウンド。このピンはボード上の GND プレーンに接続できます。
VCC <sub>A</sub> _PLL12	PLL 12 のアナログ電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。
GND <sub>A</sub> _PLL12	PLL 12 のアナログ・グラウンド。このピンはボード上の GND プレーンに接続できます。
VCC <sub>D</sub> _PLL	PLL のデジタル電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。
VCC_PLL5_OUT	PLL 5 からの PLL5_OUT0p、PLL5_OUT0n、PLL5_OUT1p、PLL5_OUT1n、PLL5_OUT2p、および PLL5_OUT2n 出力に対する外部クロック出力 V <sub>CCIO</sub> 電源。
VCC_PLL6_OUT	PLL 6 からの PLL6_OUT0p、PLL6_OUT0n、PLL6_OUT1p、PLL6_OUT1n、PLL6_OUT2p、および PLL6_OUT2n 出力に対する外部クロック出力 V <sub>CCIO</sub> 電源。
VCC_PLL11_OUT	PLL 11 からの PLL11_OUT0p、PLL11_OUT0n、PLL11_OUT1p、PLL11_OUT1n、PLL11_OUT2p、および PLL11_OUT2n 出力に対する外部クロック出力 V <sub>CCIO</sub> 電源。
VCC_PLL12_OUT	PLL 12 からの PLL12_OUT0p、PLL12_OUT0n、PLL12_OUT1p、PLL12_OUT1n、PLL12_OUT2p、および PLL12_OUT2n 出力に対する外部クロック出力 V <sub>CCIO</sub> 電源。

## 表 5-6 の注：

(1) ネガティブ・ピン (CLK<sub>n</sub>、PLL\_FB<sub>n</sub>、および PLL\_OUT<sub>n</sub>) は、差動信号方式でのみ必要です。

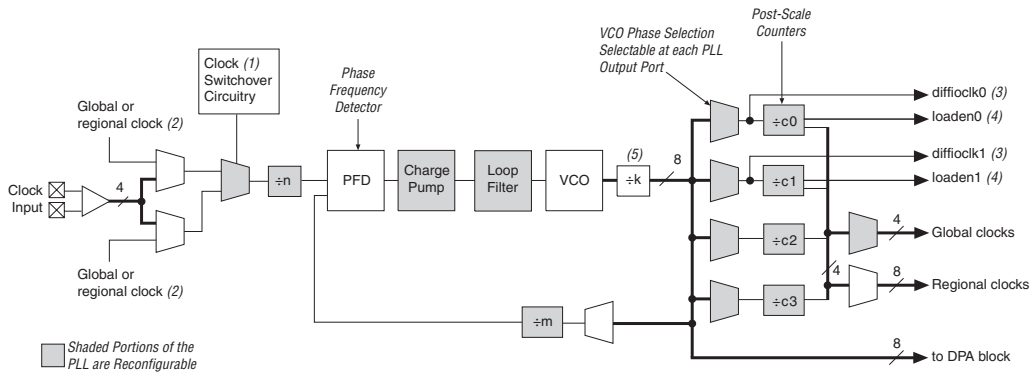
## fast PLL

Arria GX デバイスは最大 4 個の fast PLL を備えています。fast PLL は、汎用機能と併せて高速差動 I/O インタフェース機能を備えています。

### fast PLL ハードウェアの概要

図 5-6 に、Arria GX デバイスの fast PLL のブロック図を示します。

図 5-6. Arria GX の fast PLL のブロック図



#### 図 5-6 の注:

- (1) Arria GX の fast PLL は、マニュアル・クロック・スイッチオーバーのみサポートします。
- (2) グローバルまたはリージョナル・クロック入力は、別の PLL からの出力、ピンでドライブされる専用グローバルまたはリージョナル・クロックによってドライブできます。あるいは、別の PLL からの出力またはピンでドライブされる専用のグローバルもしくはリージョナル・クロックからクロック・コントロール・ブロックにクロックが供給される場合には、クロック・コントロール・ブロックを通してドライブできます。
- (3) 高速差動 I/O サポート・モードでは、SERDES にこの高速 PLL クロックが供給されます。Arria GX デバイスは、高速差動 I/O サポート・モードでは、fast PLL あたり 1 つのデータ転送レートのみサポートします。
- (4) この信号は、高速差動 I/O サポート SERDES コントロール信号です。
- (5) デザインが  $\pm 2$  カウンタをイネーブルする場合、デバイスは 150 ~ 520 MHz の VCO 周波数範囲を使用できます。

### 外部クロック出力

各 fast PLL は、ソース・シンクロナス・トランスミッタ用または汎用外部クロックに対する差動またはシングル・エンド出力をサポートします。専用の外部クロック出力ピンはありません。fast PLL のグローバルまたはリージョナル出力で、いかなる I/O ピンでも外部クロック出力ピンとしてドライブできます。特定のバンクでサポートされる I/O 規格によって、当該バンク内の fast PLL でドライブされる外部クロック出力に対して可能な規格が決まります。



詳細は、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスで選択可能な I/O 規格」の章を参照してください。

## fast PLL ソフトウェアの概要

Arria GX の fast PLL は、Quartus II ソフトウェアで ALTPLL メガファンクションを使用してイネーブルされます。図 5-7 に、Arria GX の fast PLL で使用可能なポート（Quartus II ALTPLL メガファンクションで付けられた名前）を示します。

図 5-7. Arria GX の fast PLL ポートと物理的送信先

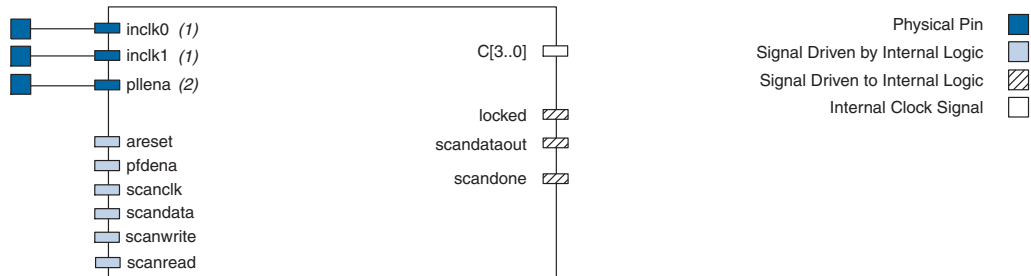


図 5-7 の注：

- (1) この入力ピンはシングル・エンドまたは差動です。
- (2) この入力ピンは、すべての enhanced PLL および fast PLL によって共有されます。

表 5-7 および 5-8 に、すべての fast PLL ポートの説明を示します。

信号名	説明	ソース	デスティネーション
inclk0	fast PLL へのプライマリ・クロック入力。	ピンまたは他の PLL	カウンタ
inclk1	fast PLL へのセカンダリ・クロック入力。	ピンまたは他の PLL	カウンタ
pllenna	すべての PLL または 1 セットの PLL をイネーブルまたはディセーブルするためのイネーブル・ピン。アクティブ High。	ピン	PLL コントロール信号
clkswitch	外部クロック・スイッチオーバー・コントロールの起動に使用される切り換え信号。アクティブ High。	ロジック・アレイ	リコンフィギュレーション回路
areset	PLL をリセットし、すべてのカウンタ出力を再同期するのに使用される信号。アクティブ High。	ロジック・アレイ	PLL コントロール信号
pfdena	位相周波数検知器からの Up/Down 出力をイネーブルします。アクティブ High。	ロジック・アレイ	PFD

表 5-7. fast PLL 入力信号 (2 / 2)

信号名	説明	ソース	デスティネーション
scanclk	リアルタイム PLL コントロール機能用シリアル・クロック信号。	ロジック・アレイ	リコンフィギュレーション回路
scandata	リアルタイムPLLコントロール機能用シリアル入力データ・ストリーム。	ロジック・アレイ	リコンフィギュレーション回路
scanwrite	PLL へのスキャン・チェインのデータの書き込みをイネーブルします。アクティブ High。	ロジック・アレイ	リコンフィギュレーション回路
scanread	スキャン・チェインに書き込むスキャン・データをイネーブルします。アクティブ High。	ロジック・アレイ	リコンフィギュレーション回路

表 5-8. fast PLL 出力信号

信号名	説明	ソース	デスティネーション
C[3..0]	リージョナルまたはグローバル・クロックをドライブする PLL 出力。	PLL カウンタ	内部クロック
locked	ロック検出回路からのロック出力またはゲート制御ロック出力。アクティブ High。	PLL ロック検出	ロジック・アレイ
scandataout	スキャン・チェインの最後のシフト・レジスタの出力。	PLL スキャン・チェイン	ロジック・アレイ
scandone	PLL がリコンフィギュレーションを完了したことを示す信号。1 から 0 の遷移で PLL がリコンフィギュレーションされたことを示します。	PLL スキャン・チェイン	ロジック・アレイ

## fast PLL ピン

表 5-9 に、fast PLL 入力ピンでサポートされる I/O 規格を示します。

表 5-9. Arria GX の fast PLL ピンでサポートされる I/O 規格	
I/O 規格	inclk
LVTTTL	√
LVCMOS	√
2.5 V	√
1.8 V	√
1.5 V	√
3.3-V PCI	—
3.3-V PCI-X	—
SSTL-2 Class I	√
SSTL-2 Class II	√
SSTL-18 Class I	√
SSTL-18 Class II	√
1.8-V HSTL Class I	√
1.8-V HSTL Class II	√
1.5-V HSTL Class I	√
1.5-V HSTL Class II	√
差動 SSTL-2 Class I	—
差動 SSTL-2 Class II	—
差動 SSTL-18 Class I	—
差動 SSTL-18 Class II	—
1.8-V 差動 HSTL Class I	—
1.8-V 差動 HSTL Class II	—
1.5-V 差動 HSTL Class I	—
1.5-V 差動 HSTL Class II	—
LVDS	√
HyperTransport テクノロジ	√
差動 LVPECL	—

表 5-10 に、Arria GX の fast PLL の物理ピンとその用途を示します。inclk ポートのピンへの接続については、5-64 ページの「クロック」を参照してください。

表 5-10. fast PLL ピン 注 (1)	
ピン	説明
CLK0p/n	PLL 1、2、7 または 8 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK1p/n	PLL 1、2、7 または 8 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK2p/n	PLL 1、2、7 または 8 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
CLK3p/n	PLL 1、2、7 または 8 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
FPLL7CLKp/n	PLL 7 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
FPLL8CLKp/n	PLL 8 に対する inclk ポートをドライブできるシングル・エンドまたは差動ピン。
pllana	すべてまたは 1 セットの PLL の pllana ポートをドライブする専用入力ピン。このピンを使用しない場合は、GND に接続する必要があります。
VCCD_PLL	PLL のデジタル電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。
VCCA_PLL1	PLL 1 のアナログ電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。
GND_A_PLL1	PLL 1 のアナログ・グラウンド。このピンはボード上の GND プレーンに接続できます。
VCCA_PLL2	PLL 2 のアナログ電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。
GND_A_PLL2	PLL 2 のアナログ・グラウンド。このピンはボード上の GND プレーンに接続できます。
GND_A_PLL7	PLL 7 のアナログ・グラウンド。このピンはボード上の GND プレーンに接続できます。
VCCA_PLL8	PLL 8 のアナログ電源。このピンは PLL を使用しない場合でも 1.2 V に接続しなければなりません。
GND_A_PLL8	PLL 8 のアナログ・グラウンド。このピンはボード上の GND プレーンに接続できます。

表 5-10 の注:

(1) ネガティブ・ピン (CLKn および FPLL\_CLKn) は、差動信号方式でのみ必要です。

## クロック・フィードバック・モード

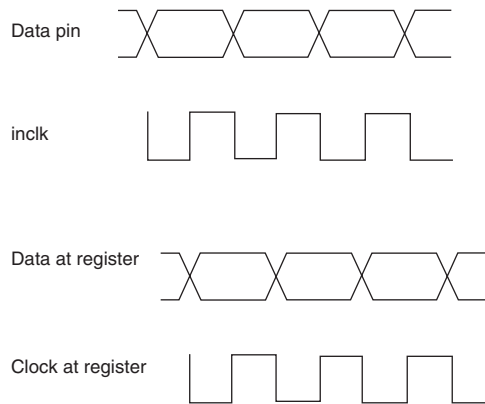
Arria GX の PLL は、最大 5 種類のクロック・フィードバック・モードをサポートします。各モードでは、クロックの通倍と分周、位相シフト、プログラマブル・デューティ・サイクルを実行できます。各 PLL は、正しいクロック補償が得られるように、自身の専用クロック入力ピンでドライブしなければなりません。各 PLL のクロック入力ピンの接続は、5-74 ページの表 5-20 に記載されています。表 5-11 に、PLL タイプでサポートされるモードを示します。

クロック・フィードバック・モード	モードの可用性 enhanced PLL	fast PLL
ソース・シンクロナス・モード	○	○
非補償モード	○	○
ノーマル・モード	○	○
ゼロ遅延バッファ・モード	○	×
外部フィードバック・モード	○	×

### ソース・シンクロナス・モード

データとクロックが同時に入力ピンに到達した場合、いかなる IOE 入力レジスタのクロック・ポートおよびデータ・ポートにおいても、同じ位相関係を維持することが補償されます。図 5-8 に、このモードでのクロックとデータの波形例を示します。ソース・シンクロナス・モードは、ソース・シンクロナス・データ転送に推奨されます。同じ I/O 規格を使用している限り、IOE のデータ信号とクロック信号には同様のバッファ遅延が発生します。

図 5-8. ソース・シンクロナス・モードにおけるクロックおよびデータ間の位相関係



ソース・シンクロナス・モードでは、enhanced PLL はトップおよびボトム I/O レジスタへのクロック遅延を補償し、fast PLL はサイド I/O レジスタへのクロック遅延を補償します。これらの I/O バンクにソース・シンクロナス・レシーバを実装する際には、クロックおよびデータ遅延（入力ピンからレジスタ・ポートまで）の間で最良のマッチングを得るために、対応する PLL タイプを使用してください。



ソース・シンクロナス・モードの PLL でクロックされるすべてのデータ・ピンに対して、入力ピンから IOE 内のレジスタ遅延チェーンまでの遅延を QuartusII ソフトウェアでゼロに設定します。

## 非補償モード

このモードでは、PLL はいかなるクロック・ネットワークに対しても補償を行いません。このため、PFD へのクロック・フィードバックが大量に回路を通過することがないため、ジッタ性能が改善されます。PLL の内部および外部クロック出力は、PLL クロック入力に対して位相がシフトします。図 5-9 に、このモードでの PLL クロックの位相関係の波形例を示します。

図 5-9. 非補償モードにおける PLL クロック間の位相関係

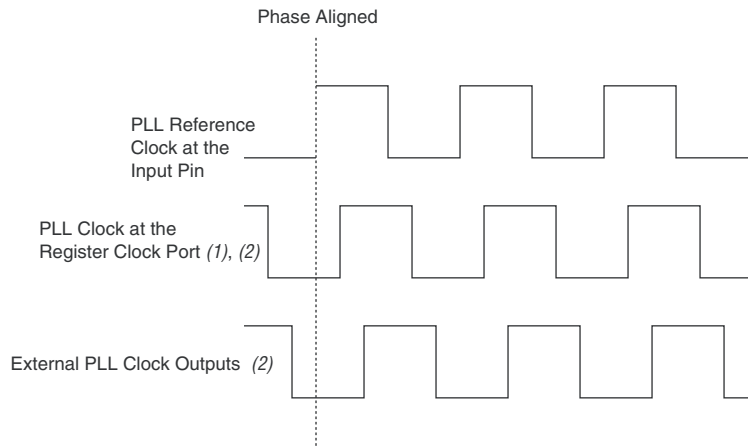


図 5-9 の注:

- (1) PLL から供給される内部クロックは、互いに位相調整されます。
- (2) PLL クロック出力は、PLL 入力クロックより進む場合または遅れる場合があります。

### ノーマル・モード

ノーマル・モードの内部クロックは、入力クロック・ピンに位相アライメントされます。外部クロック出力ピンは、このモードで接続された場合は、クロック入力ピンに相対した位相遅延を生じます。ノーマル・モードでは、グローバル・クロックまたはリージョナル・クロック・ネットワークで生じる遅延が完全に補償されます。図 5-10 に、ノーマル・モードでの PLL クロックの位相関係の波形例を示します。

図 5-10. ノーマル・モードでの PLL クロック間の位相関係

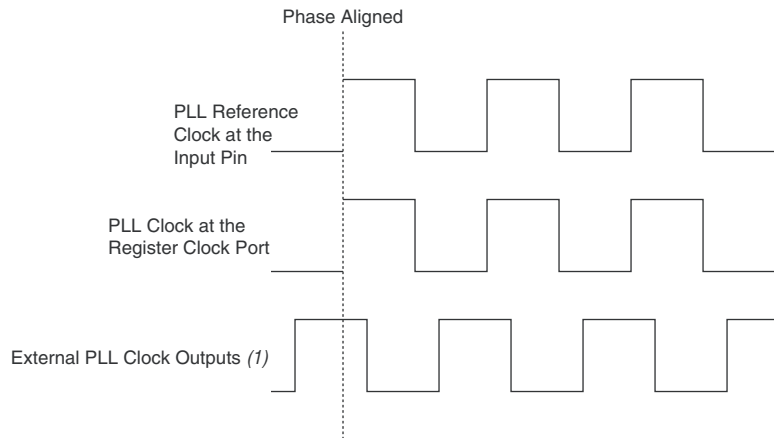


図 5-10 の注:

- (1) 外部クロック出力は、PLL 内部クロック信号よりも早くなるか、または遅くなる場合があります。

### ゼロ遅延バッファ・モード

ゼロ遅延バッファ・モードでは、外部クロック出力ピンはクロック入力ピンと位相調整されて、デバイス内でゼロ遅延が実現されます。図 5-11 に、ゼロ遅延バッファ・モードでの PLL クロックの位相関係の波形例を示します。アルテラは、このモードを使用するときには、入力クロックと出力クロックに同じ I/O 規格を使用することを推奨しています。シングル・エンド I/O 規格を使用する場合、PLL の `inclk` ポートに `CLKp` 専用の入力ピンによってクロックを供給しなければなりません。

図 5-11. ゼロ遅延バッファ・モードでの PLL クロック間の位相関係

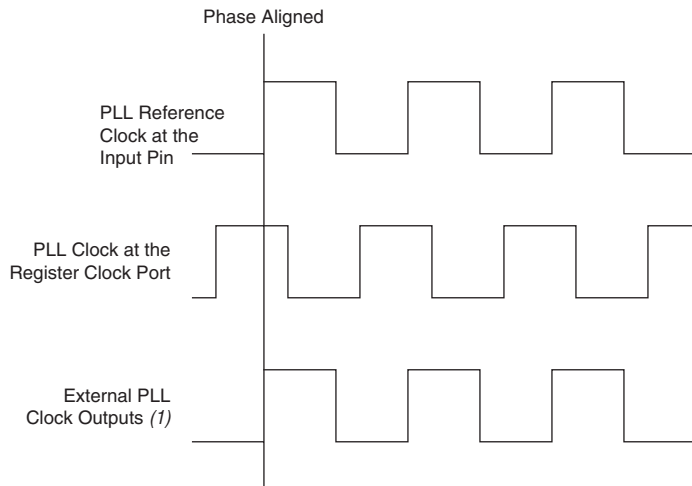


図 5-11 の注:

- (1) 内部 PLL クロック出力は、PLL クロック出力よりも早くなるか、または遅くなる場合があります。

## 外部フィードバック・モード

外部フィードバック・モードでは、外部フィードバック入力ピン (fbin) は、クロック入力ピンと位相調整されます (図 5-12 参照)。これらのクロックと整合させることで、デバイス間のクロック遅延とスキューを強制的に減らすことができます。外部フィードバック・モードはすべての enhanced PLL で使用できます。PLL 5、6、11、および 12 は、専用外部出力の 1 つ、1 つのシングル・エンド出力または 1 ペアの差動出力に対するフィードバックをサポートします。このモードでは、1 個の C カウンタが PLL の fbin 入力にフィードバックされ、フィードバック・ループの一部になります。外部フィードバック・モードでは、専用外部クロック出力 (差動 I/O 規格を使用する場合は 2 つ) を PLL の fbin 入力ピンとして使用します。アルテラは、外部フィードバック・モードを使用するときには、入力クロック、フィードバック入力、および出力クロックに同じ I/O 規格を使用することを推奨しています。シングル・エンド I/O 規格を使用する場合、PLL の inclk ポートに CLKp 専用の入力ピンによってクロックを供給しなければなりません。

図 5-12. 外部フィードバック・モードにおける PLL クロック間の位相関係

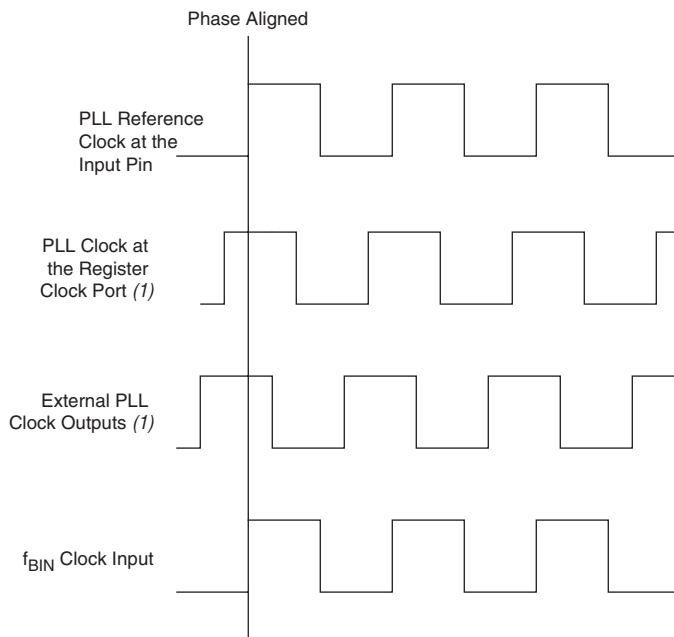


図 5-12 の注:

- (1) PLL クロック出力は、 $f_{bin}$  クロック入力より進む場合または遅れる場合があります。

## ハードウェア機能

Arria GX の PLL は、汎用クロック管理のための多数の機能をサポートしています。この項では、クロックの通倍と分周の実装、位相シフトの実装、およびプログラマブル・デューティ・サイクルについて説明します。表 5-12 に、Arria GX の PLL で提供される機能を示します。

表 5-12. Arria GX の PLL のハードウェア機能 (1 / 2)		
ハードウェア機能	対応の可否 enhanced PLL	fast PLL
クロックの通倍と分周	$m$ ( $n \times$ ポストスケール・カウンタ)	$m$ ( $n \times$ ポストスケール・カウンタ)
$m$ カウンタ値	1 ~ 512 の範囲	1 ~ 32 の範囲
カウンタ値	1 ~ 512 の範囲	1 ~ 4 の範囲
ポストスケール・カウンタ値	1 ~ 512 の範囲 (1)	1 ~ 32 の範囲 (2)

表 5-12. Arria GX の PLL のハードウェア機能 (2 / 2)

ハードウェア機能	対応の可否 enhanced PLL	fast PLL
位相シフト	最小 125 ps の増分量 (3)	最小 125 ps の増分量 (3)
プログラマブル・デューティ・サイクル	○	○

## 表 5-12 の注:

- (1) 出力クロックが 50% のデューティ・サイクルを使用する場合、ポストスケール・カウンタの範囲は 1 ~ 512 です。50% 以外のデューティ・サイクルを使用する出力クロックの場合、ポストスケール・カウンタの範囲は 1 ~ 256 です。
- (2) 出力クロックが 50% のデューティ・サイクルを使用する場合、ポストスケール・カウンタの範囲は 1 ~ 32 です。50% 以外のデューティ・サイクルを使用する出力クロックの場合、ポストスケール・カウンタの範囲は 1 ~ 16 です。
- (3) 最小位相シフトは  $VCO \text{ 周期} \div 8$  で算出されます。Arria GX デバイスは、すべての出力周波数を最小 45° ずつ微調整できます。周波数および分周パラメータによっては、より細かな微調整も可能です。

## クロックの通倍と分周

各 Arria GX デバイスの PLL は、 $m/ (n \times \text{ポストスケール・カウンタ})$  スケーリング係数を使用して、PLL 出力ポートのクロック合成を行います。入力クロックは、プリ・スケール係数  $n$  によって分周され、 $m$  フィードバック係数で通倍されます。コントロール・ループは、 $f_{in} (m/n)$  になるように VCO をドライブします。各出力ポートには、高周波数 VCO を分周する専用のポストスケール・カウンタがあります。周波数の異なる PLL 出力が複数ある場合、VCO は周波数規格に適合する出力周波数の最小公倍数に設定されます。例えば、1 つの PLL から要求される出力周波数が 33 MHz と 66 MHz の場合、Quartus II ソフトウェアは VCO を 660 MHz に設定します (VCO 範囲内での 33 MHz と 66 MHz の最小公倍数)。その後、ポストスケール・カウンタは各出力ポートの VCO 周波数を分周します。

PLL ごとにプリ・スケール・カウンタ ( $n$ ) と通倍カウンタ ( $m$ ) が 1 個ずつあり、 $m$  と  $n$  の範囲は両方とも 1 ~ 512 です。fast PLL の場合、 $m$  の範囲は 1 ~ 32、 $n$  の範囲は 1 ~ 4 です。enhanced PLL には、リージョナル・クロック、グローバル・クロック、または外部クロック出力に供給可能な 6 個の汎用ポストスケール・カウンタがあり、各 PLL のデューティ・サイクルを 50% に設定した場合、これらの範囲はすべて 1 ~ 512 です。ポストスケール・カウンタの範囲は、50% 以外のデューティ・サイクル設定で 1 ~ 256 です。fast PLL では、リージョナルおよびグローバル・クロック出力ポート用に 4 個のポストスケール・カウンタ ( $c_0$ 、 $c_1$ 、 $c_2$ 、および  $c_3$ ) があります。デューティ・サイクルが 50% に設定されている場合、ポストスケール・カウンタの範囲は 1 ~ 32 です。デューティ・サイクルが 50% 以外のクロック出力の場合、ポストスケール・カ

カウンタの範囲は 1 ~ 16 です。デザインが高速 I/O インタフェースを使用する場合、専用の `dffioclk` クロック出力ポートを接続して、高速 VCO 周波数でシリアルライザ / デシリアルライザ (SERDES) をドライブすることができます。

Quartus II ソフトウェアは、ALTPLL メガファンクションに入力される入力周波数、逡倍値、および分周値に従って、適切なスケール係数を自動的に選択します。

## 位相シフトの実装

位相シフトは、クロック遅延のための堅牢なソリューションを Arria GX デバイスに実装するのに使用します。位相シフトは、VCO 位相出力とカウンタ開始時間を組み合わせて使用することによって実装されます。VCO 位相出力とカウンタ開始時間は、プロセス、電圧、および温度に関係なく、純粋にカウンタ設定に基づくため、最も精度の高い遅延挿入方法です。

Arria GX の enhanced PLL の出力クロックを以下のいずれかの方法で位相シフトすることができます。

- VCO 位相タップを使用した細かい分解能
- カウンタ始動時間を使用した粗い分解能

VCO 位相タップおよびカウンタ開始時間は、出力カウンタ ( $C[5..0]$  または  $m$ ) のいずれかが VCO の 8 つの位相のいずれかを基準クロックとして使用することによって実装されます。これにより、遅延時間を精細な分解能で調整することができます。この方法を使用して挿入できる最小遅延時間は、以下によって定義されます。

$$\Phi_{fine} = \frac{1}{8f_{VCO}} = \frac{N}{8Mf_{REF}}$$

ここで、 $f_{REF}$  は入力基準クロック周波数です。

- 例えば、 $f_{REF}$  が 100 MHz、 $n$  が 1、 $m$  が 8 の場合、VCO は 800 MHz になり、 $\Phi_{fine}$  は 156.25 ps になります。この位相シフトは、基準クロック周波数とカウンタ設定によってコントロールされる PLL の動作周波数で管理されます。

また、事前に定義したカウンタ・クロック数の間、カウンタの開始を遅延させることも可能です。位相シフトは、次のように表すことができます。

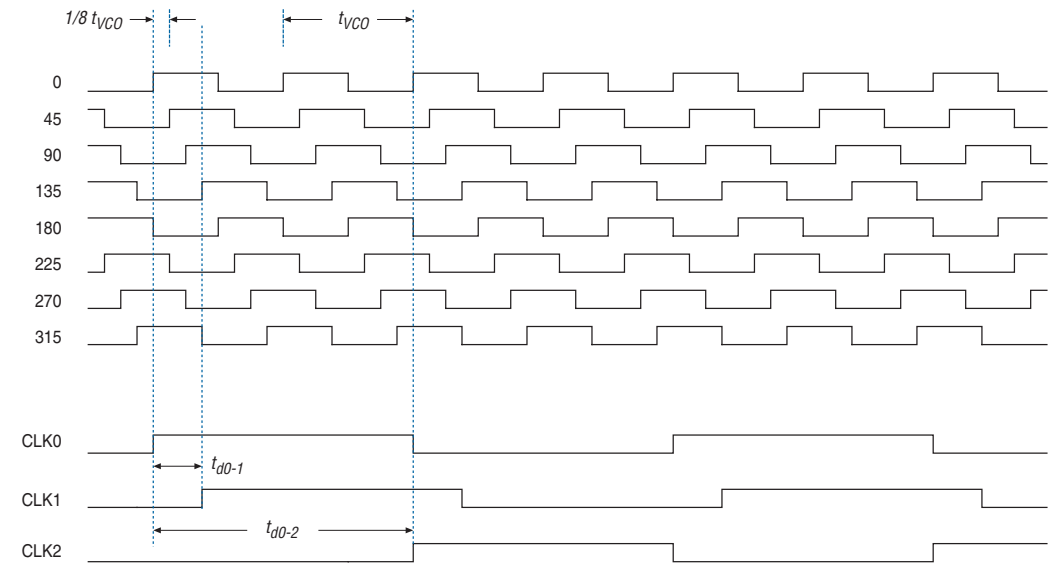
$$\Phi_{coarse} = \frac{C-1}{f_{VCO}} = \frac{(C-1)N}{Mf_{REF}}$$

ここで、 $C$  はカウンタ遅延時間に設定されたカウント値です（これは、Quartus II ソフトウェアのコンパイル・レポートの PLL 利用セクションの初期設定です）。初期値が 1 の場合、 $C-1=0^\circ$  位相シフトです。



図 5-13 に、VCO 位相タップ方式により細かな分解能を使用し、位相シフトを挿入する例を示します。VCO から 8 つの位相に参照用の名前を付けて示しています。この例では、CLK0 は VCO の 0phase に基づき、カウンタの  $C$  値を 1 に設定しています。CLK1 信号は 4 分周され、High 時間と Low 時間の長さはそれぞれ 2 VCO クロックになります。CLK1 は VCO の 135 位相タップに基づき、カウンタの  $C$  値を 1 に設定しています。CLK1 信号も 4 分周されます。この例では、2 個のクロックは  $3\Phi_{fine}$  だけオフセットされます。CLK2 は VCO の  $0^\circ$  位相に基づきますが、カウンタの  $C$  値は 3 に設定されます。これにより、 $2\Phi_{coarse}$  (2 つの完全な VCO 周期) の遅延が作成されます。

図 5-13. VCO 位相出力およびカウンタ遅延時間を使用した遅延挿入



上記の荒いおよび細かな位相シフトを使用して、Arria GX デバイスにクロック遅延を実装することができます。位相シフト・パラメータは、Quartus II ソフトウェアに設定されます。

## プログラマブル・デューティ・サイクル

プログラマブル・デューティ・サイクルにより、enhanced PLL および fast PLL は可変のデューティ・サイクルでクロック出力を生成できます。この機能は、各 enhanced PLL および fast PLL ポストスケール・カウンタ C[] でサポートされます。デューティ・サイクルの設定は、ポストスケール・カウンタに対して Low および High の時間カウントを設定することによって行われます。Quartus II ソフトウェアは、周波数入力と所要の通倍または分周レートを使用して、デューティ・サイクルの選択肢を決定します。ポストスケール・カウンタ値により、デューティ・サイクルの精度が決まります。精度は 50% をポストスケール・カウンタ値で除算した値で定義されます。100% に最も近い値は、与えられたカウンタの値では達成できません。例えば、C0 カウンタが 10 の場合、5% ~ 90% のデューティ・サイクルで 5% ステップが可能です。

デバイスが外部フィードバックを使用する場合、fb<sub>in</sub> ピンをドライブするカウンタのデューティ・サイクルを 50% に設定する必要があります。プログラマブル・デューティ・サイクルをプログラマブル位相シフトと組み合わせることで、オーバーラップのない正確なクロックを生成できます。

## 高度なクリアおよびイネーブル・コントロール

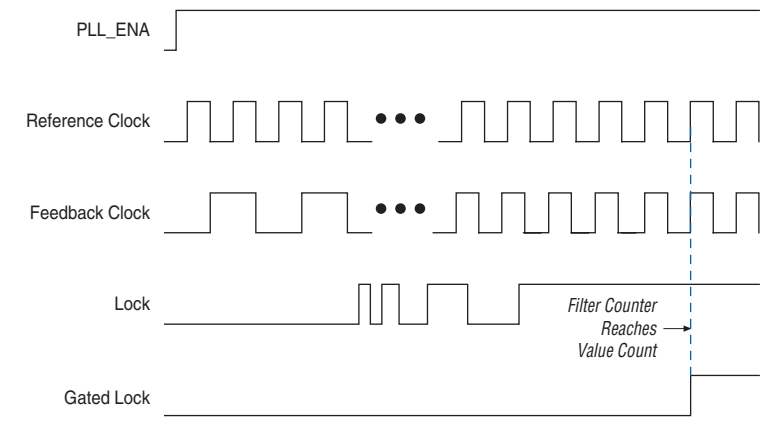
PLL とその出力をクリアおよびイネーブルするためのコントロール信号がいくつかあります。これらの信号を使用して、PLL の再同期化をコントロールしたり、低消費電力アプリケーションに対応して PLL 出力クロックをゲートすることができます。

## 拡張ロック検出回路

ロック出力は PLL が基準クロックにロックしたことを示します。追加回路なしで、ロック信号は PLL が基準クロックを追跡し始めるとトグルすることができます。ロック信号はシステム・コントロールとして使用するために、場合によってゲートする必要があります。ロックされたポートからのゲート制御ロック信号またはゲートなしロック信号で、ロジック・アレイまたは出力ピンをドライブできます。Arria GX の enhanced PLL と fast PLL には、ユーザーが選択した入力クロック遷移数の間、ロック信号を Low に保持するプログラマブル・カウンタが内蔵されています。これにより、PLL はロック信号をイネーブルする前にロックすることができます。Quartus II ソフトウェアを使用して、20 ビットのカウンタ値を設定できます。

図 5-14 に、ロックおよびゲート制御ロック信号のタイミング波形を示します。

図 5-14. ロックおよびゲート制御ロック信号のタイミング波形



pllena 信号がアサートされるか、areset 信号がデアサートされると、デバイスはカウンタと PLL の両方を同時にリセットおよびイネーブルします。enhanced PLL および fast PLL は、この機能をサポートします。回路を正しく動作させ、出力クロックが入力クロックと正しい位相関係を持たせるために、アルテラでは Arria GX デバイスがコンフィギュレーションを完了する前に入力クロックを動作させることを推奨しています。

## pllena

pllena ピンは、Arria GX デバイスのすべての PLL をイネーブルまたはディセーブルする専用ピンです。pllena ピンが Low の場合、クロック出力ポートは Low にドライブされ、すべての PLL のロックが解除されます。pllena ピンが再び High になると、PLL が再ロックして、入力クロックに再同期化されます。ALTPLL メガファンクションの pllena 入力ポートを共通の pllena 入力ピンに接続することにより、pllena 信号でコントロールする PLL を選択できます。

また、何らかの理由（例えば、過剰な inclk ジッタ、クロック・スイッチオーバー、PLL リコンフィギュレーション、電源ノイズなど）で PLL がロックを失ったときは、areset 信号で PLL をリセットして、PLL 出力クロック間の正しい位相関係を維持する必要があります。デザインで入力クロックと出力クロック間および PLL の異なる出力クロック間の位相関係が重要でない場合は、PLL をリセットする必要はありません。

VCCSEL ピンのレベルで、pllena 入力バッファ電源を選択します。したがって、VCCSEL が High の場合、pllena ピンの 1.8 V/1.5 V 入力バッファは、pllena が存在するバンクの V<sub>CCIO</sub> によって駆動されます。VCCSEL が Low (GND) の場合、pllena ピンの 3.3 V/2.5 V 入力バッファは V<sub>CCPD</sub> によって駆動されます。



VCCSEL ピンについて詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスのコンフィギュレーション」の章を参照してください。

## pfdena

pfdena 信号は、プログラマブル・ゲートで位相周波数検出器 (PFD) 出力をコントロールします。PFD をディセーブルすると、VCO は最後に設定された値のコントロール電圧および周波数で動作し、長期的なドリフトを起こして周波数が低くなります。PLL のロックが解除されたり、入力クロックがディセーブルされても、システムは継続して動作します。最後にロックされた周波数を維持することにより、システムにはシャット・ダウンする前に最後の設定値を格納する時間が与えられます。独自のコントロール信号、clkloss またはゲート制御 locked ステータス信号のいずれかを使用して、pfdena をトリガできます。

## areset

areset 信号は、各 PLL に対するリセットまたは再同期化入力です。これらの入力信号をドライブできるのは、デバイスの入力ピンまたは内部ロジックです。High にドライブされると、PLL カウンタがリセットされ、PLL 出力がクリアされて、PLL のロックが解除されます。VCO は、標準設定（約 700 MHz）に戻されます。再び Low にドライブされると、PLL が再ロックし、入力クロックと再同期化します。ターゲット VCO 周波数がこの標準周波数より低い場合、出力周波数は PLL がロックすると、目的の値よりも高い値でスタートします。

PLL 入力クロックと出力クロック間の正しい位相関係を保証するために、PLL がロックを失うたびに areset 信号をアサートする必要があります。以下の条件のいずれかが満足される場合は、デザインに areset 信号を含める必要があります。

- PLL リコンフィギュレーションまたはクロック・スイッチオーバーがデザインで利用可能になっている。
- ロック状態喪失後も PLL 入力クロックと出力クロック間の位相関係を維持する必要がある。
- PLL への入力クロックがトグルしていなかったり、電源投入時に不安定な場合、入力クロックがトグルした後で入力ジッタ仕様内に収めるために areset 信号をアサートする。



アルテラでは、デザインに areset 信号と locked 信号を使用して、PLL のステータスをコントロールおよび観察することを推奨しています。

## ckena

pfdena が High のときに、システムが所定よりも高い出力周波数で安定しない場合、ckena 信号は PLL がロックするまで出力クロックをディセーブルできます。ckena 信号は、リージョナル、グローバル、および外部クロック出力をコントロールします。ckena 信号は、カウンタ出力クロックの立ち下がりエッジでラッチされ、グリッチなしでクロックをイネーブルまたはディセーブルします。ckena 信号について詳しくは、5-87 ページの図 5-53 を参照してください。

## 高度な機能

Arria GX の PLL は、カウンタのカスケード接続、クロック・スイッチオーバー、PLL リンコンフィギュレーション、リコンフィギュレーション可能な帯域幅、スペクトラム拡散クロッキングなど、様々な高度な機能を備えています。表 5-13 に、Arria GX の PLL で提供されている高度な機能を示します。

高度な機能	対応の可否	
	Enhanced PLL	Fast PLL (1)
カウンタのカスケード接続	√	—
クロック・スイッチオーバー	√	√
PLL リンコンフィギュレーション	√	√
リコンフィギュレーション可能な帯域幅	√	√
スペクトラム拡散クロッキング	√	—

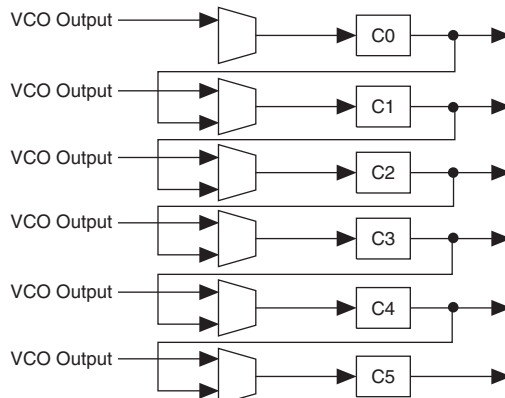
表 5-13 の注：

- (1) Arria GX の fast PLL は、マニュアル・クロック・スイッチオーバーのみサポートし、自動クロック・スイッチオーバーはサポートしていません。


### カウンタのカスケード接続

Arria GX の enhanced PLL は、512 を超えるポストスケール・カウンタを作成するために、カウンタのカスケード接続をサポートしています。これは、図 5-15 に示すように、カスケード・チェーン内のカウンタの 1 つの出力を次のカウンタの入力に供給することによって実装されます。

図 5-15. カウンタのカスケード接続




カウンタをカスケード接続して、高周波 VCO クロックのより大きい分周を実装するときは、カスケード接続されたカウンタは個々のカウンタ設定の積を持つ 1 個のカウンタとして動作します。例えば、 $C0 = 4$  and  $C1 = 2$  の場合、カスケード値は  $C0 \times C1 = 8$  となります。

 Arria GX の fast PLL は、カウンタのカスケード接続をサポートしません。

カウンタのカスケード接続は、コンフィギュレーション・ファイルで設定されます。すなわち、PLL リコンフィギュレーションを使用してカスケード接続することはできません。

## クロック・スイッチオーバー

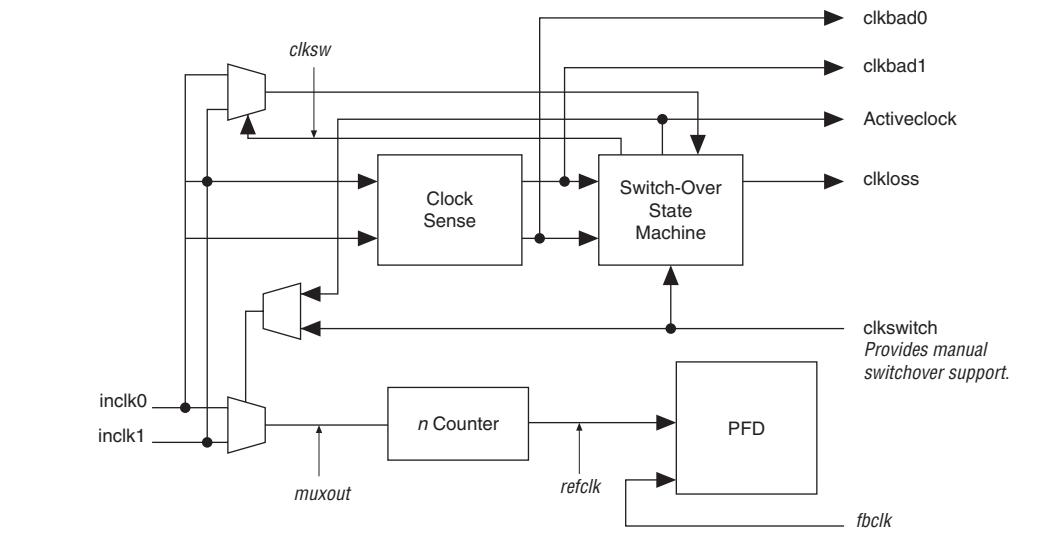
クロック・スイッチオーバー機能により、PLL は 2 つの基準入力クロックを切り換えることができます。クロック・スイッチオーバー機能は、クロックの冗長性またはプライマリ・クロックの動作が停止した場合に冗長クロックがオンになるシステムなどのデュアル・クロック・ドメイン・アプリケーションに対して使用します。クロックがそれ以上トグルしていないとき、またはユーザー・コントロール信号 `clkswitch` をベースにしている場合、デザインはクロック・スイッチオーバーを自動的に実行できます。

 enhanced PLL は自動およびマニュアル切り換えの両方をサポートしますが、fast PLL はマニュアル切り換えのみサポートします。

## 自動クロック・スイッチオーバー

Arria GX デバイスの PLL は、完全にコンフィギュレーション可能なクロック・スイッチオーバー機能をサポートします。図 5-16 に、enhanced PLL に組み込まれた切り換え回路のブロック図を示します。プライマリ・クロック信号が存在しない場合、クロック・センス・ブロックは自動的に PLL リファレンスのプライマリ・クロックからセカンダリ・クロックに切り換えます。`clkbad0`、`clkbad1`、および `clkloss` 信号を PLL から送出し、カスタム切り換え回路を実装します。

図 5-16. 自動クロック・スイッチオーバー回路のブロック図



クロック・スイッチオーバー機能を使用する方法は2つあります。

- スイッチオーバー回路を使用して、同じ周波数のプライマリ入力からセカンダリ入力に切り換えます。例えば、プライマリ・クロックと同じ周波数の冗長クロックが必要なアプリケーションの場合、切り換えステート・マシンは図 5-16 の下部にあるマルチプレクサ選択入力をコントロールする信号を生成します。この場合、セカンダリ・クロックが PLL の基準クロックになります。この自動切り換え機能は、プライマリ・クロックからセカンダリ・クロックに切り換える場合にのみ動作します。
- CLKSWITCH 入力は、ユーザーまたはシステム制御の切り換え条件に使用します。これは、同じ周波数で切り換える場合、または異なる周波数の入力間で切り換える場合に可能です。例えば、inclk0 が 66 MHz で、inclk1 が 100 MHz の場合、自動クロック検出回路は周波数の差が 20% を超えるプライマリ・クロックとセカンダリ・クロックの周波数をモニタできないため、切り換えを制御する必要があります。この機能は、クロック・ソースがバックプレーン上の複数のカードからきていて、システムが動作周波数の切り換えを制御する必要がある場合に便利です。セカンダリ・クロック周波数は、VCO が 500 ~ 1,000 MHz の推奨範囲で動作するように選択しなければなりません。また、VCO の動作周波数を推奨範囲内で維持するように、 $m$  および  $n$  のカウンタを設定することも必要です。

図 5-17 に、自動 `clkloss` 検出を使用する場合のスイッチオーバー機能の波形例を示します。ここでは、`inclk0` 信号は **Low** になったままです。`inclk0` 信号が約 2 クロック・サイクルの間 **Low** に保持された後、クロック検出回路は `clkbad[0]` 信号を **High** にドライブします。また、基準クロック信号がトグルしていないため、`clkloss` 信号が **Low** になって、切り換え状態を示します。次に、切り換えステート・マシンは `clksw` 信号でマルチプレクサをコントロールしてセカンダリ・クロックに切り換えます。

図 5-17. クロック喪失検出時の自動切り換え

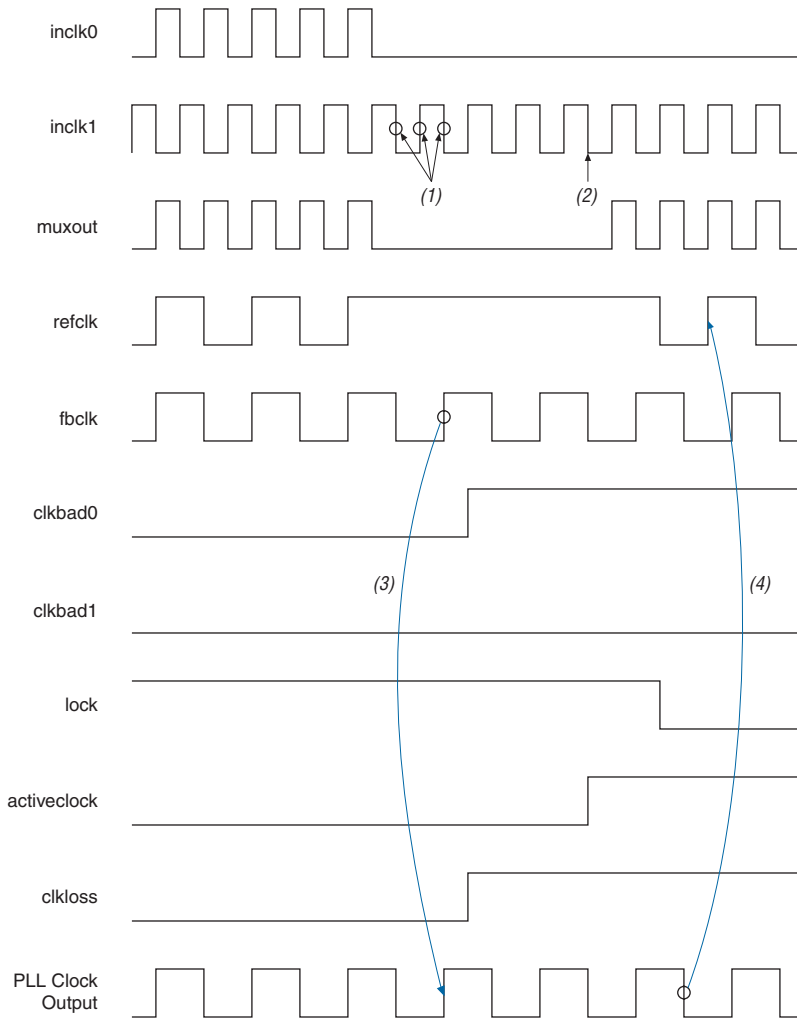
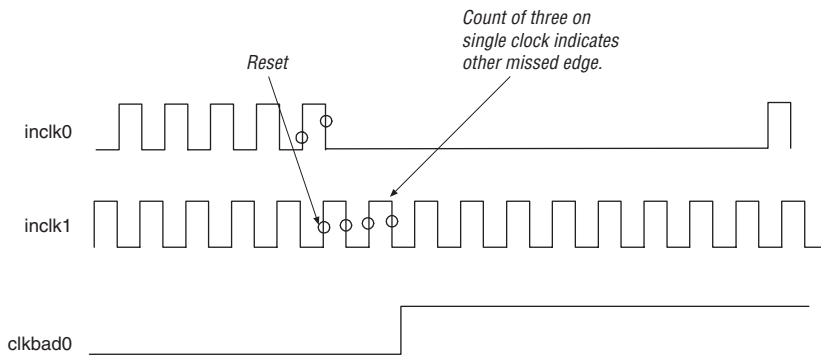


図 5-17 の注:

- (1) 切り換え前のクロック・エッジ数はカウンタの設定で決まります。
- (2) 切り換えは、inclk1 の立ち下がりエッジでイネーブルされます。
- (3) fbclk の立ち上がりエッジで VCO 周波数が低下します。
- (4) refclk の立ち上がりエッジで PLL ロック・プロセスが再び開始され、VCO 周波数が上昇します。

切り換えステート・マシンには、プライマリ・クロックとセカンダリ・クロックのエッジをカウントする 2 個のカウンタがあり、counter0 は inclk0 のエッジ数をカウントし、counter1 は inclk1 のエッジ数をカウントします。カウンタが inclk0 および inclk1 で、それぞれカウンタ値が 1 と 1、1 と 2、2 と 1、または 2 と 2 になるとカウンタはリセットされてゼロになります。例えば、counter0 が 2 つのエッジをカウントする場合カウンタは 2 に設定され、counter0 が別のエッジを検知する前に counter1 が 2 つのエッジをカウントする場合、両方のカウンタとも 0 にリセットされます。何らかの理由で 1 つのカウンタが 3 までカウントする場合は、他のクロックがエッジをミスしたことを意味します。clkbad0 または clkbad1 信号が High になり、スイッチオーバー回路は切り換え状態を示します。図 5-18 を参照してください。

図 5-18. 切り換えのためのクロック・エッジ検出



#### マニュアル・オーバーライド

自動スイッチオーバーを使用する場合は、clkswitch 入力と手動オーバーライド機能を使用して、入力クロックを切り換えることができます。



自動クロック・スイッチオーバーで使用可能なマニュアル・オーバーライド機能は、マニュアル・クロック・スイッチオーバーとは異なります。

図 5-19 は、clkswitch で制御したときの切り換え機能を示す波形例です。この場合、両方のクロック・ソースが動作し、inclk0 がプライマリ・クロックとして選択されます。clkswitch が High になり、切り換えシーケンスを開始します。カウンタの基準クロック muxout は、inclk0 の立ち下がりエッジでゲート・オフされ、クロックでのグリッジの発生を防止します。inclk1 の立ち下がりエッジで、基準クロック

のマルチプレクサは inclk0 から PLL 基準としての inclk1 に切り換わります。これによって、信号が変化するとき、どのクロックがプライマリ、およびセカンダリかが示されます。

マニュアル・オーバーライド・モードでは、clkloss 信号は clkswitch 信号を反映し、activeclock は clkswitch を反映します。マニュアル切り換えの間、両方のクロックとも機能しているため、clkbad 信号は High になりません。スイッチオーバー回路はエッジ・センシティブなので、clkswitch 信号の立ち下がりエッジで回路が inclk1 から inclk0 に戻ることはありません。clkswitch 信号が再び High になると、このプロセスが繰り返されます。clkswitch および自動切り換えは、切り換え中のクロックが使用可能な場合にのみ動作します。クロックが使用できない場合、ステート・マシンはクロックが使用可能になるまで待機します。

図 5-19. CLKSWITCH コントロールを使用したクロック・スイッチオーバー

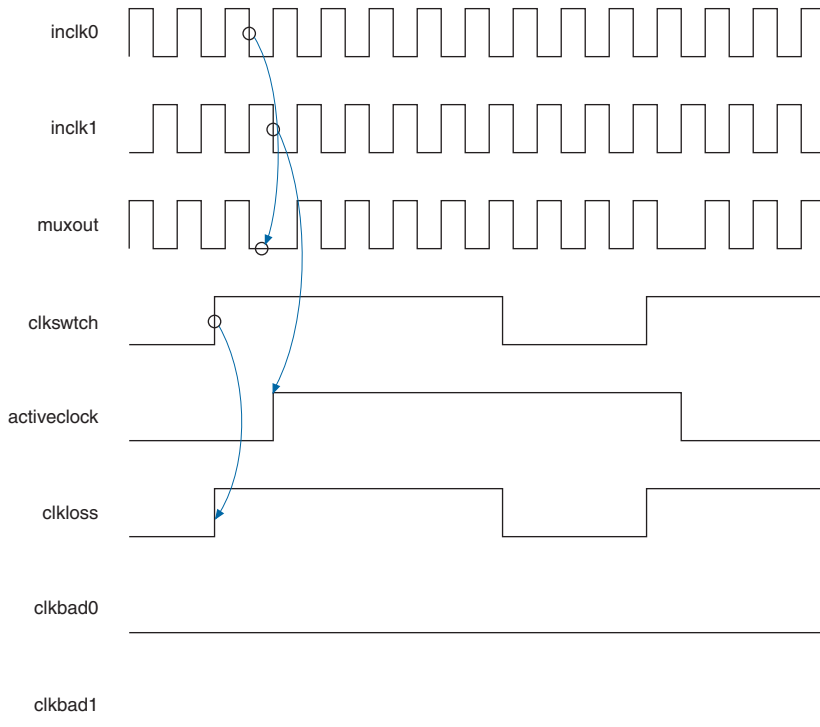


図 5-20 に、2 つの異なる基準周波数の切り換えを使用したシミュレーションを示します。このシミュレーション例では、基準クロックは 100 MHz または 66 MHz です。PLL は、 $f_{in}=100$  MHz で開始し、ロックします。20 ms の時点では、クロックは 66 MHz のセカンダリ・クロックに切り換えられます。

図 5-20. 切り換えシミュレーション 注 (1)

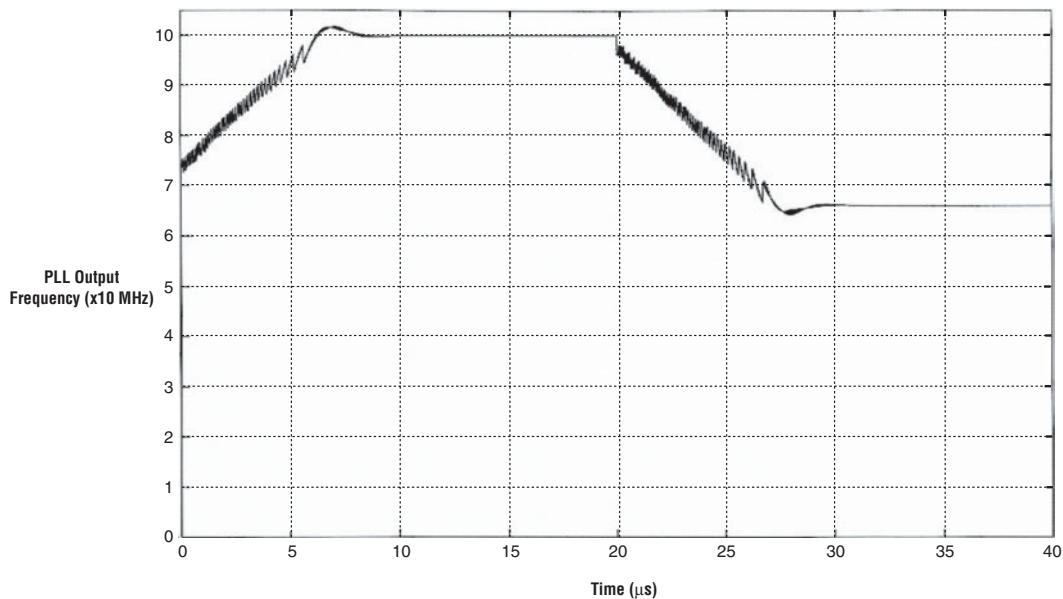


図 5-20 の注:

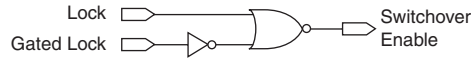
- (1) このシミュレーションは次の条件で実行されています。カウンタは 2、 $m$  カウンタは 16、出力カウンタは 8 に設定されています。したがって、VCO は 100 MHz 入力リファレンスの場合は 800 MHz で動作し、66 MHz リファレンス入力の場合は 528 MHz で動作します。

### ロック信号ベースの切り換え

ロック回路は自動切り換えを開始することができます。これは入力クロックが動作し続けているが、入力クロックの特性が変化して PLL のロックが外れるような場合に役立ちます。切り換えイネーブルは、ゲート制御およびゲートなしロック信号をベースにしています。ゲートなしロックが Low の場合、ゲート制御ロック用のカウンタが最終値に達するまで、切り換えはイネーブルされません。ゲート制御ロックが High で、ゲートなしロックが Low の場合には、切り換えイネーブルをアクティブにする必要があります。このモードの切り換えタイミングは、clkswitch が切り換えイネーブルに置き換わっている点を除いて、図 5-19 に示す

clkswitch コントロールの波形に似ています。図 5-21 に、ロックおよびゲート制御ロックでコントロールされる場合の切り換えイネーブル回路を示します。

図 5-21. 切り換えイネーブル回路



### マニュアル・クロック・スイッチオーバー

Arria GX の enhanced および fast PLL はマニュアル操作の切り換えをサポートしています。ここで、clkswitch 信号は inclk0 または inclk1 のいずれかが PLL の入力クロックであるかを制御します。clkswitch が Low の場合 inclk0 が選択され、clkswitch が High の場合 inclk1 が選択されます。図 5-22 に、fast PLL のマニュアル・スイッチオーバー回路のブロック図を示します。enhanced PLL のマニュアル・スイッチオーバー回路のブロック図は、図 5-22 に示します。

図 5-22. fast PLL のマニュアル・クロック・スイッチオーバー回路

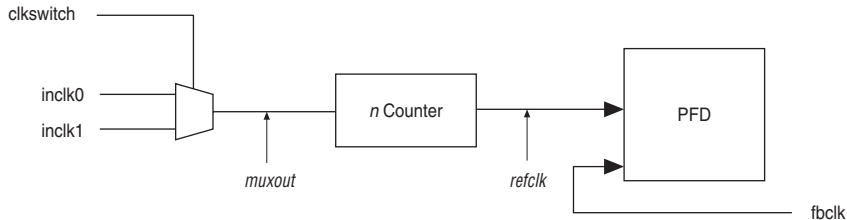
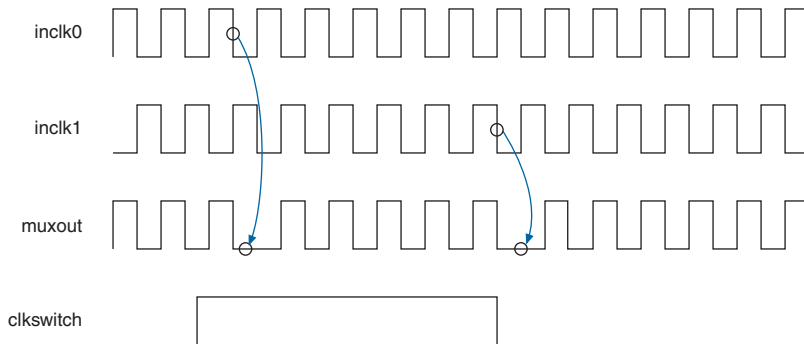


図 5-23 は、clkswitch で制御したときの切り換え機能を示す波形例です。この場合、両方のクロック・ソースが動作し、inclk0 がプライマリ・クロックとして選択されます。clkswitch が High になり、切り換えシーケンスを開始します。カウンタの基準クロック muxout は、inclk0 の立ち下がりエッジでゲート・オフされ、クロックでのグリッジの発生を防止します。基準クロックのマルチプレクサは、inclk1 の立ち上がりエッジで、PLL リファレンスとして inclk0 から inclk1 に切り換わります。clkswitch 信号が Low になると、このプロセスが繰り返され、回路は inclk1 から inclk0 に戻ります。

図 5-23. マニュアル切り換え



## ソフトウェア・サポート

表 5-14 に、クロック・スイッチオーバーに使用される信号をまとめます。

表 5-14. ALTPLL メガファンクション・クロック・スイッチオーバー信号 (1 / 2)

ポート	説明	ソース	デスティネーション
<code>inclk0</code>	<code>clk0</code> を PLL の基準クロックとする。	I/O ピン	クロック・スイッチオーバー回路
<code>inclk1</code>	<code>clk1</code> を PLL の基準クロックとする。	I/O ピン	クロック・スイッチオーバー回路
<code>clkbad0 (1)</code>	<code>inclk0</code> がトグルしていないことを示す信号。	クロック・スイッチオーバー回路	ロジック・アレイ
<code>clkbad1 (1)</code>	<code>inclk1</code> がトグルしていないことを示す信号。	クロック・スイッチオーバー回路	ロジック・アレイ
<code>clkswitch</code>	クロック・スイッチオーバーの非同期的な起動に使用される切り換え信号。マニュアル切り換えで使用する場合、 <code>clkswitch</code> は <code>inclk0</code> と <code>inclk1</code> 間の選択信号として使用され、 <code>clkswitch</code> = 0 の場合、 <code>inclk0</code> が選択され、 <code>clkswitch</code> = 1 の場合 <code>inclk1</code> が選択されます。	ロジック・アレイまたは I/O ピン	クロック・スイッチオーバー回路
<code>clkloss (1)</code>	切り換え回路が切り換え状態を検出したことを示す信号。	クロック・スイッチオーバー回路	ロジック・アレイ
<code>locked</code>	PLL がロックを喪失したことを示す信号。	PLL	クロック・スイッチオーバー回路

表 5-14. ALTPLL メガファンクション・クロック・スイッチオーバー信号 (2 / 2)

ポート	説明	ソース	デスティネーション
activeclock (1)	どのクロック (0 = inclk0 または 1 = inclk1) が PLL をドライブしているかを示す信号。	PLL	ロジック・アレイ

## 表 5-14 の注:

(1) これらのポートは、enhanced PLL、自動モード、および自動切り換えを使用時のみ使用できます。

表 5-14 に示すすべての切り換えポートは、Quartus II ソフトウェアの ALTPLL メガファンクションでサポートされます。ALTPLL メガファンクションは、2通りのクロック・スイッチオーバー方法をサポートします。

- enhanced PLL を選択するときは、自動およびマニュアル切り換えの両方をイネーブルして、すべてのクロック・スイッチオーバー・ポートを使用可能にすることができます。
- fast PLL を選択する場合、マニュアル・クロック・スイッチオーバーのオプションのみイネーブルして、inclk0 または inclk1 のいずれかを選択することができます。マニュアル・スイッチオーバーを選択したときには、clkloss、activeclock、clkbad0、および clkbad1 信号を使用することはできません。

プライマリ・クロックとセカンダリ・クロックの周波数が異なる場合、Quartus II ソフトウェアは適切なパラメータを選択して、VCO を推奨周波数内に維持します。



Quartus II ソフトウェアの PLL ソフトウェア・サポートについて詳しくは、「[altpll メガファンクション・ユーザーガイド](#)」を参照してください。

## ガイドライン

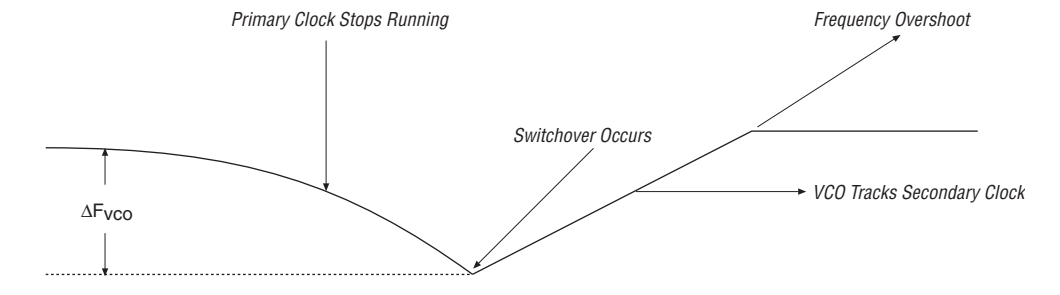
PLL でクロック・スイッチオーバーを使用して設計する場合は、以下のガイドラインに従います。

- 自動切り換えを使用する場合、clkswitch 信号には 2 つの基準クロック周期をベースにした最小パルスがあります。clkswitch パルス幅は、現在の基準クロックの周期 ( $t_{\text{from\_clk}}$ ) を 2 倍し、それに 2 つの基準クロックの周期比 (小数点以下切り上げ) を加算したもののより大きいか等しくなければなりません。例えば、 $t_{\text{to\_clk}}$  が  $t_{\text{from\_clk}}$  と等しい場合、clkswitch のパルス幅はクロック・パルス周期の 3 倍以上でなければなりません。

$$t_{\text{clkswitchmin}} \geq t_{\text{from\_clk}} \times [2 + \text{int}_{\text{round\_up}}(t_{\text{to\_clk}} \div t_{\text{from\_clk}})]$$

- クロック・スイッチオーバー機能と小さな周波数ドリフトを必要とするアプリケーションでは、狭帯域幅 PLL を使用する必要があります。狭帯域幅 PLL は、基準入力クロックの変動に対する反応が広帯域幅 PLL よりも遅くなります。切り換えが発生したとき、狭帯域幅 PLL が出力にクロック停止を伝える速度は、広帯域幅 PLL よりも遅くなります。狭帯域幅 PLL は、基準クロックのジッタをフィルタします。ただし、狭帯域幅 PLL ではロック時間も長くなることに注意してください。
- Arria GX デバイスの PLL は、自動クロック・スイッチオーバーと `clkswitch` 入力を同時に使用できます。したがって、切り換え回路はプライマリ・クロックからセカンダリ・クロックに自動的に切り換えることができます。プライマリ・クロックが再び安定すると、`clkswitch` 信号はプライマリ・クロックに戻ることができます。切り換え中に、PLL\_VCO は継続的に動作して低速になり、PLL 出力に周波数ドリフトが発生します。`clkswitch` 信号は、立ち上がりエッジでのみ切り換えをコントロールします。
- クロック・スイッチオーバー時にグリッチが発生しない場合、切り換え後に VCO が上昇して新たなクロックにロックするため、ある長さの再同期化期間が発生します。PLL が再ロックするのに必要な正確な時間は、PLL のコンフィギュレーションによって異なります。再ロック時間を調整するには、PLL プログラマブル帯域幅機能を使用します。
- デザインで PLL の入力クロックと PLL の出力クロックの位相関係が重要な場合は、クロック・スイッチオーバーを実行した後、10 ns の間 `areset` をアサートします。PLL の出力クロックを再度イネーブルにする前に、ロックされた信号（またはゲート制御ロック）が High になるのを待ちます。
- 図 5-24 に、プライマリ・クロックが失われると VCO 周波数が徐々に低下し、VCO がセカンダリ・クロックにロックすると、VCO 周波数が上昇する様子を示します。VCO がセカンダリ・クロックをロックした後、VCO 周波数で多少のオーバーシュート（過周波数状態）が発生することがあります。

図 5-24. VCO 切り換え動作周波数



- PLL の再同期期間に、システムが周波数変動を許容できない場合は、切り換え中にシステムをディセーブルにします。システムをディセーブルする方法は 2 通りあります。まず、システムは切り換えが発生する前には、停止するのに多少時間が必要な場合があります。切り換え回路には、基準クロックの切り換えを遅延させるための 5 ビット・カウンタ（オプション）があります。クロック・ソースが切り換わる前に、このカウンタのタイムアウト設定をコントロールするオプション（最大 32 サイクルのレイテンシ）があります。これらのサイクルを障害回復に使用できます。VCO は入力クロックなしでもドリフトする可能性があるため、これら 32 サイクル中にはクロック出力周波数がわずかながら変動します。プログラマブル帯域幅は PLL の応答をコントロールして、この 32 サイクル期間中のドリフトを制限することができます。
- 2 つめのオプションは、ユーザー定義のコントロール・ロジックと共に PFD イネーブル信号（pdsena）を使用できることです。この場合、clk0\_bad および clk1\_bad ステータス信号を使用して、PFD をオフにして VCO が最後の周波数を維持できるようにします。またステート・マシンを使用して、セカンダリ・クロックに切り換えることも可能です。PFD を再イネーブルすると、出力クロック・イネーブル信号（clkena）が切り換えおよび再同期化期間中にクロック出力をディセーブルすることができます。ロックの表示が安定すると、システムは出力クロックを再びイネーブルできます。

## リコンフィギュレーション可能な帯域幅

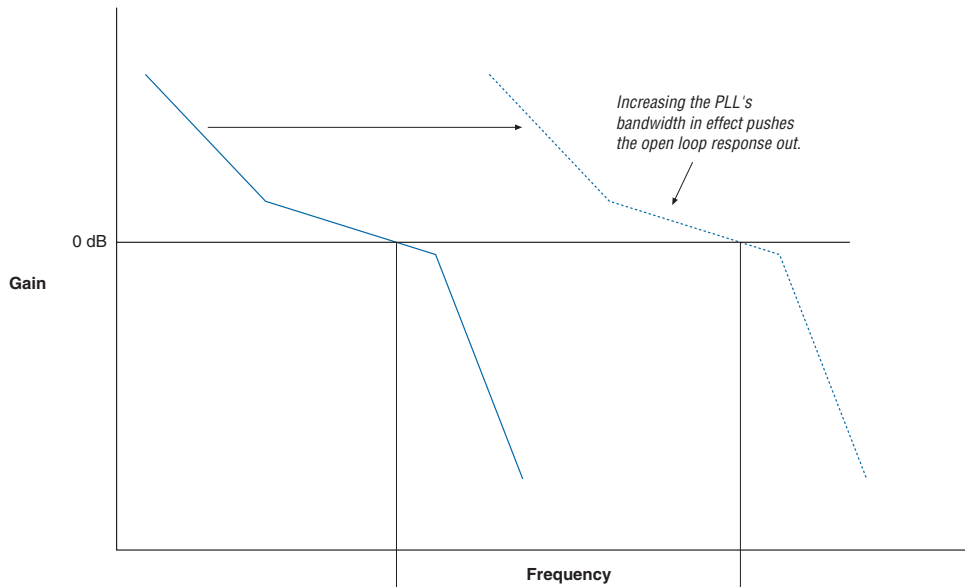
Arria GX の enhanced および fast PLL は、ループ・フィルタやチャージ・ポンプなどの PLL ループのプログラマブル特性を使用して、PLL 帯域幅を高度にコントロールします。

### バックグラウンド

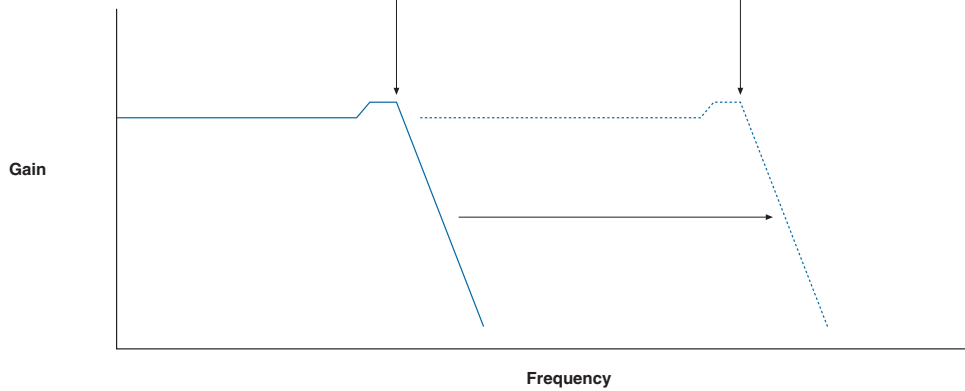
PLL の帯域幅は、入力クロックとジッタに追従するための PLL の能力の指標を表します。PLL のクローズド・ループ・ゲインが 3 dB になる周波数によって、PLL の帯域幅が決まります。この帯域幅は、オープン・ループ PLL 応答のユニティ・ゲイン・ポイントとほぼ一致します。[図 5-25](#) に示すように、これらのポイントはほぼ同じ周波数に対応します。

図 5-25. オープンおよびクローズド・ループ応答のボード・プロット

Open-Loop Reponse Bode Plot



Closed-Loop Reponse Bode Plot



広帯域幅 PLL は高速ロック時間を提供し、基準ロック・ソース上のジッタに追従して、ジッタを PLL 出力に送ります。低帯域幅 PLL は、基準クロックをフィルタしますがロック時間が長くなります。ArriaGX の enhanced および fast PLL では、帯域幅を有限範囲でコントロールし、具体的なアプリケーションに合わせて PLL 特性をカスタマイズできます。Arria GX PLL のプログラマブルな帯域幅機能は、クロック・スイッチオーバーを要求するアプリケーション（例えば、TDMA 周波数ホッピング・ワイヤレスおよび冗長クロッキング）に有効です。

このようなシステムの帯域幅と安定性は、チャージ・ポンプ電流、ループ・フィルタの抵抗値、高周波コンデンサの値（ループ・フィルタ内）、および  $m$  カウンタの値を変化させることによって決定されます。Quartus II ソフトウェアを使用してこれらの係数を制御し、帯域幅をある範囲内の目的の値に設定できます。

帯域幅を適切な値に設定して、ジッタ・フィルタリングの必要性和ロック時間のバランスを図ることができます。図 5-26 および 5-27 に、それぞれ低帯域幅 PLL および高帯域幅 PLL が入力クロックにロックするときの出力を示します。

図 5-26. 低帯域幅 PLL のロック時間

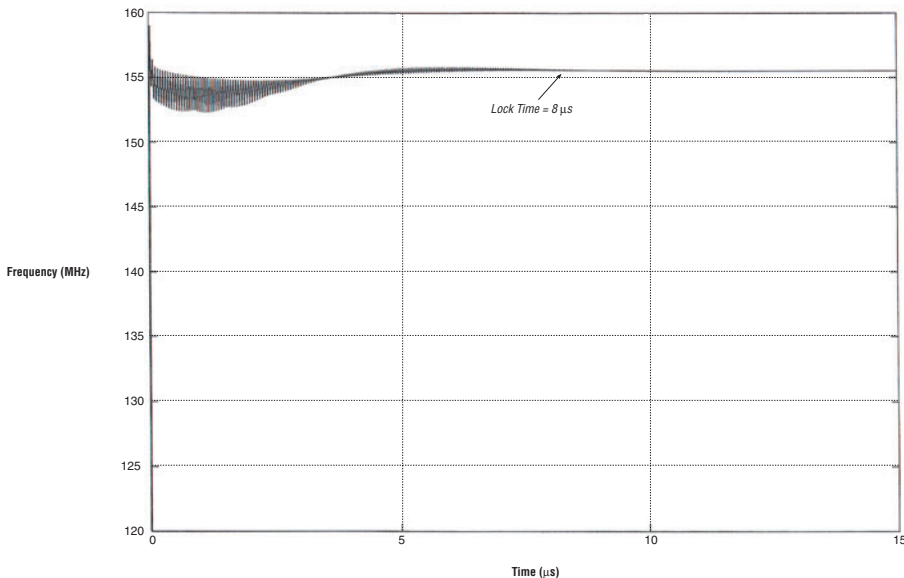
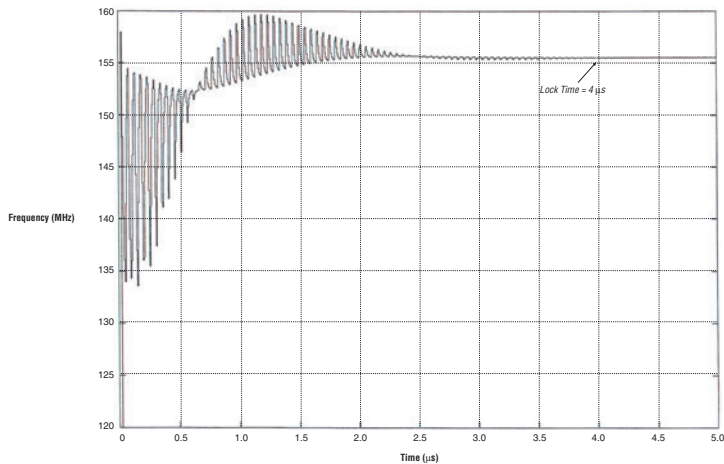


図 5-27. 高帯域幅 PLL のロック時間



高帯域幅 PLL は、カスケード接続された 2 個の PLL を持つシステムに利益をもたらすことができます。最初の PLL がスペクトラム拡散（ユーザーが誘起したジッタ）を使用する場合、2 番目の PLL は高帯域幅設定を使用して PLL に供給されるジッタを追跡できます。この場合、低帯域幅 PLL は入力クロックのスペクトラム拡散誘起ジッタのために、ロックを失う可能性があります。

低帯域幅 PLL は、クロック・スイッチオーバーを使用するシステムに利益をもたらします。クロック・スイッチオーバーが起こると、PLL 入力は一時的に停止します。低帯域幅 PLL は入力クロックの変化への反応が遅く、高帯域幅 PLL よりも（入力の停止による）低周波数へのドリフトに要する時間が長くなります。図 5-28 および 5-29 にこの特性を示します。2 つのプロットは、低帯域幅 PLL または高帯域幅 PLL によるクロック・スイッチオーバーの影響を示します。クロック・スイッチオーバーが起こると、低帯域幅 PLL の出力（図 5-28 を参照）は、高帯域幅 PLL 出力（図 5-29 を参照）よりも遅く低い周波数にドリフトします。

図 5-28. クロック・スイッチオーバーへの低帯域幅の影響

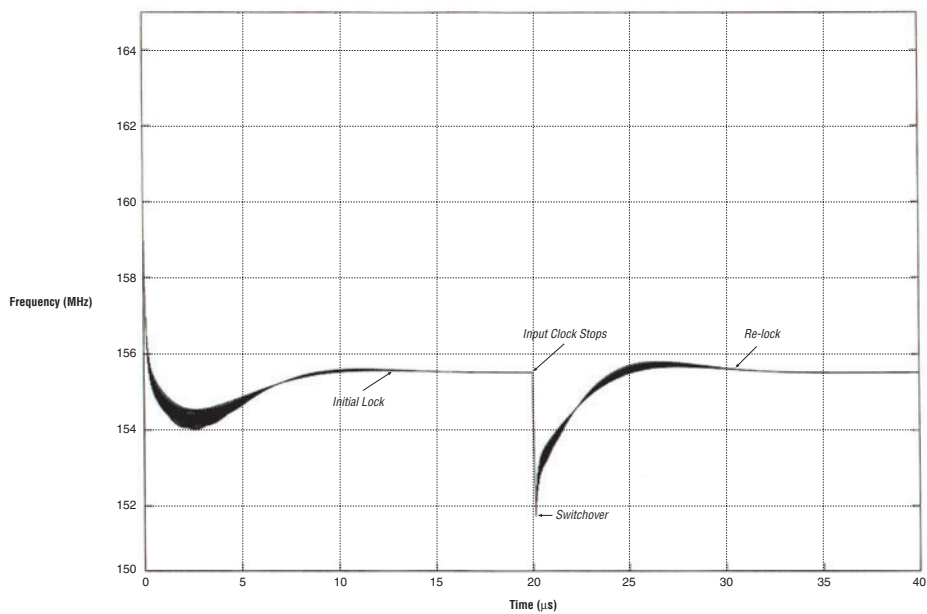
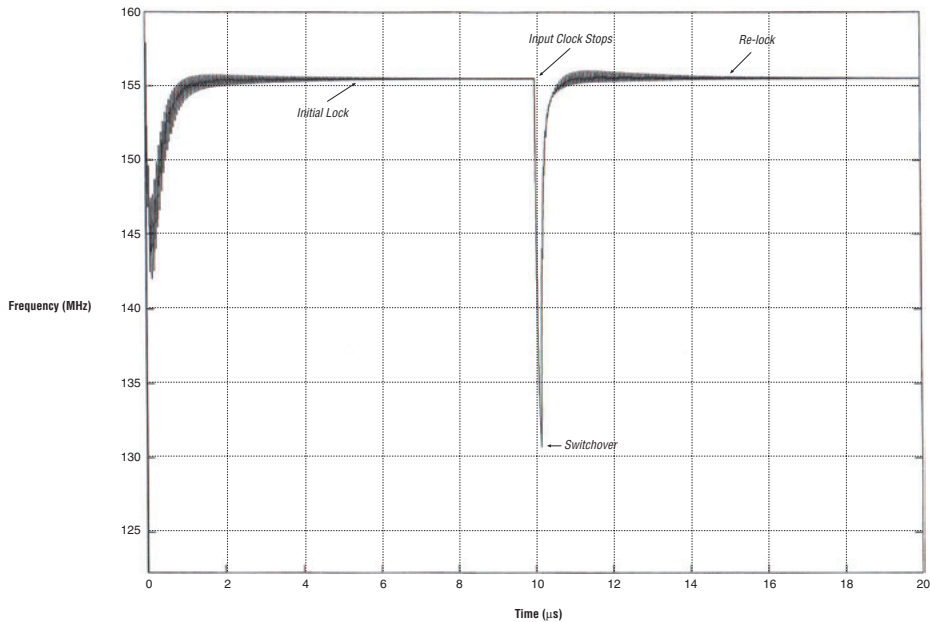


図 5-29. クロック・スイッチオーバーへの高帯域幅の影響



### 実装

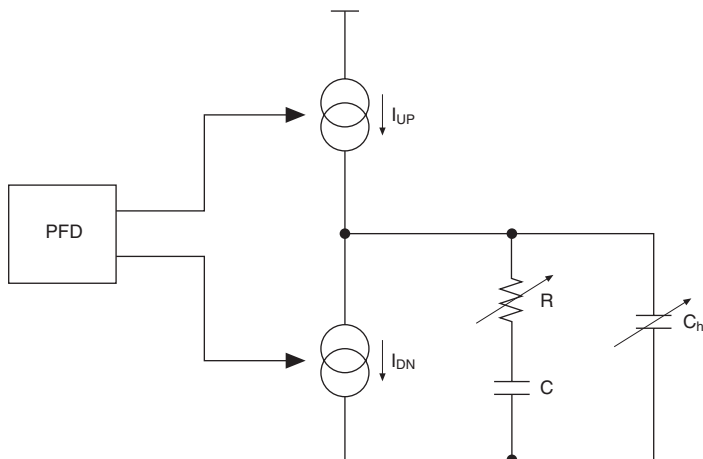
これまでは、VCO やループ・フィルタなどの外部コンポーネントが PLL の帯域幅をコントロールしていました。ほとんどのループ・フィルタは、抵抗やコンデンサなど、不要なボード・スペースを占めコストを押し上げる受動コンポーネントで構成されています。Arria GX PLL では、すべてのコンポーネントはデバイス内に搭載されるため性能向上とコスト削減を図ることができます。

Arria GX PLL は、チャージ・ポンプ電流、ループ・フィルタの抵抗値 (R)、高周波コンデンサ  $C_H$  の値をコントロールすることによって、リコンフィギュレーション可能な帯域幅を実装します (表 5-15 を参照)。Arria GX の enhanced PLL の帯域幅は、130 kHz ~ 16.9 MHz です。Arria GX の fast PLL の帯域幅は、1.16 ~ 28 MHz です。

チャージ・ポンプ電流は PLL の帯域幅に直接影響を与えます。チャージ・ポンプ電流が大きいほど、PLL の帯域幅が広がります。チャージ・ポンプ電流の決まった値セットから選択できます。図 5-30 に、ループ・フィルタと Quartus II ソフトウェアを使用して設定できるコンポーネン

トを示します。これらのコンポーネントは、ループ・フィルタ抵抗  $R$ 、高周波コンデンサ  $C_H$ 、およびチャージ・ポンプ電流  $I_{UP}$  または  $I_{DN}$  で構成されます。

図 5-30. ループ・フィルタ・プログラマブル・コンポーネント



### ソフトウェア・サポート

Quartus II ソフトウェアは、以下の 2 つのレベルの帯域幅コントロールを提供します。

#### メガファンクション・ベースの帯域幅の設定

第 1 レベルのプログラマブル帯域幅により、ALTPLL メガファンクションを使用して目的の帯域幅の値を直接 Quartus II ソフトウェアに入力することができます。また、ALTPLL メガファンクションの帯域幅パラメータを目的の帯域幅に設定することも可能です。Quartus II ソフトウェアは、ユーザーの帯域幅要求に合わせて使用可能な最良の帯域幅パラメータを選択します。個別の帯域幅設定要求がない場合、Quartus II ソフトウェアは最も近い達成可能な値を選択します。

#### 高度な帯域幅の設定

高度なループ・フィルタ・パラメータを使用して、高度なレベルのコントロールも可能です。またチャージ・ポンプ電流、ループ・フィルタの抵抗値、およびループ・フィルタの（高周波）コンデンサの値をダイナミックに変更することも可能です。これらの変更のためのパラメータは、

以下のとおりです。charge\_pump\_current, loop\_filter\_r, および loop\_filter\_c. 各パラメータは、表 5-15 に記載する特定の範囲の値をサポートします。

表 5-15. 高度なループ・フィルタ・パラメータ	
パラメータ	値
抵抗値 (k $\Omega$ )	(1)
高周波コンデンサ値 (pF)	(1)
チャージ・ポンプ電流の設定 ( $\mu$ A)	(1)

表 5-15 の注:

- (1) 詳細は、「AN 367: Stratix II デバイスによる PLL リコンフィギュレーションの実装」を参照してください。AN 367 に記載される情報は、Arria GX の enhanced PLL および fast PLL にも適用されます。



リコンフィギュレーション可能な帯域幅の Quartus II ソフトウェアのサポートについて詳しくは、「Quartus II ハンドブック」の「エンベデッド・ペリフェラル」セクションを参照してください。

## PLL リコンフィギュ レーション

PLL はいくつかの分周カウンタと異なる VCO 位相タップを使用して、周波数合成および位相シフトを実行します。Arria GX の enhanced および fast PLL では、カウンタ値と位相はリアルタイムでコンフィギュレーション可能です。さらに、ループ・フィルタおよびチャージ・ポンプのコンポーネントを変更して、動作中に PLL 帯域幅を変更することもできます。これらの PLL コンポーネントをコントロールして、FPGA 全体をリコンフィギュレーションすることなく、出力クロック周波数、PLL 帯域幅、および位相シフト変動をリアルタイムで更新することができます。



Arria GX デバイスの PLL リコンフィギュレーションについて詳しくは、「AN 367: Stratix II デバイスによる PLL リコンフィギュレーションの実装」を参照してください。AN 367 に記載される情報は、Arria GX の enhanced PLL および fast PLL にも適用されます。

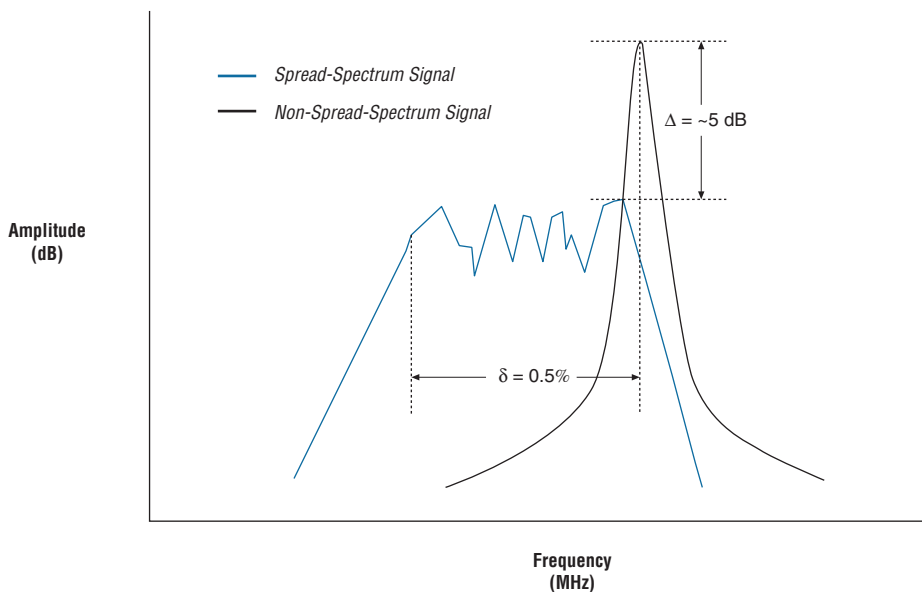
## スペクトラム 拡散 クロッキング

デジタル・クロックは、立ち上がり時間が短いデューティ・サイクルが 50% の方形波です。これらの高速クロックは、ターゲット周波数および高調波において狭い帯域に大量のエネルギーを集中させます。この結果、高いエネルギー・ピークが生じ、電磁妨害 (EMI) が増大します。エネルギー・ピークから放射されたノイズは、自由大気中を移動し、最小限に抑えられない場合は、データを破壊したり、間欠的なシステム・エラーを引き起こし、システムの信頼性が損なわれる可能性があります。

EMI を制限する従来の方法として、シールドイング、フィルタリング、および多層プリント基板（PCB）があります。ただし、これらの方法では全体的なシステム・コストが大幅に上昇する上、EMI の基準に十分適合しない場合もあります。スペクトラム拡散技術は、追加コストやボード再設計の負担なしでEMIを低減するための簡単で効果的な手法を提供します。

スペクトラム拡散技術は、狭い範囲でターゲットの周波数を変調します。例えば、100 MHz 信号が 0.5% の下降拡散変調を持つ場合、周波数は 99.5 から 100 MHz にスweepされます。図 5-31 は、スペクトラム拡散信号と非スペクトラム拡散信号に存在するエネルギーをグラフで表したものです。明らかに、エネルギーはターゲット周波数に集中しないで広い周波数帯域に分散され、ピーク・エネルギーが低減されています。基本のピーク EMI コンポーネントが低減されるだけでなく、高次高調波の EMI も低減されます。規制によっては平均 EMI 放出ではなく、ピーク EMI 放出に焦点を絞っているため、スペクトラム拡散技術は EMI 低減の有効な方法です。

図 5-31. スペクトラム拡散信号エネルギーと非スペクトラム拡散信号エネルギーの比較



スペクトラム拡散技術は、高い EMI 放出や厳しい EMI 要件のデザインに役立ちます。デバイスで生成される EMI は、周波数と出力電圧の振幅およびエッジ・レートに依存します。例えば、LVDS を使用するデザインは振幅が低電圧のため、すでに EMI 放出が抑制されています。また、差動 LVDS 信号も信号内の EMI 除去を可能にします。したがって、この状況ではスペクトラム拡散技術が不要な場合もあります。



スペクトラム拡散クロックは Arria GX の enhanced PLL でのみサポートされており、fast PLL ではサポートされていません。

## 実装

Arria GX デバイスの enhanced PLL は、スペクトラム拡散技術によりデバイスから放出される EMI を低減しています。enhanced PLL は三角（リニアとも呼ばれる）変調プロフィールを使用して、約 0.5% の下降拡散を提供します。変調周波数はプログラム可能で、その範囲は約 100 ~ 500 kHz です。拡散率は PLL のクロック入力と  $m$  および  $n$  の設定値に基づきます。スペクトラム拡散技術は、ターゲットの周波数でピーク・エネルギーを 4 ~ 6 dB 低くします。ただし、この値は帯域幅と  $m$  および  $n$  カウンタ値に依存し、デザインごとに異なる場合があります。

拡散率は変調幅とも呼ばれ、ターゲットの周波数が変調される割合として定義されます。負 (-) の割合は下降拡散を示し、正 (+) の割合は上昇拡散を示します。(±) は中心拡散を示します。変調周波数とは、拡散信号の周波数、すなわち信号が最低周波数から最高周波数にスweepする速度です。下降拡散変調はターゲットの周波数を拡散率の半分だけ下方にシフトし、変調された波形を新しいターゲット周波数の中央に配置します。

$m$  カウンタと  $n$  カウンタの値は、2つの固定値間で同時にトグルします。次に、ループ・フィルタが VCO 周波数をゆっくり変更して拡散効果を提供し、それによって三角変調が実行されます。追加のスペクトラム拡散カウンタ（図 5-32 に示す）が変調周波数を設定します。図 5-32 に、Arria GX デバイスの enhanced PLL におけるスペクトラム拡散技術の実装方法を示します。

図 5-32. Arria GX スペクトラム拡散回路のブロック図

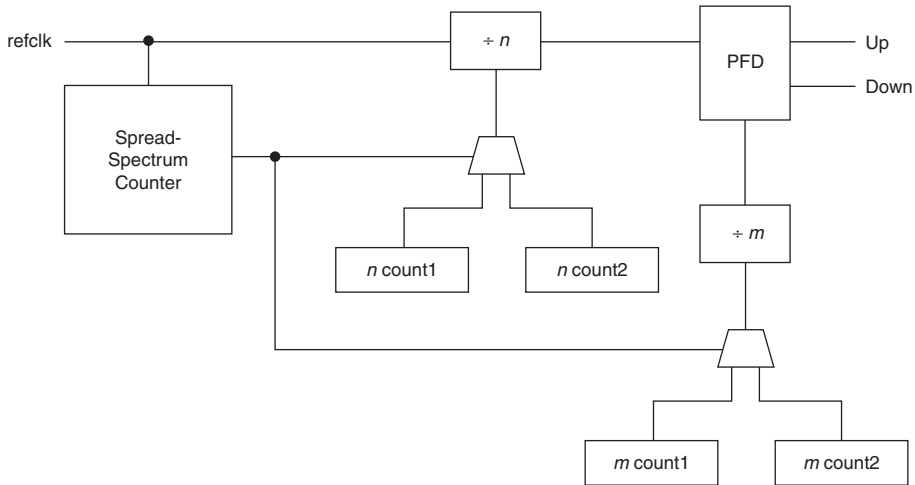


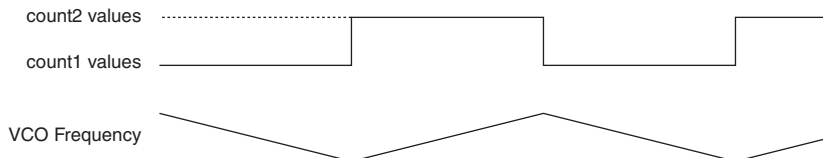
図 5-33 に、カウンタ値を切り換えるときの VCO 周波数の波形を示します。enhanced PLL は 2 つの異なる  $m$  および  $n$  値の間で切り換えるため、結果として 2 つの周波数の間で 1 本の直線になり、リニア変調を示します。変調の振幅は 2 組の  $m/n$  の割合で決まります。拡散率は次の式で求められます。

$$\text{拡散率} = (f_{\text{VCOmax}} - f_{\text{VCOmin}}) / f_{\text{VCOmax}} = 1 - [(m_2 \times n_1) / (m_1 \times n_2)]$$

最高および最低 VCO 周波数は、次のように定義されます。

- $f_{\text{VCOmax}} = (m_1 / n_1) \times f_{\text{REF}}$
- $f_{\text{VCOmin}} = (m_2 / n_2) \times f_{\text{REF}}$

図 5-33. VCO 周波数変調波形



## ソフトウェア・サポート

Quartus II ソフトウェアにより、ALTPLL メガファンクションに希望の下降拡散率および変調周波数を入力することができます。あるいは、ALTPLL メガファンクションの **downspread** パラメータを目的の下降拡散率に設定することができます。タイミング解析により、デザインが最高拡散周波数で動作し、すべてのタイミング要件を満たすことが保証されます。



Quartus II ソフトウェアの PLL ソフトウェア・サポートについて詳しくは、「[altpll メガファンクション・ユーザーガイド](#)」を参照してください。

## ガイドライン

PLL をカスケード接続するデザインでは、ソース（アップストリーム）PLL は狭帯域幅設定にし、デスティネーション（ダウンストリーム）PLL は広帯域幅設定にする必要があります。PLL はその帯域幅より広いジッタを生成しないため、アップストリーム PLL は狭帯域幅にします。ダウンストリーム PLL は、ジッタに追従するために広帯域幅にしてください。狭帯域幅 PLL では、スペクトラム拡散機能を使用する必要があります。したがって、Quartus II ソフトウェアはスペクトラム拡散 PLL を自動的に狭帯域幅に設定します。



プログラマブルまたはリコンフィギュレーション可能な帯域幅機能が使用されている場合、スペクトラム拡散は使用できません。

Arria GX デバイスは、標準変調周波数のスペクトラム拡散入力を受け入れることができます。ただし、デバイスは入力がスペクトラム拡散信号であることを自動的に検出できません。ダウンストリーム PLL の入力では、入力信号が確定的ジッタのように見えます。

スペクトラム拡散は周期ジッタを増大させることにより、出力クロックに悪影響を及ぼすことがあります。周期ジッタは、前のサイクル位置からのクロック・サイクル時間の偏差です。周期ジッタは、連続するエッジにおいてクロック出力遷移の理想的な位置からの偏差を測定します。

下降拡散変調では、変調波形のピークは実際のターゲット周波数です。したがって、システムが最高クロック速度を超えることはありません。信頼性の高い通信を維持するには、システムおよびサブ・システム全体で、クロック・ソースに Arria GX デバイスを使用する必要があります。Arria GX のロジック・アレイはスペクトラム拡散クロックで駆動されるが、別のデバイスから受け取るデータがスペクトラム拡散でクロックされない場合、通信が失敗する可能性があります。

スペクトラム拡散は  $m$  カウンタ値に影響を与えるため、すべてのスペクトラム拡散 PLL 出力が影響を受けます。したがって、1つのスペクトラム拡散信号のみ必要な場合、クロック信号では別の PLL を使用し、その PLL の他の出力は使用しないでおく必要があります。

スペクトラム拡散をクロック・スイッチオーバー機能と共に使用するとき、特別な配慮は必要ありません。これは、クロック・スイッチオーバー機能がスペクトラム拡散を使用する際に切り換わる  $m$  および  $n$  カウンタの値に影響を与えないためです。

## ボード・レイアウト

Arria GX デバイスの enhanced および fast PLL 回路には、デジタル・デバイスに埋め込まれたアナログ・コンポーネントがあります。これらのアナログ・コンポーネントは、独立した電源ピンとグランド・ピンを持ち、デジタル・コンポーネントで生成されるノイズを抑えます。Arria GX の enhanced PLL と fast PLL では、独立した  $V_{CC}$  ピンとグランド・ピンを使用し、回路を分離してノイズ耐性を改善します。

### VCCA および GNDA

各 enhanced および fast PLL は、そのアナログ回路用に独立した  $V_{CC}$  およびグランド・ピンのペアを使用します。各 PLL のアナログ回路用電源ピンとグランド・ピンは、 $VCCA\_PLL<PLL \text{ 番号}>$  および  $GNDA\_PLL<PLL \text{ 番号}>$  という名称が付けられています。PLL を使用しない場合でも、 $VCCA$  電源ピンを 1.2 V 電源に接続してください。Arria GX デバイスの残りの部分またはボード上の他のデジタル・デバイス接続された電源から、 $VCCA$  に接続された電源を分離します。 $VCCA$  ピンを絶縁するには、独立した  $VCCA$  パワー・プレーン、 $VCCINT$  プレーン内の分割された  $VCCA$  アイランド、および厚い  $VCCA$  配線パターンの中の 3つの方法のいずれかを使用できます。

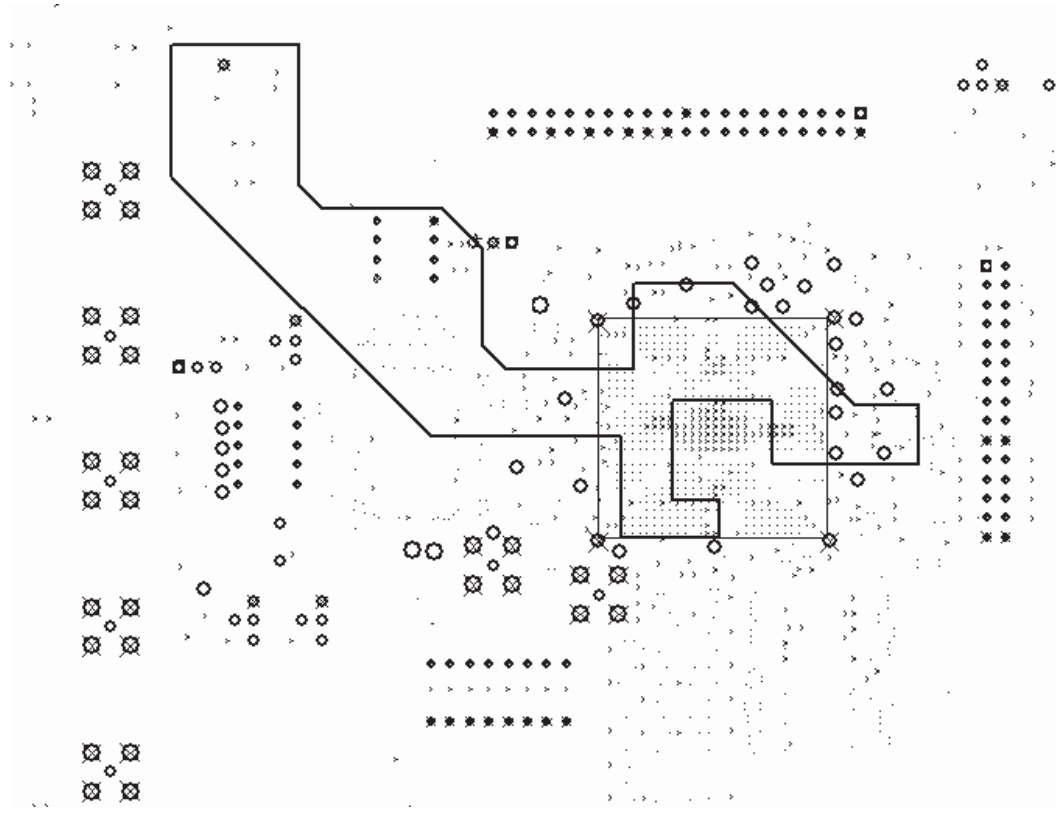
### 独立した $VCCA$ パワー・プレーン

デジタル・アナログ混在システムは、すでにアナログ・セクションとデジタル・セクションに分割されており、それぞれがボード上に専用のパワー・プレーンを持っています。独立した  $VCCA$  パワー・プレーンを使用して  $VCCA$  ピンを分離するには、 $VCCA$  ピンをアナログ 1.2 V パワー・プレーンに接続します。

## VCCINT プレーン内の分割された VCCA アイランド

フル・デジタル・システムには、ボード上に独立したアナログ・パワー・プレーンがありません。プレーンの新設は高価になるため、VCCA\_PLLのアイランドを構築する方法があります。図 5-34 に、アナログ電源アイランドを備えたボード・レイアウトの例を示します。アイランドを構築する誘電境界の厚さは25ミルでなければなりません。図 5-35 に、VCCINT 内で VCCA 用に分割されたプレーンを示します。

図 5-34. VCCA アイランド用に分割された VCCINT プレーン



### 厚い VCCA 配線パターン

ボードの制約のため、VCCA アイランドを分割できない場合があります。その場合は、電源から各 VCCA ピンまで厚い配線パターンを走らせます。配線パターンの厚さは 20 ミル以上でなければなりません。

図 5-35 に示すとおり、これらの 3 つのケースそれぞれで、デカップリング回路を使用して各 VCCA\_PLL ピンをフィルタする必要があります。電源がボードに入る場所に、50 MHz 以上の周波数でハイ・インピーダンスになるフェライト・ビーズと 10  $\mu\text{F}$  のタンタル・パラレル・コンデンサを配置します。各 VCCA\_PLL ピンを、できる限り Arria GX デバイスの近くに配置した 0.1  $\mu\text{F}$  と 0.001  $\mu\text{F}$  のセラミック・コンデンサの組み合わせによってデカップリングします。GNDA\_PLL ピンは、デバイスのデジタル・グラウンドと同じグラウンド・プレーンに直接接続できます。

図 5-35. Arria GX PLL の PLL 電源回路図

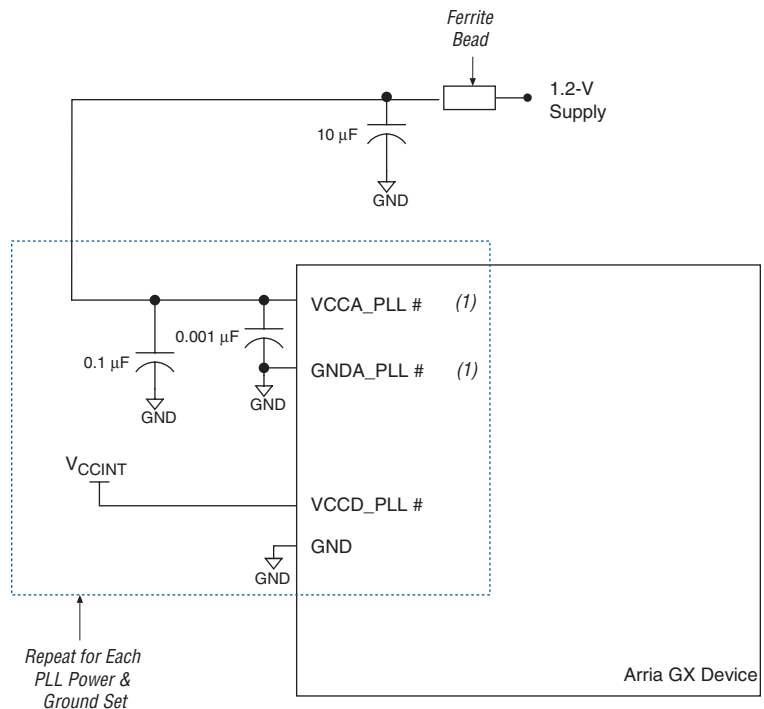


図 5-35 の注：

- (1) すべての Arria GX PLL に適用されます。

## VCCD

デジタル用電源ピンとグランド・ピンには、VCCD\_PLL<PLL 番号> および GND\_PLL<PLL 番号> という名称が付けられています。VCCD ピンは、PLL 上のデジタル回路用の電源を供給します。これらの VCCD ピンは、ボード上で最もノイズの少ないデジタル電源に接続します。ほとんどのシステムで、これはデバイスの VCCINT ピンに供給されるデジタル 1.2 V 電源です。PLL を使用しない場合でも、VCCD ピンを電源に接続してください。VCCD ピンを VCCINT に接続するとき、フィルタリングや絶縁は必要ありません。GND ピンは、デバイスのデジタル・グランドと同じグランド・プレーンに接続できます (図 5-35 参照)。

## 外部クロック出力電源

enhanced PLL 5、6、11、および 12 には、専用外部クロック出力 (それぞれ、VCC\_PLL5\_OUT、VCC\_PLL6\_OUT、VCC\_PLL11\_OUT、および VCC\_PLL12\_OUT) 用の絶縁された電源ピンがあります。特定の enhanced PLL の専用外部クロック出力は、独立した電源ピンによって電源が供給されるため、ノイズの影響を受けにくくなります。また、これらのピンはスイッチングする I/O ピンとの絶縁を改善することにより、出力クロックの全体的なジッタも低減します。



PLL バンク 9~12 に存在する I/O ピンは、それぞれ VCC\_PLL<5、6、11、または 12>\_OUT ピンから電源が供給されます。特定のデバイスが PLL 11 または 12 をサポートしない場合、バンク 11 に存在する I/O ピンはいずれも VCCIO3 ピンから電源が供給され、バンク 12 に存在するすべての I/O ピンには VCCIO8 ピンから電源が供給されます。

図 5-36 に示すとおり、VCC\_PLL\_OUT ピンは、特定の enhanced PLL のクロック出力のための I/O 規格に応じて、3.3 V、2.5 V、1.8 V、または 1.5 V 電源に接続できます。

図 5-36. 外部クロック出力ピンと出力電源の関連付け

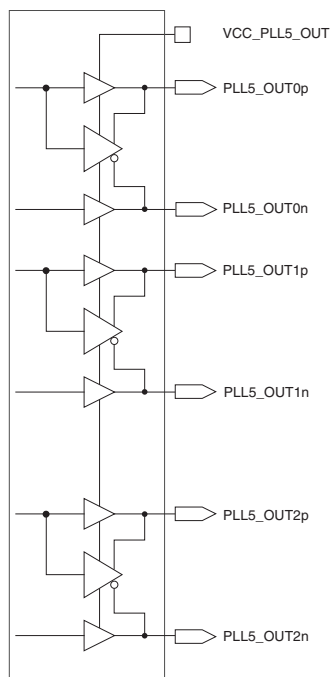


図 5-37 に示すデカップリング回路を使用して、絶縁された各電源ピンをフィルタします。Arria GX デバイスのできるだけ近くに 0.1 および 0.001  $\mu\text{F}$  のセラミック・コンデンサを並列に配置し、絶縁された電源ピンをデカップルします。

図 5-37. Arria GX PLL 外部クロック出力電源のボール接続 注 (1)

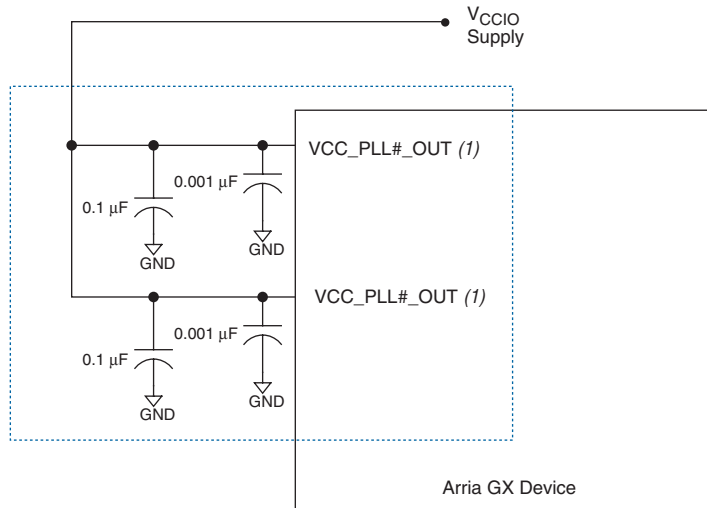


図 5-37 の注:

(1) enhanced PLL 5、6、11、および 12 にのみ適用されます。

## ガイドライン

enhanced PLL 5、6、11、および 12 の外部クロック出力で最適なジッタ性能を達成するには、次のガイドラインに従ってください。すべての出力が同じ周波数で動作している場合、性能を向上させるためにこれらのガイドラインに従う必要はありません。

- 位相シフトを使用して、すべてのクロック出力でエッジが一致しないようにします。
- 最高のジッタ性能を得るには、位相シフトを使用してクロック・エッジを互いにスキューさせます。

異なる周波数および位相シフトの複数のクロックをドライブできない、またはバンクを絶縁できない場合は、低周波クロックのドライブ強度をコントロールする必要があります。出力バッファの電流供給能力を低減すると、ノイズが減少することがあります。低周波出力の容量性負荷を小さくし、出力バッファをコンフィギュレーションして電流強度を低下させます。高周波出力は性能が向上しますが、低周波クロック出力の性能が低下する可能性があります。

## PLL 仕様



PLL タイミング仕様については、「Arria GX デバイス・ハンドブック Volume 1」の「[DC およびスイッチング特性](#)」の章を参照してください。

## クロック

Arria GX デバイスは、階層的なクロック構造および最先端の機能を備えた複数の PLL を提供します。enhanced PLL および fast PLL によって実現されるクロック合成の精度と多数のクロック・リソースを組み合わせることにより、完全なクロック管理ソリューションを提供します。

### グローバルおよび階層クロック

Arria GX デバイスは、16 の専用グローバル・クロック・ネットワーク、32 のリージョナル・クロック・ネットワークを備えています。これらのクロックは、デバイス領域ごとに小さなスキューおよび遅延で 24 個の独自のクロック・ソースを許容できる階層的なクロック構造に編成されています。この階層クロック方式は、Arria GX デバイス全体で最大 48 個の独自のクロック・ドメインを提供します。表 5-16 に、Arria GX デバイスで使用できるクロック・リソースを示します。

Arria GX デバイスには、グローバル・クロック・ネットワークまたはリージョナル・クロック・ネットワークのいずれかをドライブする 12 本のクロック専用ピンがあります。図 5-38 および 5-39 に示すように、4 本のクロック・ピンは Arria GX デバイスの 3 つのサイドをドライブします。enhanced および fast PLL 出力は、グローバル・クロック・ネットワークおよびリージョナル・クロック・ネットワークもドライブできます。

**表 5-16. Arria GX デバイスにおけるクロック・リソースの可用性 (1 / 2)**

説明	Arria GX デバイスでの可用性
クロック入力ピン数	12
グローバル・クロック・ネットワーク数	16
リージョナル・クロック・ネットワーク数	32
グローバル・クロック入力ソース	クロック入力ピン、PLL 出力、ロジック・アレイ、トランシーバ間クロック

表 5-16. Arria GX デバイスにおけるクロック・リソースの 可用性 (2 / 2)	
説明	Arria GX デバイスでの可用性
リージョナル・ クロック入力ソース	クロック入力ピン、PLL 出力、 ロジック・アレイ、 トランシーバ間クロック
エリア内の独立した クロック・ソース数	24 (16 の GCLK および 8 の RCLK クロック)
デバイス全体の独立した クロック・リソース数	48 (16 の GCLK および 32 の RCLK クロック)
パワーダウン・モード	GCLK ネットワーク、RCLK ネット ワーク、デュアル・リージョナル・ クロック領域
高ファンアウト・ アプリケーション用 クロック領域	象限領域、デュアル・リージョナル、 GCLK または RCLK ネットワーク を介してデバイス全体

### グローバル・クロック・ネットワーク

グローバル・クロックは、デバイスの 4 つのエリアにクロックを供給してデバイス全体をドライブします。デバイスの IOE、アダプティブ・ロジック・モジュール (ALM)、デジタル信号処理 (DSP) ブロック、およびすべてのメモリ・ブロック内の全リソースは、グローバル・クロック・ネットワークをクロック・ソースとして使用できます。これらのリソースは、外部ピンから供給されるクロック・イネーブルや同期または非同期クリアなどのコントロール信号に使用することも可能です。内部ロジックは、内部で生成されたグローバル・クロックと非同期クリア、クロック・イネーブル、またはファンアウトの大きい他のコントロール信号に対するグローバル・クロック・ネットワークもドライブできます。[図 5-38](#) に、グローバル・クロック・ネットワークをドライブする 12 本の専用 CLK ピンを示します。

図 5-38. グローバル・クロック 注 (1)

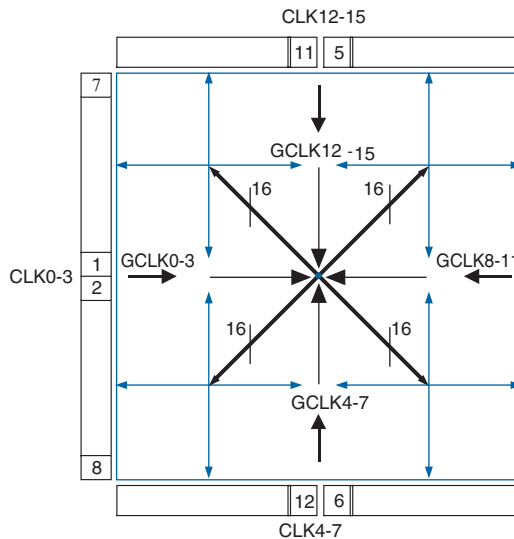


図 5-38 の注:

- (1) Arria GX デバイスには、PLL 3、4、9、および 10 またはクロック・ピン 8、9、10、および 11 はありません。

### リージョナル・クロック・ネットワーク

Arria GX デバイスの各エリアにある 8 つのリージョナル・クロック・ネットワークは、専用の CLK 入力ピンまたは PLL 出力からドライブされます。リージョナル・クロック・ネットワークはそれ自身がドライブするエリアにのみ属します。リージョナル・クロック・ネットワークは、1 つのエリア内に含まれるロジックに対して、最小のクロック遅延とスキューを実現します。内部ロジックは、内部で生成されたリージョナル・クロックと非同期クリア、クロック・イネーブル、またはファンアウトの大きい他のコントロール信号に対するリージョナル・クロック・ネットワークもドライブできます。図 5-39 に示すとおり、CLK ピンは特定のエリア内の RCLK ネットワークを対称的にドライブします。CLK ピンおよび PLL からの RCLK 接続については、5-70 ページの表 5-17 および 5-71 ページの表 5-18 を参照してください。

図 5-39. リージョナル・クロック 注 (1)

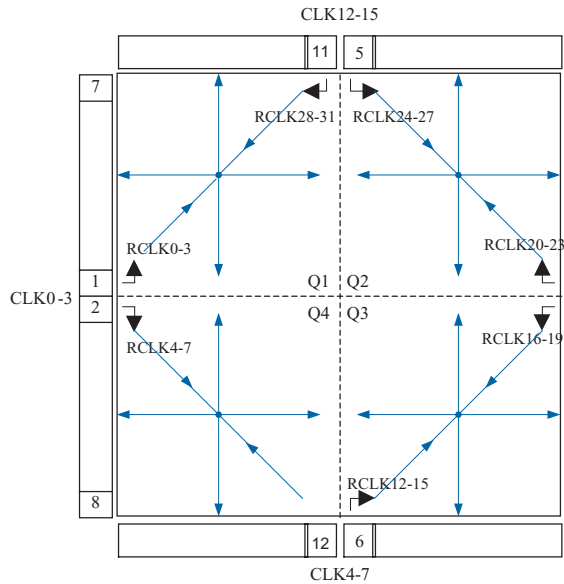


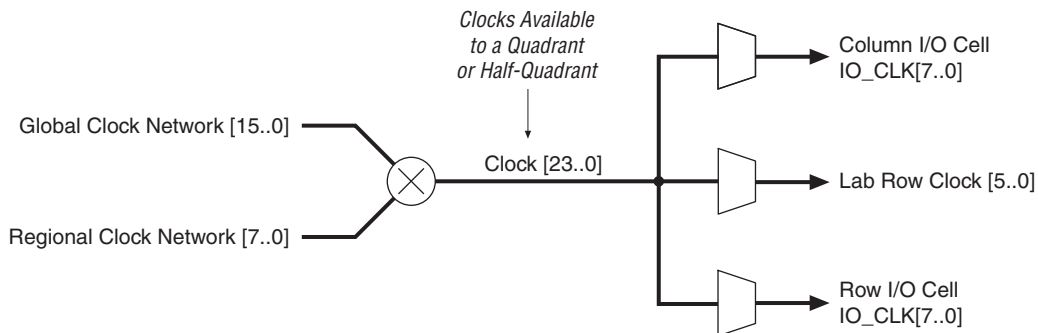
図 5-39 の注:

- (1) Arria GX デバイスには、PLL 3、4、9、および 10 またはクロック・ピン 8、9、10、および 11 はありません。

## 領域ごとのクロック・ソース

各 Arria GX デバイスは、デバイス全体に 48 の独自のクロック・ドメインを提供する 16 のグローバル・クロック・ネットワークと 32 のリージョナル・クロック・ネットワークを備えています。各エリア内で 24 の独自のクロック (16 グローバル・クロックおよび 8 リージョナル・クロック) をレジスタ用の入力リソースとして使用できます (図 5-40 参照)。

図 5-40. エリアごとの階層クロック・ネットワーク



Arria GX クロック・ネットワークは、次の 3 つの異なるクロック領域を提供します。

- デバイス全体のクロック領域
- 象限クロック領域
- デュアル・リージョナル・クロック領域

これらのクロック・ネットワークのオプションにより、高ファンアウト信号の配線がより柔軟になり、インタフェースのタイミングが改善されます。さまざまなサイズのクロック領域を設けることによって、ネットワークで到達可能なレジスタ数とネットワークの合計遅延のいずれかを優先させることができます。

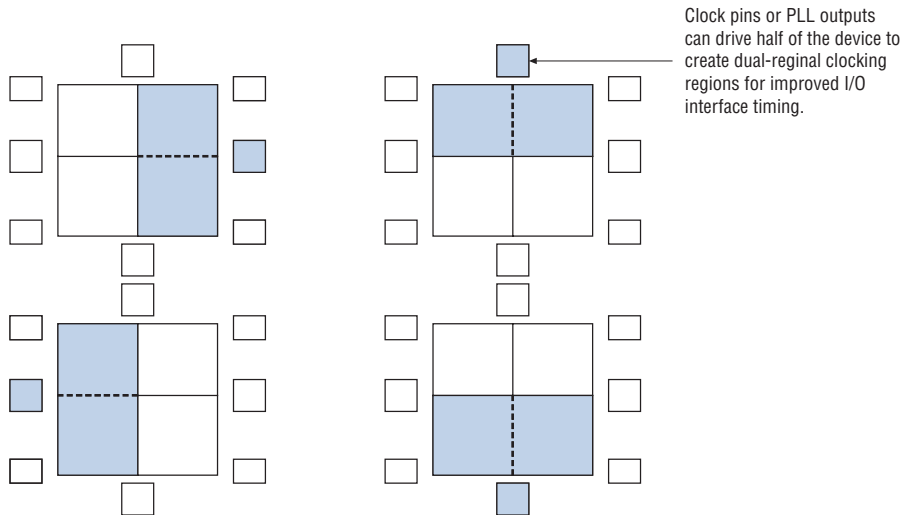
最初のクロック方式では、ソース（必ずしもクロック信号でなくてもよい）はデバイス全体に配線可能なグローバル・クロック・ネットワークをドライブします。これは低スキュー高ファンアウト信号に対する遅延は最大ですが、デバイス内のどのブロックにも信号が到達できます。これは、グローバル・リセット信号またはクリア信号を配線するための適切なオプションです。

第 2 のクロック方式では、ソースは 1 つの象限領域をドライブします。これは、エリア内で最高速、低スキュー、高ファンアウトの信号配線リソースとなります。このリソースの制約は、適用範囲が 1 つのエリアに限定されることです。

第 3 のクロック方式では、1 つのソース（クロック・ピンまたは PLL 出力）が 2 つのリージョナル・クロック・ネットワーク（各エリアから 1 つ）をドライブして、デュアル・リージョナル・クロックを生成できます。これにより、複数のエリアにまたがるロジックが同じ低スキュー・クロックを利用できます。この信号を全サイドに配線した場合の速度は、象限クロック領域での速度とほぼ同じです。リージョナル・クロックをドラ

イブできる内部ロジック・アレイ配線も、この機能をサポートしています。これは、内部ロジックがデュアル・リージョナル・クロック・ネットワークをドライブできることを意味します。コーナー fast PLL の出力は 1 エリアにしか到達できないので、デュアル・リージョナル・クロック・ネットワークを形成することはできません。図 5-41 に、この機能を図示します。

図 5-41. Arria GX デュアル・リージョナル・クロック領域



12 本のクロック入力ピン、enhanced PLL または fast PLL 出力、および内部ロジック・アレイは、グローバルまたはリージョナル・クロック・ネットワークをドライブするためのクロック入力ソースにすることができます。5-74 ページの表 5-20 に示すとおり、CLK<sub>n</sub> ピンもグローバル・クロック・ネットワークをドライブします。表 5-17 および 5-18 に、CLK ピンとグローバル・クロック・ネットワーク、およびリージョナル・クロック・ネットワークとの接続性をそれぞれ示します。

#### クロック入力

12 本のクロック入力ピン (CLK) は、非同期クリア、プリセット、クロック・イネーブル、またはグローバル・クロック・ネットワークやリージョナル・クロック・ネットワークを経由する PCI 用の TRDY や IRDY といったプロトコル信号など、ファンアウトの大きいコントロール信号にも使用されます。

内部ロジック・アレイ

各グローバルおよびリージョナル・クロック・ネットワークは、ロジック・アレイ配線からドライブして、内部ロジックが高ファンアウト、低スキュー信号をドライブできるようにすることも可能です。

PLL 出力

すべてのクロック・ネットワークは、PLL カウンタ出力からドライブできます。

表 5-17 に、クロック・ピンとグローバル・クロック・リソースの接続を示します。接続性のレベルが高いのは、ユーザーが制御可能なグローバル・クロックの多重化をサポートしているためです。

表 5-17. クロック入力ピンとグローバル・クロック・ネットワークの接続性												
クロック・リソース	CLK(p) (ピン)											
	0	1	2	3	4	5	6	7	12	13	14	15
GCLK0	√	√	—	—	—	—	—	—	—	—	—	—
GCLK1	√	√	—	—	—	—	—	—	—	—	—	—
GCLK2	—	—	√	√	—	—	—	—	—	—	—	—
GCLK3	—	—	√	√	—	—	—	—	—	—	—	—
GCLK4	—	—	—	—	√	√	—	—	—	—	—	—
GCLK5	—	—	—	—	√	√	—	—	—	—	—	—
GCLK6	—	—	—	—	—	—	√	√	—	—	—	—
GCLK7	—	—	—	—	—	—	√	√	—	—	—	—
GCLK8	—	—	—	—	—	—	—	—	—	—	—	—
GCLK9	—	—	—	—	—	—	—	—	—	—	—	—
GCLK10	—	—	—	—	—	—	—	—	—	—	—	—
GCLK11	—	—	—	—	—	—	—	—	—	—	—	—
GCLK12	—	—	—	—	—	—	—	—	—	—	√	√
GCLK13	—	—	—	—	—	—	—	—	—	—	√	√
GCLK14	—	—	—	—	—	—	—	—	√	√	—	—
GCLK15	—	—	—	—	—	—	—	—	√	√	—	—

表 5-17 の注:

(1) Arria GX デバイスでは、クロック・ピン 8、9、10、および 11 は使用できません。

表 5-18 に、クロック・ピンとリージョナル・クロック・ネットワーク間の接続性を示します。ここで、各クロック・ピンは2つのリージョナル・クロック・ネットワークをドライブでき、容易にクロック・ネットワークを統合して、同じクロックまたは信号で2つのエリアをドライブする能力をサポートします。

クロック・リソース	CLK(p) (ピン)												
	0	1	2	3	4	5	6	7	12	13	14	15	
RCLK0	√	—	—	—	—	—	—	—	—	—	—	—	—
RCLK1	—	√	—	—	—	—	—	—	—	—	—	—	—
RCLK2	—	—	√	—	—	—	—	—	—	—	—	—	—
RCLK3	—	—	—	√	—	—	—	—	—	—	—	—	—
RCLK4	√	—	—	—	—	—	—	—	—	—	—	—	—
RCLK5	—	√	—	—	—	—	—	—	—	—	—	—	—
RCLK6	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK7	—	—	—	√	—	—	—	—	—	—	—	—	—
RCLK8	—	—	—	—	√	—	—	—	—	—	—	—	—
RCLK9	—	—	—	—	—	√	—	—	—	—	—	—	—
RCLK10	—	—	—	—	—	—	√	—	—	—	—	—	—
RCLK11	—	—	—	—	—	—	—	√	—	—	—	—	—
RCLK12	—	—	—	—	√	—	—	—	—	—	—	—	—
RCLK13	—	—	—	—	—	√	—	—	—	—	—	—	—
RCLK14	—	—	—	—	—	—	√	—	—	—	—	—	—
RCLK15	—	—	—	—	—	—	—	√	—	—	—	—	—
RCLK16	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK17	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK18	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK19	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK20	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK21	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK22	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK23	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK24	—	—	—	—	—	—	—	—	—	—	—	√	—
RCLK25	—	—	—	—	—	—	—	—	—	—	—	—	√
RCLK26	—	—	—	—	—	—	—	—	√	—	—	—	—

表 5-18. クロック入力ピンとリージョナル・クロック・ネットワークの接続性 注 (1) (2 / 2)

クロック・リソース	CLK(p) (ピン)											
	0	1	2	3	4	5	6	7	12	13	14	15
RCLK27	—	—	—	—	—	—	—	—	—	√	—	—
RCLK28	—	—	—	—	—	—	—	—	—	—	√	—
RCLK29	—	—	—	—	—	—	—	—	—	—	—	√
RCLK30	—	—	—	—	—	—	—	—	√	—	—	—
RCLK31	—	—	—	—	—	—	—	—	—	√	—	—

表 5-18 の注:

(1) Arria GX デバイスでは、クロック・ピン 8、9、10、および 11 は使用できません。

### クロック入力の接続

4 本の CLK ピンが各 enhanced PLL をドライブします。いずれのピンも、PLL へのクロック・スイッチオーバー入力に使用できます。CLK ピンは、Quartus II ソフトウェアでコントロールされるクロック・スイッチオーバー用のプライマリ・クロック・ソースです。enhanced PLL 5、6、11、および 12 もフィードバック入力ピンを備えています。

fast PLL 1、2、3、および 4 用の入力クロックは、CLK ピンから送られます。マルチプレクサは、2 本の CLK ピンの 1 本を選択して、各 PLL をドライブします。マルチプレクサは、クロック・スイッチオーバー用マルチプレクサではなく、クロック入力の接続のみに使用されます。

FPLLCLK 入力ピンまたは CLK ピンは、汎用アプリケーションに使用するときは、コーナ (7 および 8) にある fast PLL をドライブできます。CLK ピンは、高速差動 I/O モードでこれらの fast PLL をドライブすることはできません。

表 5-19 は、Arria GX の各デバイスでどの PLL が使用できるのか、またどのクロック・ピンがどの PLL をドライブするのかを示しています。

入力ピン	すべてのデバイス				EP1AGX50 ~ EP1AGX90 デバイス			
	fast PLL		enhanced PLL		fast PLL		enhanced PLL	
	1	2	5	6	7	8	11	12
CLK0	✓	✓	—	—	✓	✓	—	—
CLK1	✓	✓	—	—	✓	✓	—	—
CLK2	✓	✓	—	—	✓	✓	—	—
CLK3	✓	✓	—	—	✓	✓	—	—
CLK4	—	—	—	✓	—	—	—	✓
CLK5	—	—	—	✓	—	—	—	✓
CLK6	—	—	—	✓	—	—	—	✓
CLK7	—	—	—	✓	—	—	—	✓
CLK12	—	—	✓	—	—	—	✓	—
CLK13	—	—	✓	—	—	—	✓	—
CLK14	—	—	✓	—	—	—	✓	—
CLK15	—	—	✓	—	—	—	✓	—
PLL5_FB	—	—	✓	—	—	—	—	—
PLL6_FB	—	—	—	✓	—	—	—	—
PLL11_FB	—	—	—	—	—	—	✓	—
PLL12_FB	—	—	—	—	—	—	—	✓
PLL_ENA	✓	✓	✓	✓	✓	✓	✓	✓
FPLL7CLK	—	—	—	—	✓	—	—	—
FPLL8CLK	—	—	—	—	—	✓	—	—
FPLL9CLK	—	—	—	—	—	—	—	—
FPLL10CLK	—	—	—	—	—	—	—	—

表 5-19 の注:

- (1) Arria GX デバイスでは、PLL 3、4、9、および 10 は提供されていません。
- (2) クロックの接続が使用可能です。最大周波数について詳しくは、お問い合わせください。
- (3) 高速クロック入力専用です。最大周波数について詳しくは、お問い合わせください。
- (4) Arria GX デバイスでは、入力ピンクロック・ピン CLK[11..8] は使用できません。

### CLK(n) ピンのグローバル・クロック・ネットワークとの接続性

Arria GX デバイスでは、clk(n) ピンからもグローバル・クロック・ネットワークに供給できます。表 5-20 に、clk(n) ピンのグローバル・クロック・ネットワークとの接続性を示します。

表 5-20. CLK(n) ピンのグローバル・クロック・ネットワークとの接続性								
クロック・リソース	CLK(n) (ピン)							
	4	5	6	7	12	13	14	15
GCLK4	√	—	—	—	—	—	—	—
GCLK5	—	√	—	—	—	—	—	—
GCLK6	—	—	√	—	—	—	—	—
GCLK7	—	—	—	√	—	—	—	—
GCLK12	—	—	—	—	—	—	√	—
GCLK13	—	—	—	—	—	—	—	√
GCLK14	—	—	—	—	√	—	—	—
GCLK15	—	—	—	—	—	√	—	—

### Enhanced PLL 用クロック・ソース・コントロール

図 5-42 に、enhanced PLL のクロック入力マルチプレクサを示します。このブロックでは、複数の異なるソースから PLL クロック基準を選択できます。enhanced PLL へのクロック・ソースには、4 本のクロック入力ピン CLK[3..0]、またはロジック・アレイ・クロックを使用できます。クロック入力ピンと対応する enhanced PLL との接続は、前述の表 5-20 に示してあります。マルチプレクサ選択ラインは、コンフィギュレーション・ファイルでのみ設定されます。このブロックはプログラムされると、新しいコンフィギュレーション・ファイルをロードしなければ変更できません。Quartus II ソフトウェアは、ユーザーがデザインで選択したクロック・ソースに応じて、マルチプレクサ選択信号を自動的に設定します。

図 5-42. enhanced PLL クロック入力マルチプレクサ・ロジック

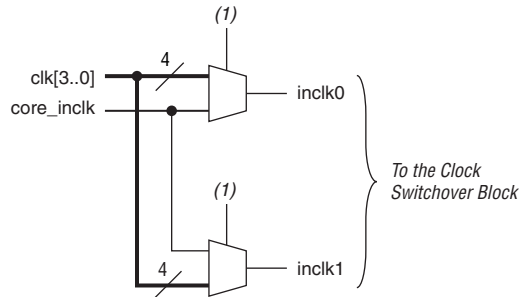


図 5-42 の注:

- (1) 入力クロックの多重化は、コンフィギュレーション・ファイルでのみコントロールされ、ユーザー・モードでダイナミックにコントロールすることはできません。

### fast PLL 用クロック・ソース・コントロール

各センター fast PLL には、5つのクロック入力ソースがあり、そのうち4つはクロック入力ピン、1つはロジック信号から送られます。クロック入力ピンをクロック・ソースとして使用する場合、入力クロック・ソース間でのクロック・スイッチオーバーをマニュアルで実行できます。クロックの切り換えを実行するためのクロック入力マルチプレクサ・コントロール信号は、コア電圧から送られます。図 5-43 に、センター fast PLL 用クロック入力マルチプレクサ・コントロール回路を示します。

図 5-43. センター fast PLL クロック入力マルチプレクサ・コントロール

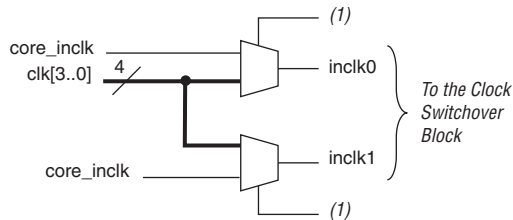


図 5-43 の注:

- (1) 入力クロックの多重化は、コンフィギュレーション・ファイルでのみコントロールされ、ユーザー・モードでダイナミックにコントロールすることはできません。

各コーナー fast PLL には 3 つのクロック入力ソースがあり、そのうち 1 つは専用コーナー・クロック入力ピン、1 つはセンター・クロック入力ピン、もう 1 つはロジック・アレイ・クロックから送られます。図 5-44 に、コーナー fast PLL 用クロック入力マルチプレクサ・コントロール回路のブロック図を示します。コーナーの FPLLCLK ピンのみ完全に補償されています。

図 5-44. コーナー fast PLL クロック入力マルチプレクサ・コントロール

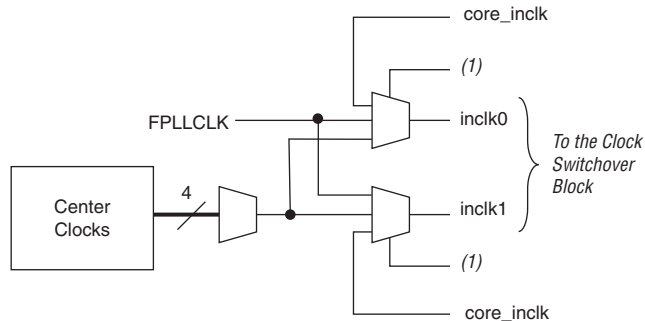


図 5-44 の注:

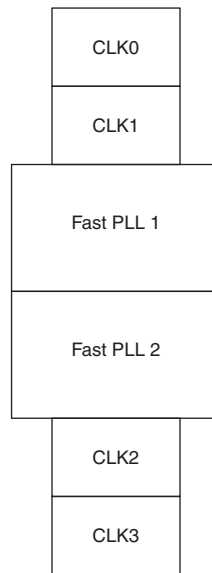
- (1) 入力クロックの多重化は、コンフィギュレーション・ファイルでのみコントロールされ、ユーザー・モードで動的にコントロールすることはできません。

### fast PLL に対する遅延補償

各センター fast PLL は、4 本の入力クロック・ピンのいずれか 1 本から供給できます。LVDS レシーバ・モードで使用する場合、4 つのクロック入力信号のうち 2 つのみ完全に補償されます。例えば、fast PLL へのクロック遅延とデータ入力パスでの遅延がマッチングされます。データ入力パスにマッチングする 2 つのクロック入力、fast PLL のすぐ隣に配置されています。データ入力パスにマッチングしない 2 つのクロック入力は、隣接する fast PLL の隣に配置されます。図 5-45 に、左側のセンター fast PLL ペアに対する前述の説明を図示します。PLL を非 LVDS モードで使用する場合、4 つの専用クロック入力のいずれかを使用でき、専用クロック入力は補正されます。

fast PLL 1 および fast PLL 2 は、クロック入力ソースを CLK[3..0] から選択できます。ただし、fast PLL 1 については、LVDS レシーバ・モード動作で使用する場合、CLK0 と CLK1 のみ遅延をデータ入力パスの遅延とマッチングさせます。CLK2 または CLK3 から fast PLL 1 への遅延は、データ入力遅延とマッチングしません。fast PLL 2 については、LVDS レシーバ・モード動作では、CLK2 と CLK3 のみ遅延をデータ入力パスの遅延とマッチングさせます。CLK0 または CLK1 から fast PLL 2 への遅延は、データ入力遅延とマッチングしません。右側のセンター fast PLL ペアにも同様の規定が適用されます。コーナー fast PLL については、コーナー FPLLCLK ピンのみ完全に補償されます。LVDS レシーバの動作には、遅延補償されたクロック・ピンのみを使用することを推奨します。

図 5-45. センター fast PLL ペアの遅延補償クロック入力ピン



## クロック出力接続

enhanced PLL には、8つのリージョナル・クロック出力と4つのグローバル・クロック出力用の出力があります。クロック・ピン、グローバルおよびリージョナル・クロック・ネットワーク、およびすべての PLL 出力の間でライン・シェアリングが行われています。表 5-17 ~ 表 5-21 および図 5-46 ~ 図 5-50 を参照して、クロック方式の妥当性を検証してください。Quartus II ソフトウェアは、制約を回避するために、自動的にリージョナルおよびグローバル・クロックにマッピングします。enhanced PLL 5、6、11、および 12 は、表 5-21 に示したシングル・エンド・ピンにドライブ・アウトします。

fast PLL 1、2 の各出力 (C0、C1、C2、および C3) をグローバルまたはリージョナル・クロックに接続できます。クロック・ピン、FPLLCLK ピン、グローバルおよびリージョナル・クロック・ネットワーク、およびすべての PLL 出力の間でライン・シェアリングが行われています。Quartus II ソフトウェアは、制約を回避するために、自動的にリージョナルおよびグローバル・クロックにマッピングします。

図 5-46 に、enhanced PLL からクロック入力およびクロック出力への接続を示します。



F484 パッケージの EP1AGX20、EP1AGX35、および EX1AGX50 デバイスには、enhanced PLL が 2 個 (5 および 6) しかありませんが、これら 2 個の PLL からグローバルまたはリージョナル・クロック・ネットワークへの接続性は同じです。

1,152 ピン・パッケージの EP1AGX50、EP1AGX60、および EP1AGX90 デバイスは、8 個の PLL を備えています。

図 5-46. Arria GX のトップおよびボトム enhanced PLL、クロック・ピン、およびロジック・アレイ信号のグローバルおよびリージョナル・クロック・ネットワークとの接続性 注 (1)

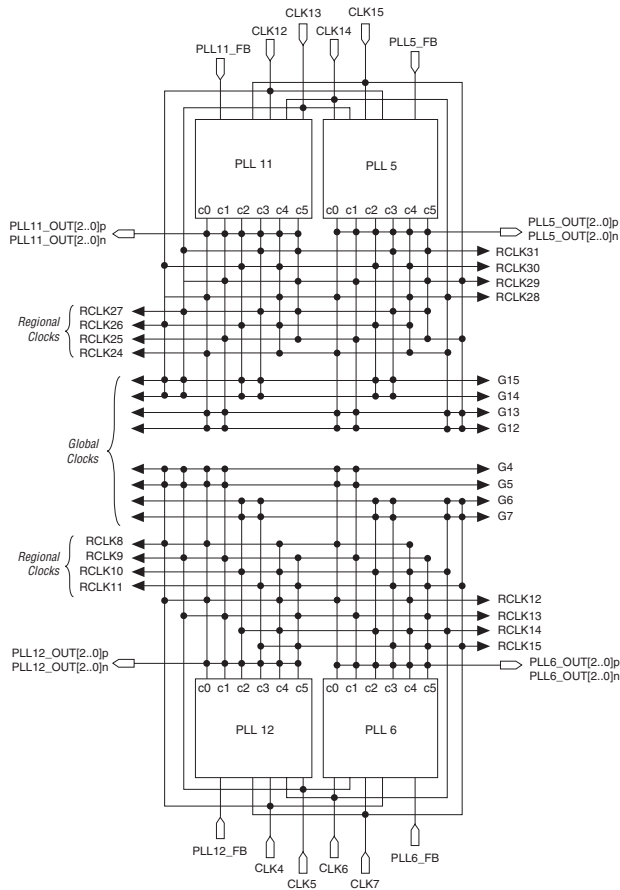


図 5-46 の注:

- (1) 冗長接続ドットは、クロック・ネットワークのステッチングを容易にして、同じクロックで 2 つのエリアをドライブする機能をサポートします。

表 5-21 に、PLL 出力がドライブするグローバルおよびリージョナル・クロックを示します。

表 5-21. Arria GX における PLL からのグローバルおよびリージョナル・クロック出力 (1 / 2)								
すべてのデバイス (1)					EP1AGX50 以上のデバイス (2)			
クロック・ネットワーク	fast PLL		enhanced PLL		fast PLL		enhanced PLL	
	PLL の番号とタイプ							
	1	2	5	6	7	8	11	12
GCLK0	√	√	—	—	√	√	—	—
GCLK1	√	√	—	—	√	√	—	—
GCLK2	√	√	—	—	√	√	—	—
GCLK3	√	√	—	—	√	√	—	—
GCLK4	—	—	—	√	—	—	—	√
GCLK5	—	—	—	√	—	—	—	√
GCLK6	—	—	—	√	—	—	—	√
GCLK7	—	—	—	√	—	—	—	√
GCLK8	—	—	—	—	—	—	—	—
GCLK9	—	—	—	—	—	—	—	—
GCLK10	—	—	—	—	—	—	—	—
GCLK11	—	—	—	—	—	—	—	—
GCLK12	—	—	√	—	—	—	√	—
GCLK13	—	—	√	—	—	—	√	—
GCLK14	—	—	√	—	—	—	√	—
GCLK15	—	—	√	—	—	—	√	—
RCLK0	√	√	—	—	√	—	—	—
RCLK1	√	√	—	—	√	—	—	—
RCLK2	√	√	—	—	√	—	—	—
RCLK3	√	√	—	—	√	—	—	—
RCLK4	√	√	—	—	—	√	—	—
RCLK5	√	√	—	—	—	√	—	—
RCLK6	√	√	—	—	—	√	—	—
RCLK7	√	√	—	—	—	√	—	—
RCLK8	—	—	—	√	—	—	—	√
RCLK9	—	—	—	√	—	—	—	√
RCLK10	—	—	—	√	—	—	—	√

表 5-21. Arria GX における PLL からのグローバルおよびリージョナル・クロック出力 (2 / 2)								
すべてのデバイス (1)					EP1AGX50 以上のデバイス (2)			
クロック・ネットワーク	fast PLL		enhanced PLL		fast PLL		enhanced PLL	
	PLL の番号とタイプ							
	1	2	5	6	7	8	11	12
RCLK11	—	—	—	√	—	—	—	√
RCLK12	—	—	—	√	—	—	—	√
RCLK13	—	—	—	√	—	—	—	√
RCLK14	—	—	—	√	—	—	—	√
RCLK15	—	—	—	√	—	—	—	√
RCLK16	—	—	—	—	—	—	—	—
RCLK17	—	—	—	—	—	—	—	—
RCLK18	—	—	—	—	—	—	—	—
RCLK19	—	—	—	—	—	—	—	—
RCLK20	—	—	—	—	—	—	—	—
RCLK21	—	—	—	—	—	—	—	—
RCLK22	—	—	—	—	—	—	—	—
RCLK23	—	—	—	—	—	—	—	—
RCLK24	—	—	√	—	—	—	√	—
RCLK25	—	—	√	—	—	—	√	—
RCLK26	—	—	√	—	—	—	√	—
RCLK27	—	—	√	—	—	—	√	—
RCLK28	—	—	√	—	—	—	√	—
RCLK29	—	—	√	—	—	—	√	—
RCLK30	—	—	√	—	—	—	√	—
RCLK31	—	—	√	—	—	—	√	—
外部クロック出力								
PLL5_OUT[3..0]p/n	—	—	√	—	—	—	—	—
PLL6_OUT[3..0]p/n	—	—	—	√	—	—	—	—
PLL11_OUT[3..0]p/n	—	—	—	—	—	—	√	—
PLL12_OUT[3..0]p/n	—	—	—	—	—	—	—	√

表 5-21 の注:

- (1) Arria GX デバイスでは、PLL 3、4、9、および 10 は提供されていません。
- (2) 1,152 ピンパッケージの EP1AGX60 デバイスは 8 個の PLL を内蔵しています。484 ピンおよび 780 ピン・パッケージの EP1AGX60 デバイスは、fast PLL 1 および 2、enhanced PLL 5、6、11 および 12 を内蔵しています。

fast PLL は、差動 I/O インタフェース用の高速 SERDES クロックもドライブします。これらの FPLLCLK ピンについて詳しくは、お問い合わせください。

図 5-48 に、Arria GX fast PLL からグローバルおよびリージョナル・クロック入力および出力への接続を示します。

図 5-47. Arria GX のセンター fast PLL、クロック・ピン、およびロジック・アレイ信号のグローバルおよびリージョナル・クロック・ネットワークとの接続性

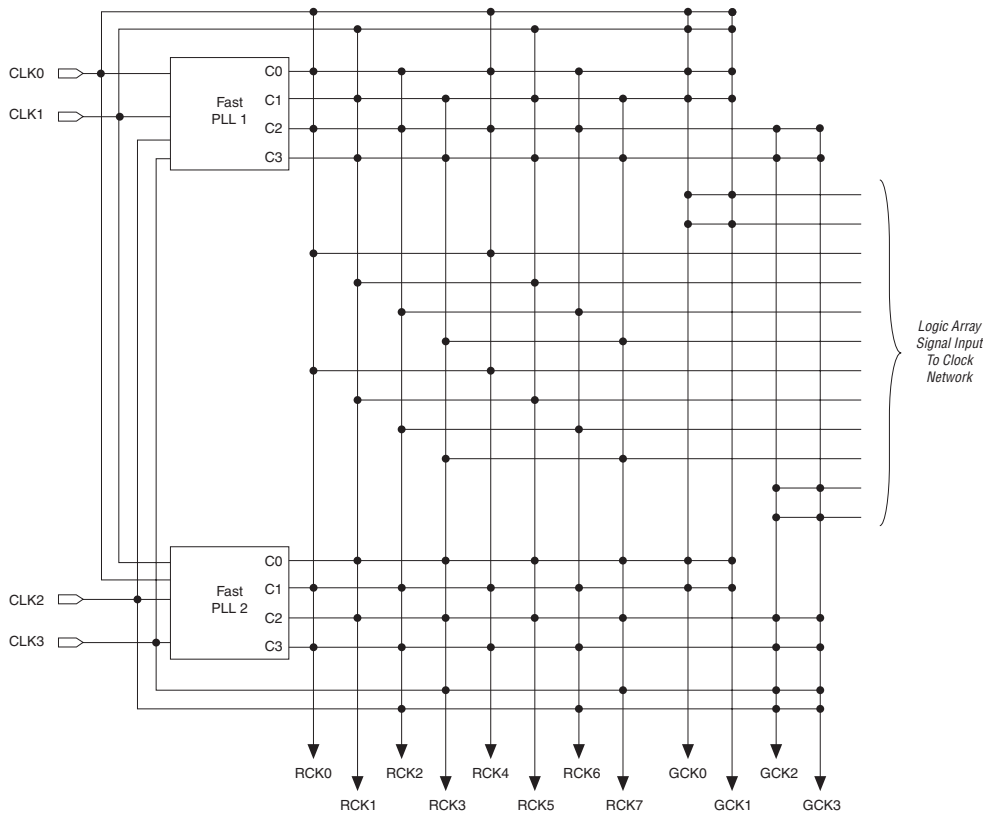


図 5-47 の注:

- (1) 冗長接続ドットは、クロック・ネットワークのステッチングを容易にして、同じクロックで 2 つのエリアをドライブする機能をサポートします。

図 5-48. Arria GX のコーナー fast PLL、クロック・ピン、およびロジック・アレイ信号のグローバルおよびリージョナル・クロック・ネットワークとの接続性 注 (1)

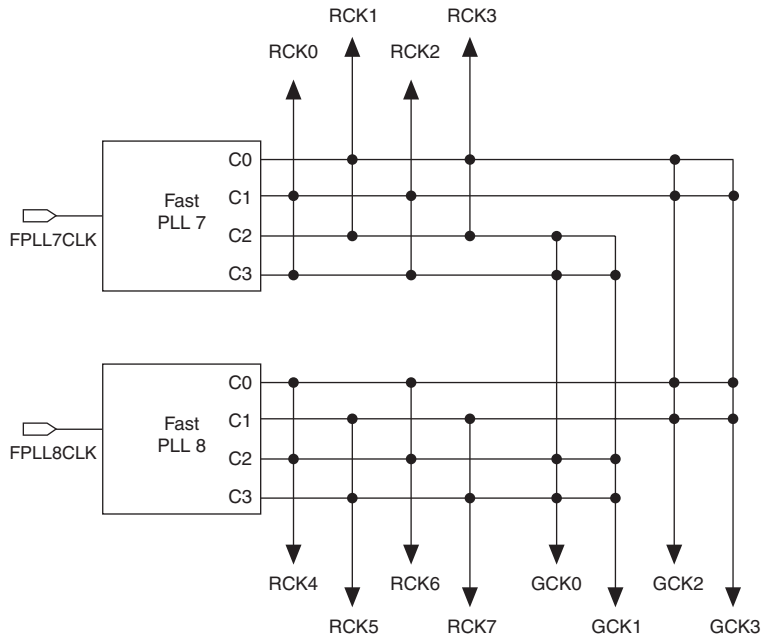


図 5-48 の注:

- (1) コーナーに配置された fast PLL は、グローバルまたはリージョナル・クロック・ネットワークを通してドライブすることも可能です。グローバルまたはリージョナル・クロック入力、別の PLL、あるいはピンでドライブされるグローバルまたはリージョナル・クロックからドライブできます。

## クロック・コントロール・ブロック

各グローバルおよびリージョナル・クロックは、自身のクロック・コントロール・ブロックを備えています。コントロール・ブロックは以下の 2 つの機能を備えています。

- クロック・ソースの選択 (グローバル・クロックに対してはダイナミック選択)
- クロックのパワーダウン (ダイナミック・クロック・イネーブルまたはディセーブル)

図 5-49 および 5-50 に、グローバル・クロックおよびリージョナル・クロックの選択ブロックをそれぞれ示します。

図 5-49. Arria GX グローバル・クロック・コントロール・ブロック

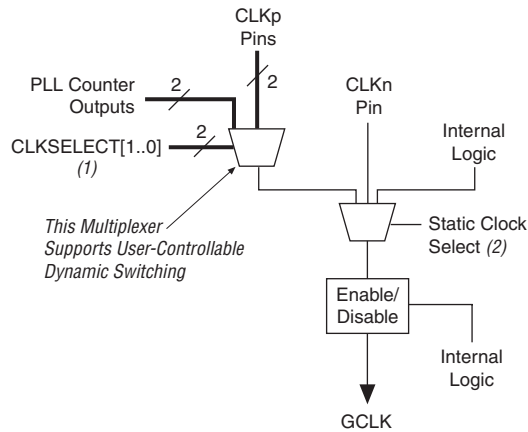


図 5-49 の注:

- (1) これらのクロック選択信号は、デバイスがユーザー・モードで動作しているときに、内部ロジックを通してのみ動的にコントロールできます。
- (2) これらのクロック選択信号は、コンフィギュレーション・ファイルを通してのみ設定でき、ユーザー・モードの動作中は動的にコントロールすることはできません。

図 5-50. Arria GX リージョナル・クロック・コントロール・ブロック

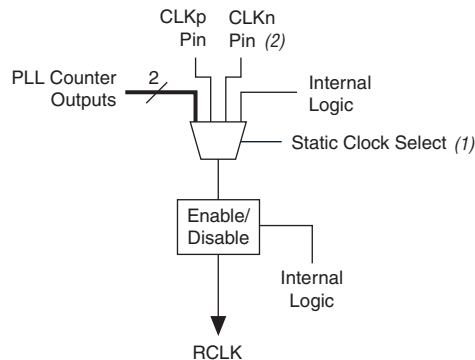


図 5-50 の注:

- (1) これらのクロック選択信号は、コンフィギュレーション・ファイルを通してのみ動的にコントロールでき、ユーザー・モードの動作中は動的にコントロールすることはできません。
- (2) デバイスのトップおよびボトム of the CLK ピンのみ、リージョナル・クロック選択への供給に使用されます。

グローバル・クロック選択ブロックでは、クロック・ソースの選択はスタティックまたはダイナミックに制御できます。Quartus II ソフトウェアで生成されるコンフィギュレーション・ファイルでクロック・ソースをスタティックに選択するオプションがあります。または、内部ロジックを使用してマルチプレクサ選択入力をドライブすることにより、ダイナミックに選択をコントロールすることも可能です。スタティックに選択する場合、クロック・ソースは選択マルチプレクサのどの入力にも設定できます。クロック・ソースをダイナミックに選択する場合、2 つの PLL 出力 (CLK0 または CLK1 など) を選択するか、クロック・ピンまたは PLL 出力の組み合わせを選択します。

**ALTCLKCTRL** メガファンクションを使用してクロック・ソース (ダイナミック) 選択を実装する場合、クロック・ピンからの入力がマルチプレクサの `inclck[0..1]` ポートに供給され、PLL 出力は `inclck[2..3]` ポートに供給されます。これらの入力の選択には、`CLKSELECT[1..0]` 信号を使用できます。

リージョナル・クロック選択ブロックでは、クロック・ソースの選択はコンフィギュレーション・ビットを使用してスタティックにのみ制御できます。クロック選択マルチプレクサへのいずれの入力も、クロック・ソースとして設定できます。

Arria GX クロック・ネットワークは、スタティック手法とダイナミック手法の両方でディセーブル (パワーダウン) できます。クロック・ネットがパワーダウンされると、クロック・ネットから信号が供給されるすべてのロジックがオフ状態になり、デバイスの全体的な消費電力が減少します。

使用されないグローバルおよびリージョナル・クロック・ネットワークは、Quartus II ソフトウェアで生成したコンフィギュレーション・ファイル (SRAM オブジェクト・ファイル (`.sof`) または Programmer オブジェクト・ファイル (`.pof`)) のコンフィギュレーション・ビット設定を通じて自動的にパワーダウンされます。

ダイナミック・クロック・イネーブルまたはディセーブル機能により、内部ロジックはデュアル・リージョナル・クロック領域を含む GCLK および RCLK ネットに同期して、パワーアップまたはパワーダウンをコントロールすることができます。5-84 ページの図 5-49 および 5-84 ページの図 5-50 に示すように、この機能は PLL から独立しており、クロック・ネットワークに直接適用されます。

グローバルおよびリージョナル・クロック・ネットワーク・マルチプレクサ用の入力クロック・ソースと `clkena` 信号は、Quartus II ソフトウェアで **ALTCLKCTRL** メガファンクションを使用して設定できます。

ALTCLKCTRL メガファンクションを使用して、専用の外部クロック出力ピンもイネーブルまたはディセーブルできます。図 5-51 に、外部 PLL 出力クロック・コントロール・ブロックを示します。

図 5-51. Arria GX 外部 PLL 出力クロック・コントロール・ブロック

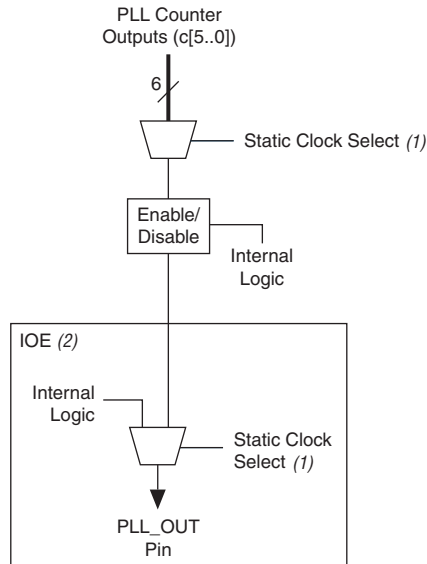


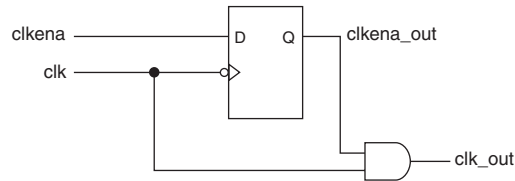
図 5-51 の注:

- (1) クロック選択信号は、コンフィギュレーション・ファイルを通してのみ設定でき、ユーザー・モードの動作中はダイナミックにコントロールすることはできません。
- (2) クロック・コントロール・ブロックは、PLL\_OUT ピンの IOE 内のマルチプレクサに信号を供給します。PLL\_OUT ピンは兼用ピンです。したがって、このマルチプレクサは内部信号またはクロック・コントロール・ブロックの出力のいずれかを選択します。

## clkena 信号

図 5-52 に、clkena 信号がどのように実装されるかを示します。

図 5-52. clkena の実装



Arria GX デバイスでは、clkena 信号はクロック・ネットワークのレベルでサポートされています。これにより、PLL が使用されていないときでもクロックをゲート・オフできます。

clkena 信号を使用して、enhanced PLL からの専用の外部クロックをコントロールすることも可能です。再度イネーブルしたときは、外部フィード・バック・モードを使用しない限り、PLL に再同期化期間または再ロック期間はありません。図 5-53 に、クロック出力イネーブルの波形例を示します。clkena は、カウンタ出力の立ち上がりエッジに同期しています。

図 5-53. clkena 信号

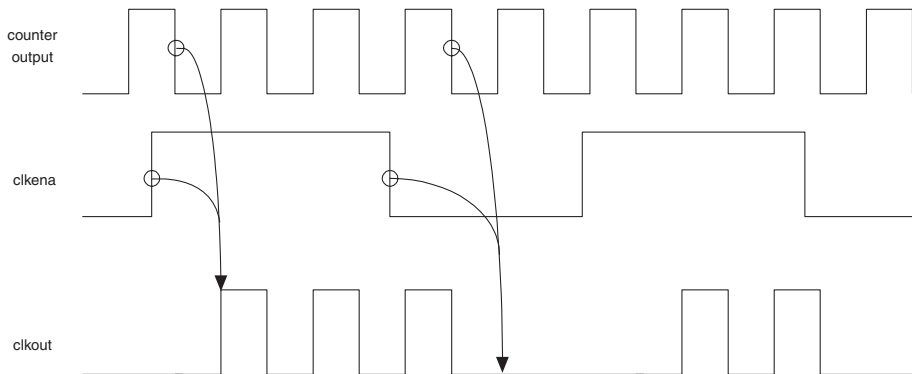


図 5-53 の注:

- (1) clkena 信号を使用して、グローバルおよびリージョナル・ネットワーク、または PLL\_OUT ピンをイネーブルまたはディセーブルすることができます。

ループ関連のカウンタは影響を受けないため、PLL は clkena 信号に関係なくロック状態を保持できます。この機能は、低消費電力またはスリープ・モードを必要とするアプリケーションに便利です。再度イネーブルしたときには、PLL に再同期化期間または再ロック期間はありません。clkena 信号は、システムが再同期化中の周波数オーバーシュートを許容できない場合には、クロック出力をディセーブルすることもできます。

## まとめ

Arria GX デバイスの enhanced および fast PLL は、デバイスのクロックおよびシステムのタイミングに対する完全なコントロールを実現します。これらの PLL は、従来はディスクリート PLL デバイスでしか得られなかった柔軟なシステム・レベルのクロック管理を提供できます。エンベデッド PLL は、ハイエンド・ディスクリート・デバイスが提供する機能に適合し、かつそれらを上回るものであり、システムにおける他のタイミング・デバイスの必要性を低減します。

## 参考資料

この章では以下のドキュメントを参照しています。

- [「altpll Megafunction User Guide」](#)
- [「AN 367: Stratix II デバイスによる PLL リコンフィギュレーションの実装」](#)
- [「Arria GX デバイスのコンフィギュレーション」](#) の章 (Arria GX デバイス・ハンドブック Volume 2)
- [「DC およびスイッチング特性」](#) の章 (Arria GX デバイス・ハンドブック Volume 1)
- [「エンベデッド・ペリフェラル」](#) セクション (Quartus II ハンドブック)
- [「Arria GX デバイスで選択可能な I/O 規格」](#) の章 (Arria GX デバイス・ハンドブック Volume 2)

## 改訂履歴

表 5-22 に、本資料の改訂履歴を示します。

表 5-22. 改訂履歴		
日付および ドキュメント・ バージョン	変更内容	概要
2008 年 5 月 v1.2	<ul style="list-style-type: none"> <li>● 表 5-1 の注 3 を更新。</li> <li>● 図 5-1 の注 2 および 3 を更新。</li> </ul>	—
	テキストのマイナーな編集。	—
2007 年 8 月 v1.1	「参考資料」の項を追加。	—
	テキストのマイナーな編集。	—
2007 年 5 月 v1.0	初版	—