

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX51004-1.3

動作条件

Arria™ GX デバイスは、コマーシャルおよびインダストリアル温度グレードで提供されています。コマーシャルおよびインダストリアル・デバイスは、-6 スピード・グレードのみを提供しています。

この章は、以下の項で構成されています。

- 4-1 ページの「動作条件」
- 4-35 ページの「消費電力」
- 4-36 ページの「I/O タイミング・モデル」
- 4-44 ページの「典型的なデザイン性能」
- 4-116 ページの「ブロック性能」
- 4-119 ページの「IOE プログラマブル遅延」
- 4-120 ページの「最大入力および出力クロック・トグル・レート」
- 4-131 ページの「デューティ・サイクル歪み」
- 4-137 ページの「高速 I/O 規格」
- 4-139 ページの「PLL タイミング規格」
- 4-142 ページの「外部メモリ・インタフェース仕様」
- 4-144 ページの「JTAG タイミング仕様」

表 4-1 から 4-42 に、Arria GX デバイスの絶対最大定格、推奨動作条件、DC 特性、およびその他の仕様を示します。

絶対最大定格

表 4-1 に、Arria GX デバイス・ファミリの絶対最大定格を示します。

シンボル	パラメータ	条件	Min	Max	単位
V _{CCINT}	電源電圧	GND に対して	-0.5	1.8	V
V _{CCIO}	電源電圧	GND に対して	-0.5	4.6	V
V _{CCPD}	電源電圧	GND に対して	-0.5	4.6	V
V _I	DC 入力電圧 (4)		-0.5	4.6	V
I _{OUT}	ピンあたりの DC 出力電流		-25	40	mA
T _{STG}	保存温度	バイアスなし	-65	150	C

表 4-1. Arria GX デバイスの絶対最大定格 注(1)、(2)、(3) (2 / 2)

シンボル	パラメータ	条件	Min	Max	単位
T_J	ジャンクション温度	BGA パッケージのバイアス時	-55	125	C

表 4-1 の注:

- (1) 詳細は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX デバイス・ファミリ・データシート」のアルテラ・デバイスの動作条件を参照してください。
- (2) 表 4-1 に記載された条件を超えると、デバイスに致命的な損傷を与える可能性があります。また、デバイスを絶対最大定格で長期間動作させると、デバイスに悪影響を与える可能性があります。
- (3) 電源電圧の仕様は、電源ではなくデバイス・ピンでの電圧の読み取り値に適用されます。
- (4) 過渡時には、入力デューティ・サイクルごとに、入力電圧が表 4-2 に示す電圧までオーバーシュートが許されます。DC の場合はデューティ・サイクル 100% と等価です。過渡時には、入力電流が 100 mA 未満、期間が 20 ns 未満であれば、入力電圧は -2.0 V までアンダーシュートが許されます。

表 4-2. 電圧過渡時の最大デューティ・サイクル 注(1)

シンボル	パラメータ	条件	最大デューティ・サイクル (%)
V_I	電圧過渡時の最大デューティ・サイクル	$V_I = 4.0 \text{ V}$	100
		$V_I = 4.1 \text{ V}$	90
		$V_I = 4.2 \text{ V}$	50
		$V_I = 4.3 \text{ V}$	30
		$V_I = 4.4 \text{ V}$	17
		$V_I = 4.5 \text{ V}$	10

表 4-2 の注:

- (1) 過渡時に、入力デューティ・サイクルごとに、記載されている入力電圧が電圧までオーバーシュートが許されます。DC の場合はデューティ・サイクル 100% と等価です。

推奨動作条件

表 4-3 に、Arria GX デバイス・ファミリの推奨動作条件を示します。

シンボル	パラメータ	条件	Min	Max	単位
V_{CCINT}	内部ロジックおよび入力バッファ用電源電圧	立ち上がり時間 ≤ 100 ms (3)	1.15	1.25	V
V_{CCIO}	3.3 V 動作の出力バッファ用電源電圧	立ち上がり時間 ≤ 100 ms (3)、(6)	3.135 (3.00)	3.465 (3.60)	V
	2.5 V 動作の出力バッファ用電源電圧	立ち上がり時間 ≤ 100 ms (3)	2.375	2.625	V
	1.8 V 動作の出力バッファ用電源電圧	立ち上がり時間 ≤ 100 ms (3)	1.71	1.89	V
	1.5 V 動作の出力バッファ用電源電圧	立ち上がり時間 ≤ 100 ms (3)	1.425	1.575	V
	1.2 V 動作の出力バッファ用電源電圧	立ち上がり時間 ≤ 100 ms (3)	1.15	1.25	V
V_{CCPD}	ブリドライバ、コンフィギュレーション、JTAG の I/O バッファ用電源電圧	$100 \mu\text{s} \leq$ 立ち上がり時間 ≤ 100 ms (4)	3.135	3.465	V
V_I	入力電圧 (表 4-2 を参照)	(2)、(5)	-0.5	4.0	V
V_O	出力電圧		0	V_{CCIO}	V
T_J	動作ジャンクション温度	コマーシャル用	0	85	C
		インダストリアル用	-40	100	C

表 4-3 の注:

- (1) 電源電圧の仕様は、電源ではなくデバイス・ピンでの電圧の読み取り値に適用されます。
- (2) 過渡時には、入力デューティ・サイクルごとに、入力電圧が表 4-2 に示す電圧までオーバーシュートが許されます。DC の場合はデューティ・サイクル 100% と等価です。過渡時には、入力電流が 100 mA 未満、期間が 20 ns 未満であれば、入力電圧は -2.0 V までアンダーシュートが許されます。
- (3) V_{CC} の最大立ち上がり時間は 100 ms です。また、 V_{CC} は GND から V_{CC} まで一定に上昇する必要があります。
- (4) V_{CCPD} は $100 \mu\text{s} \sim 100$ ms 以内に 0 V から 3.3 V に上昇しなければなりません。 V_{CCPD} がこの規定時間以内に上昇しない場合、Arria GX デバイスは正常にコンフィギュレーションされません。システム要件から V_{CCPD} が 100 ms 以内に上昇させられない場合は、すべての電源が安定するまで $nCONFIG$ を Low に保持する必要があります。
- (5) 入力専用、クロック、I/O、および JTAG ピンを含むすべてのピンは、 V_{CCINT} と V_{CCPD} 、および V_{CCIO} に電源が供給される前にドライブされていても構いません。
- (6) PCI および PCI-X に対する V_{CCIO} の最大および最小条件は、括弧内に示されています。

トランシーバ・ブロック特性

表 4-4 から 4-6 に、トランシーバ・ブロックの仕様を示します。

シンボル	パラメータ	条件	Min	Max	単位
V_{CCA}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	-0.5	4.6	V
V_{CCP}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	-0.5	1.8	V
V_{CCR}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	-0.5	1.8	V
V_{CCT_B}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	-0.5	1.8	V
V_{CCL_B}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	-0.5	1.8	V
V_{CCH_B}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	-0.5	2.4	V

表 4-4 の注：

(1) デバイスは、最大定格に違反しない限りこの絶対最大定格での長時間の動作に耐えることができます。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCA}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	3.135	3.3	3.465	V
V_{CCP}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	1.15	1.2	1.25	V
V_{CCR}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	1.15	1.2	1.25	V
V_{CCT_B}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	1.15	1.2	1.25	V
V_{CCL_B}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	1.15	1.2	1.25	V
V_{CCH_B}	トランシーバ・ブロックの電源電圧	コマーシャルおよびインダストリアル	1.15	1.2	1.25	V
			1.425	1.5	1.575	V

表 4-5. Arria GX トランシーバ・ブロックの動作条件 (2 / 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
R_{REFB} (1)	リファレンス抵抗	コマーシャル およびインダ ストリアル	2K -1%	2K	2K +1%	Ω

表 4-5 の注:

(1) このピンのDC 信号はできる限りクリーンでなければなりません。このピンにノイズが混入しないようにします。

表 4-6. Arria GX トランシーバ・ブロックの AC 仕様 (1 / 5)

シンボル / 説明	条件	コマーシャルおよびインダストリアル 用の -6 スピード・グレード			単位
		Min	Typ	Max	
リファレンス・クロック					
入力クロック周波数		50	—	622.08	MHz
REFCLK ピンの絶対 V_{MAX}		—	—	3.3	V
REFCLK ピンの絶対 V_{MIN}		-0.3	—	—	V
立ち上がり / 立ち下がり 時間		—	0.2	—	UI
デューティ・サイクル		45	—	55	%
ピーク・ツー・ピーク 差動入力電圧 V_{id} (diff p-p)		200	—	2000	mV
スペクトラム拡散 クロッキング (1)	0 ~ 0.5%	30	—	33	kHz
On-Chip Termination (チップ内終端) 抵抗		115 ± 20%			Ω
V_{ICM} (AC 結合)		1200 ± 5%			mV
V_{ICM} (DC 結合) (2)	PCI Express (PIPE) モード	0.25	—	0.55	V
RREFB		2000 +/-1%			Ω
トランシーバ・クロック					
キャリブレーション・ ブロック・クロック 周波数		10	-	125	MHz

表 4-6. Arria GX トランシーバ・ブロックの AC 仕様 (2 / 5)					
シンボル / 説明	条件	コマーシャルおよびインダストリアル用の -6 スピード・グレード			単位
		Min	Typ	Max	
キャリブレーション・ブロック最小パワー・ダウン・パルス幅		30	-	-	ns
fixedclk クロック周波数 (3)		125 ± 10%			MHz
reconfig クロック周波数	SDI モード	2.5		50	MHz
トランシーバ・ブロック最小パワー・ダウン・パルス幅		100	-	-	ns
レシーバ					
データ・レート		600	-	3125	Mbps
レシーバ・ピンの絶対 V_{MAX} (4)		-	-	2.0	V
レシーバ・ピンの絶対 V_{MIN}		-0.4	-	-	V
最大ピーク・ツー・ピーク差動入力電圧 V_{ID} (diff p-p)	$V_{icm} = 0.85 V$	-	-	3.3	V
最小ピーク・ツー・ピーク差動入力電圧 V_{ID} (diff p-p)	DC ゲイン = 3 dB	160	-	-	mV
On-Chip Termination 抵抗		100 ± 15%			Ω
V_{ICM} (15)	$V_{icm} = 0.85 V$ 設定	850 ± 10%	850 ± 10%	850 ± 10%	mV
	$V_{icm} = 1.2 V$ 設定	1200 ± 10%	1200 ± 10%	1200 ± 10%	mV
帯域幅 (3.125 Gbps)	BW = Low		30	-	MHz
	BW = Med		40		
	BW = High		50		
帯域幅 (2.5 Gbps)	BW = Low		35	-	MHz
	BW = Med		50		
	BW = High		60		
Return loss 差動モード	50 MHz ~ 1.25 GHz (PCI Express)	-10			dB
	100 MHz ~ 2.5 GHz (XAUI)				

表 4-6. Arria GX トランシーバ・ブロックの AC 仕様 (3 / 5)

シンボル / 説明	条件	コマーシャルおよびインダストリアル用の -6 スピード・グレード			単位
		Min	Typ	Max	
Return loss コモン・モード	50 MHz ~ 1.25 GHz (PCI Express)	-6			dB
	100 MHz ~ 2.5 GHz (XAUI)				
プログラマブル PPM 検出器 (5)		± 62.5, 100, 125, 200, 250, 300, 500, 1000			PPM
ラン・レンジ (6)		80			UI
プログラマブル・イコライゼーション				5	dB
信号検出 / 損失スレッシュホールド (7)		65	-	175	mV
CDR LTR 時間 (8)、(9)		-	-	75	us
CDR 最小 T1b (9)、(10)		15	-	-	us
LTD ロック時間 (9)、(11)		0	100	4000	ns
rx_freqlocked (9)、(12) からのデータ・ロック時間		-	-	4	us
プログラマブル DC ゲイン		0, 3, 6			dB
トランスミッタ・バッファ					
出力コモン・モード電圧 (Vocm)		580 ± 10%			mV
On-Chip Termination 抵抗		108 ± 10%			Ω
Return loss 差動モード	50 MHz ~ 1.25 GHz (PCI Express)	-10			dB
	312 MHz ~ 625 MHz (XAUI)				
Return loss コモン・モード	50 MHz ~ 1.25 GHz (PCI Express)	-6			dB
立ち上がり時間		35	-	65	ps
立ち下がり時間		35	-	65	ps
差動ペア内スキュー	V _{OD} = 800 mV	-	-	15	ps
トランシーバ・ブロック内スキュー (×4) (13)		-	-	100	ps

表 4-6. Arria GX トランシーバ・ブロックの AC 仕様 (4 / 5)					
シンボル / 説明	条件	コマーシャルおよびインダストリアル用の -6 スピード・グレード			単位
		Min	Typ	Max	
トランスミッタ PLL					
VCO 周波数範囲		500	-	1562.5	MHz
帯域幅 (3.125 Gbps)	BW = Low		3	-	MHz
	BW = Med		5		
	BW = High		9		
帯域幅 (2.5 Gbps)	BW = Low		1	-	MHz
	BW = Med		2		
	BW = High		4		
gxb_powerdown ディアサーションからの TX PLL ロック時間 (9)、(14)		-	-	100	us

表 4-6. Arria GX トランシーバ・ブロックの AC 仕様 (5 / 5)

シンボル / 説明	条件	コマーシャルおよびインダストリアル用の -6 スピード・グレード			単位
		Min	Typ	Max	
PCS					
モード別インタフェース速度		25		156.25	MHz
デジタル・リセット・パルス幅		最小は 2 バラレル・クロック・サイクル			

表 4-6 の注:

- (1) アップストリーム・トランスミッタおよびレシーバで同じクロック・リソースを共有する場合、スペクトラム拡散クロッキングは PCI Express (PIPE) モードでのみ可能です。
- (2) リファレンス・クロック DC カップリング・オプションは、HCSL I/O 規格の PCI Express (PIPE) モードでのみ使用できます。
- (3) fixedclk は、PIPE モードのレシーバ検出回路で使用されます。
- (4) デバイスは、この絶対最大定格での長時間の動作に耐えることはできません。
- (5) レート・マッチャは、PIPE モードで最大 ±300 PPM、GIGE モードで ±100 PPM をサポートします。
- (6) このパラメータは、ラン・レンクス・データを PRBS シーケンスに埋め込むことによって測定されます。
- (7) 信号検出スレッシュホールド検出器回路は、PCI Express (PIPE モード) でのみ使用できます。
- (8) rx_pll_locked が rx_analogreset デイアレーションから High になるまでに要する時間。図 4-1 を参照してください。
- (9) プロトコル固有のロック時間については、プロトコル特性評価ドキュメントを参照してください。
- (10) rx_pll_locked がアサートされて、rx_locktodata がマニュアル・モードでアサートされる前に、CDR が LTR モードに留まる必要がある時間。図 4-1 を参照してください。
- (11) rx_locktodata 信号がマニュアル・モードでアサートされた後、GXB からの有効データが回復するのに要する時間。測定結果は PRBS31 に基づいています (ネイティブ・データ・レートのみ)。図 4-1 を参照してください。
- (12) rx_freqlocked 信号が自動モードで High になった後、GXB からの有効なデータを回復するのに要する時間。測定結果は PRBS31 に基づいています (ネイティブ・データ・レートのみ)。図 4-2 を参照してください。
- (13) これは PCI Express (PIPE) ×4 および XAUI ×4 モードにのみ適用されます。
- (14) gxb_powerdown デイアレーションから TX PLL をロックするのに要する時間。
- (15) 1.2-V RX VICM 設定は、DC 結合 LVDS リンクを対象としています。

図 4-1 は、マニュアル・モードでのロック時間パラメータを示しています。図 4-2 は、自動モードでのロック時間パラメータを示しています。



LTD = Lock to data

LTR = Lock to reference clock

図 4-1. マニュアル・モードのロック時間パラメータ

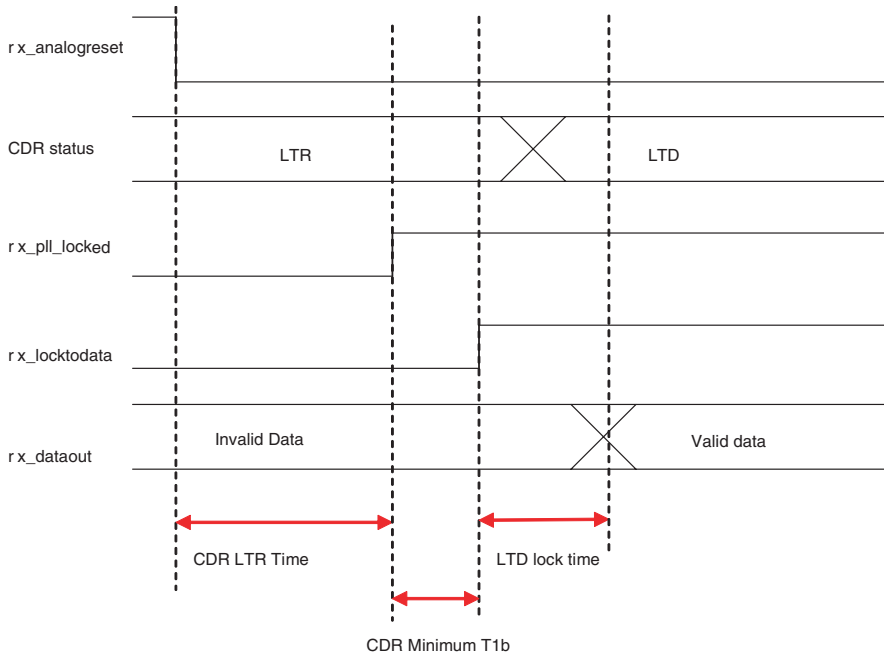


図 4-2. 自動モードのロック時間パラメータ

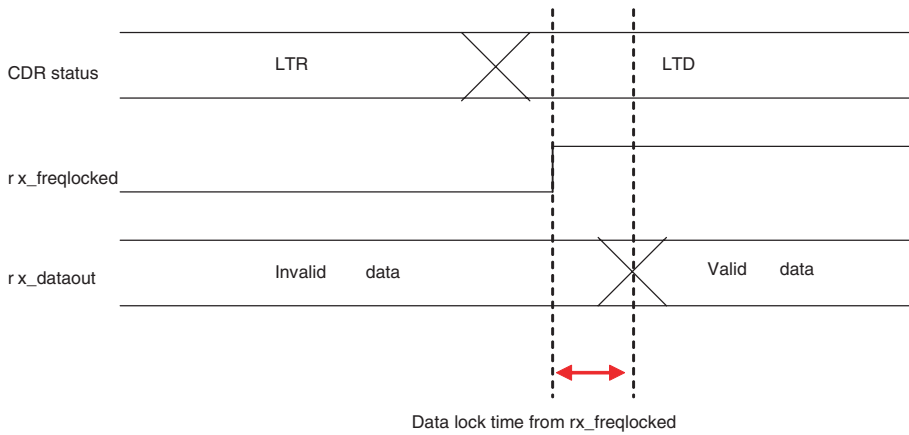


図 4-3 および図 4-4 に、それぞれ差動レシーバ入力およびトランスミッタ出力波形を示します。

図 4-3. レシーバ入力波形

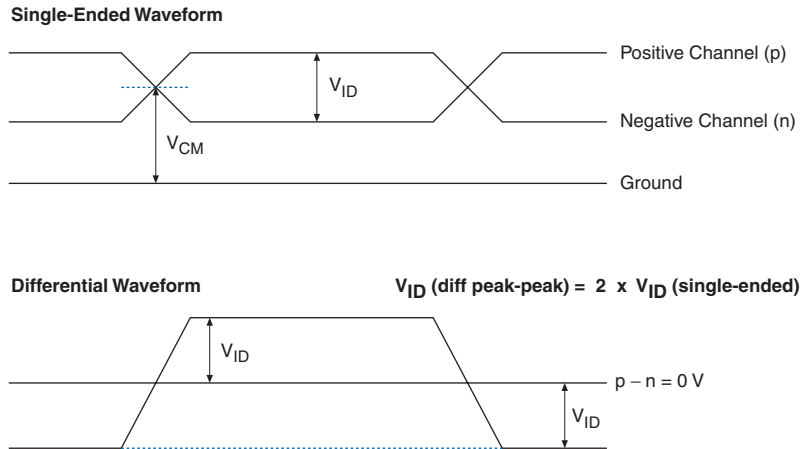


図 4-4. トランスミッタ出力波形

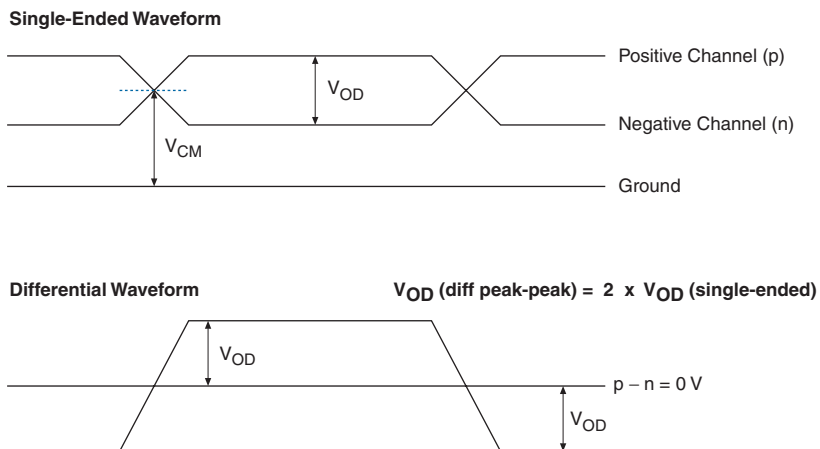


表 4-7 に、Arria GX トランシーバ・ブロックの AC 仕様を示します。

表 4-7. Arria GX トランシーバ・ブロックの AC 仕様 注 (1)、(2)、(3) (1 / 4)			
説明	条件	-6 スピード・グレード コマーシャルおよび インダストリアル用	単位
XAUI トランスミット・ジッタ生成 (4)			
3.125 Gbps での全ジッタ	REFCLK = 156.25 MHz パターン = CJPAT V _{OD} = 1200 mV プリアンファシスなし	0.3	UI
3.125 Gbps の確定的ジッタ	REFCLK = 156.25 MHz パターン = CJPAT V _{OD} = 1200 mV プリアンファシスなし	0.17	UI
XAUI レシーバ・ジッタ許容値 (4)			
全ジッタ		> 0.65	UI
確定的ジッタ		> 0.37	UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 22.1 KHz	> 8.5	UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 1.875 MHz	> 0.1	UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 20 MHz	> 0.1	UI
PCI Express (PIPE) トランスミッタ・ジッタ生成 (5)			
全トランスミッタ・ジッタ生成	準拠パターン、V _{OD} = 800 mV、 プリアンファシス = 49%	< 0.25	UI p-p
PCI Express (PIPE) レシーバ・ジッタ許容値 (5)			
全レシーバ・ジッタ許容値	準拠パターン、 DC ゲイン = 3 db	> 0.6	UI p-p
Gigabit Ethernet (GIGE) トランスミッタ・ジッタ生成 (7)			
全トランスミッタ・ジッタ (TJ) 生成	CRPAT: V _{OD} = 800 mV、 プリアンファシス = 0%	< 0.279	UI p-p
確定的トランスミッタ・ジッタ (DJ) 生成	CRPAT、V _{OD} = 800 mV、 プリアンファシス = 0%	< 0.14	UI p-p
Gigabit Ethernet (GIGE) レシーバ・ジッタ許容値			
全ジッタ許容値	CJPAT 準拠パターン、 DC ゲイン = 0 dB	> 0.66	UI p-p
確定的ジッタ許容値	CJPAT 準拠パターン、 DC ゲイン = 0 dB	> 0.4	UI p-p

表 4-7. Arria GX トランシーバ・ブロックの AC 仕様 注 (1)、(2)、(3) (2 / 4)			
説明	条件	-6 スピード・グレード コマーシャルおよび インダストリアル用	単位
Serial RapidIO (1.25 Gbps、2.5 Gbps、および 3.125 Gbps) トランスミッタ・ジッタ生成 (6)			
全トランスミッタ・ジッタ (TJ) 生成	CJPAT 準拠パターン、 V _{OD} = 800 mV、 プリエンファシス = 0%	< 0.35	UI p-p
確定的トランスミッタ・ジッタ (DJ) 生成	CJPAT 準拠パターン、 V _{OD} = 800 mV、 プリエンファシス = 0%	< 0.17	UI p-p
Serial RapidIO (1.25 Gbps、2.5 Gbps、および 3.125 Gbps) レシーバ・ジッタ許容値 (6)			
全ジッタ許容値	CJPAT 準拠パターン、 DC ゲイン = 0 dB	> 0.65	UI p-p
確定的およびランダム・ジッタ許容値の組み合わせ (J _{DR})	CJPAT 準拠パターン、 DC ゲイン = 0 dB	> 0.55	UI p-p
確定的ジッタ許容値 (J _D)	CJPAT 準拠パターン、 DC ゲイン = 0 dB	> 0.37	UI p-p
正弦ジッタ許容値	ジッタ周波数 = 22.1 KHz	> 8.5	UI p-p
	ジッタ周波数 = 200 KHz	> 1.0	UI p-p
	ジッタ周波数 = 1.875 MHz	> 0.1	UI p-p
	ジッタ周波数 = 20 MHz	> 0.1	UI p-p
SDI トランスミッタ・ジッタ生成 (8)			
アラインメント・ジッタ (ピーク・ツー・ピーク)	データ・レート = 1.485 Gbps (HD) REFCLK = 74.25 MHz パターン = カラー・バー V _{od} = 800 mV プリエンファシスなし 低周波数ロール・オフ = 100 KHz	0.2	UI
	データ・レート = 2.97 Gbps (3G) REFCLK = 148.5 MHz パターン = カラー・バー V _{od} = 800 mV プリエンファシスなし 低周波数ロール・オフ = 100 KHz	0.3	UI

表 4-7. Arria GX トランシーバ・ブロックの AC 仕様 注 (1)、(2)、(3) (3 / 4)			
説明	条件	-6 スピード・グレード コマーシャルおよび インダストリアル用	単位
SDI レシーバ・ジッタ許容値 (8)			
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 15 KHz データ・レート = 2.97 Gbps (3G) REFCLK = 148.5 MHz パターン = シングル・ライン・ スクランブル・カラー・バー イコライゼーションなし DC ゲイン = 0 dB	> 2	UI
	ジッタ周波数 = 100 KHz データ・レート = 2.97 Gbps (3G) REFCLK = 148.5 MHz パターン = シングル・ライン・ スクランブル・カラー・バー イコライゼーションなし DC ゲイン = 0 dB	> 0.3	UI
	ジッタ周波数 = 148.5 MHz データ・レート = 2.97 Gbps (3G) REFCLK = 148.5 MHz パターン = シングル・ライン・ スクランブル・カラー・バー イコライゼーションなし DC ゲイン = 0 dB	> 0.3	UI

表 4-7. Arria GX トランシーバ・ブロックの AC 仕様 注 (1)、(2)、(3) (4 / 4)			
説明	条件	-6 スピード・グレード コマーシャルおよび インダストリアル用	単位
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 20 KHz データ・レート = 1.485 Gbps (HD) REFCLK = 74.25 MHz パターン = 75% カラー・バー イコライゼーションなし DC ゲイン = 0 dB	> 1	UI
	ジッタ周波数 = 100 KHz データ・レート = 1.485 Gbps (HD) REFCLK = 74.25 MHz パターン = 75% カラー・バー イコライゼーションなし DC ゲイン = 0 dB	> 0.2	UI

表 4-7 の注：

- (1) 専用 REFCLK ピンは、入力基準クロックのドライブに使用されます。
- (2) 規定ジッタ値は、記載の条件でのみ有効です。
- (3) 詳細は、プロトコル特性資料を参照してください。
- (4) XAUI のジッタ値は、IEEE802.3ae-2002 Specification に準拠しています。
- (5) PCI Express のジッタ値は、PCIe Base Specification 2.0 規格に準拠しています。
- (6) Serial RapidIO のジッタ値は、RapidIO Specification 1.3 規格に準拠しています。
- (7) GIGE のジッタ値は、IEEE802.3-2002 規格に準拠しています。
- (8) HD-SDI および 3G-SDI のジッタ値は、SMPTE292M および SMPTE424M 規格に準拠しています。

表 4-8 および 4-9 に、各モードにおけるトランスミッタおよびレシーバ PCS レイテンシをそれぞれ示します。

表 4-8. PCS レイテンシ 注 (1)							
機能モード	コンフィギュレーション	トランスミッタ PCS レイテンシ					合計 (2)
		TX PIPE	TX 位相補償 FIFO	バイト・シリアライザ	TX ステート・マシン	8B/10B エンコーダ	
XAUI		-	2-3	1	0.5	0.5	4-5
PIPE	×1、×4、×8 8 ビット・チャンネル幅	1	3-4	1	-	1	6-7
	×1、×4、×8 16 ビット・チャンネル幅	1	3-4	1	-	0.5	6-7
GIGE		-	2-3	1	-	1	4-5
Serial RapidIO	1.25 Gbps、 2.5 Gbps、 3.125 Gbps	-	2-3	1	-	0.5	4-5
SDI	HD 10 ビット・チャンネル幅	-	2-3	1	-	1	4-5
	HD、3G 20 ビット・チャンネル幅	-	2-3	1	-	0.5	4-5
ベーシック・シングル幅	8 ビット / 10 ビット・チャンネル幅	-	2-3	1	-	1	4-5
	16 ビット / 20 ビット・チャンネル幅	-	2-3	1	-	0.5	4-5

表 4-8 の注:

- (1) レイテンシ数は、PLD トランシーバ・インタフェース・クロック・サイクル数で示しています。
- (2) 合計レイテンシ数は、Sum カラムで切り下げられます。

表 4-9. PCS レイテンシ 注(1) (1 / 2)

機能モード	コンフィギュレーション	PCS レイテンシ									合計 (2)
		ワード・アライナ	デスクュー FIFO	レート・マッチャ (3)	8B/10B デコーダ	レシーバ・ステート・マシン	バイト・デシリアライザ	バイト・オーダー	RX 位相補償 FIFO	レシーバ PIPR	
XAUI		2-2.5	2-2.5	5.5-6.5	0.5	1	1	1	1-2	-	14-17
PIPE	×1、×4 8 ビット・チャンネル幅	4-5	-	11-13	1	-	1	1	2-3	1	21-25
	×1、×4 16 ビット・チャンネル幅	2-2.5	-	5.5-6.5	0.5	-	1	1	2-3	1	13-16
GIGE		4-5	-	11-13	1	-	1	1	1-2	-	19-23
Serial RapidIO	1.25 Gbps、 2.5 Gbps、 3.125 Gbps	2-2.5	-	-	0.5	-	1	1	1-2	-	6-7
SDI	HD 10 ビット・チャンネル幅	5	-	-	1	-	1	1	1-2	-	9-10
	HD、3G 20 ビット・チャンネル幅	2.5	-	-	0.5	-	1	1	1-2	-	6-7

機能モード	コンフィギュレーション	PCS レイテンシ									
		ワード・アライナ	デスクュー FIFO	レート・マッチャ (3)	8B/10B デコーダ	レシーバ・ステート・マシン	バイト・デシリアライザ	バイト・オーダー	RX 位相補償 FIFO	レシーバ PIPR	合計 (2)
ベーシック・シングル幅	8/10 ビットチャンネル幅、レート・マッチャあり	4-5	-	11-13	1	-	1	1	1-2	1	19-23
	8/10 ビットチャンネル幅、レート・マッチャなし	4-5	-	-	1	-	1	1	1-2	-	8-10
	16/20 ビットチャンネル幅、レート・マッチャあり	2-2.5	-	5.5-6.5	0.5	-	1	1	1-2	-	11-14
	16/20 ビットチャンネル幅、レート・マッチャなし	2-2.5	-	-	0.5	-	1	1	1-2	-	6-7

表 4-9 の注:

- (1) レイテンシ数は、PLD トランシーバ・インタフェース・クロック・サイクル数で示しています。
- (2) 合計レイテンシ数は、Sum カラムで切り下げられます。
- (3) 記載されているレート・マッチャ・レイテンシは、定常状態レイテンシです。実際のレイテンシは、プロトコルで許容されるスキップ・オーダー・セット・ギャップ、リファレンス・クロック間の実際の PPM の差異などに応じて変化する場合があります。

表 4-10 から表 4-13 に、600 Mbps ~ 3.125 Gbps のデータ・レートの標準 V_{OD} を示します。仕様は、パッケージ・ボールでの測定です。

表 4-10. 標準 V_{OD} 設定、TX 終端 = 100 Ω					
$V_{ccHTX} = 1.5\text{ V}$	V_{OD} 設定 (mV)				
	400	600	800	1000	1200
標準 V_{OD} (mV)	430	625	830	1020	1200

表 4-11. 標準 V_{OD} 設定、TX 終端 = 100 Ω					
$V_{ccHTX} = 1.2\text{ V}$	V_{OD} 設定 (mV)				
	320	480	640	800	960
標準 V_{OD} (mV)	344	500	664	816	960

表 4-12. 標準プリエンファシス (First Post-Tap) 注 (1)					
$V_{ccHTX} = 1.5\text{ V}$	First Post Tap のプリエンファシス・レベル				
V_{OD} 設定 (mV)	1	2	3	4	5
	TX 終端 = 100 Ω				
400	24%	62%	112%	184%	
600		31%	56%	86%	122%
800		20%	35%	53%	73%
1000			23%	36%	49%
1200			17%	25%	35%

表 4-12 の注:

- (1) 600 Mbps ~ 3.125 Gbps のデータ・レートに適用されます。仕様は、パッケージ・ボールでの測定です。

表 4-13. 標準プリアンファシス (First Post-Tap) 注(1)					
V _{ccHTX} = 1.2 V	First Post Tap のプリアンファシス・レベル				
V _{OD} 設定 (mV)	1	2	3	4	5
	TX 終端 = 100 Ω				
320	24%	61%	114%		
480		31%	55%	86%	121%
640		20%	35%	54%	72%
800			23%	36%	49%
960			18%	25%	35%

表 4-13 の注:

- (1) 600 Mbps ~ 3.125 Gbps のデータ・レートに適用されます。仕様は、パッケージ・ボールでの測定です。

DC 特性

表 4-14 に、Arria GX デバイス・ファミリの DC 電気的特性を示します。

表 4-14. Arria GX デバイスの DC 動作条件 注(1) (1 / 2)							
シンボル	パラメータ	条件	デバイス	Min	Typ	Max	単位
I _I	入力ピンのリーク電流	V _I = V _{CCIOmax} ~ 0 V (2)	すべて	-10		10	μA
I _{OZ}	トライ・ステート I/O ピンのリーク電流	V _O = V _{CCIOmax} ~ 0 V (2)	すべて	-10		10	μA
I _{CCINT0}	V _{CCINT} 供給電流 (スタンバイ時)	V _I = GND、 無負荷、 入力のトグルなし T _J = 25 °C	EP1AGX20/35		0.30	(3)	A
			EP1AGX50/60		0.50	(3)	A
			EP1AGX90		0.62	(3)	A
I _{CCPD0}	V _{CCPD} 供給電流 (スタンバイ時)	V _I = GND、 無負荷、 入力のトグルなし T _J = 25 °C、 V _{CCPD} = 3.3V	EP1AGX20/35		2.7	(3)	mA
			EP1AGX50/60		3.6	(3)	mA
			EP1AGX90		4.3	(3)	mA
I _{CCIO0}	V _{CCIO} 供給電流 (スタンバイ時)	V _I = GND、 無負荷、 入力のトグルなし T _J = 25 °C	EP1AGX20/35		4.0	(3)	mA
			EP1AGX50/60		4.0	(3)	mA
			EP1AGX90		4.0	(3)	mA

表 4-14. Arria GX デバイスの DC 動作条件 注(1) (2 / 2)

シンボル	パラメータ	条件	デバイス	Min	Typ	Max	単位
R _{CONF} (4)	コンフィギュレーション前および実行時の I/O ピンのプルアップ抵抗値	V _i = 0、 V _{CCIO} = 3.3 V		10	25	50	kΩ
		V _i = 0、 V _{CCIO} = 2.5 V		15	35	70	kΩ
		V _i = 0、 V _{CCIO} = 1.8 V		30	50	100	kΩ
		V _i = 0、 V _{CCIO} = 1.5 V		40	75	150	kΩ
		V _i = 0、 V _{CCIO} = 1.2 V		50	90	170	kΩ
	コンフィギュレーション前および実行時の I/O ピンのプルダウン推奨抵抗値				1	2	kΩ

表 4-14 の注:

- 標準値は、T_A = 25°C、V_{CCINT} = 1.2 V、および V_{CCIO} = 1.2 V、1.5 V、1.8 V、2.5 V、および 3.3 V の条件のときのものです。
- この値は通常のデバイス動作用に指定されたものです。パワーアップの過程では値が変わる場合があります。これはすべての V_{CCIO} 設定 (3.3 V、2.5 V、1.8 V、1.5 V、および 1.2 V) に適用されます。
- 最大値は実際の TJ およびデザイン利用率によって異なります。Excel ベースの PowerPlay Early Power Estimator (www.altera.co.jp) または Quartus® II PowerPlay Power Analyzer 機能で見積もることもできます。詳しくは、4-35 ページの「消費電力」の項を参照してください。
- 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下します。

I/O 規格仕様

表 4-15 から 4-38 に、Arria GX デバイス・ファミリの I/O 規格を示します。

表 4-15. LVTTTL 規格

シンボル	パラメータ	条件	Min	Max	単位
V _{CCIO} (1)	出力電源電圧		3.135	3.465	V
V _{IH}	入力 High レベル電圧		1.7	4.0	V
V _{IL}	入力 Low レベル電圧		-0.3	0.8	V
V _{OH}	出力 High レベル電圧	I _{OH} = -4 mA (2)	2.4		V
V _{OL}	出力 Low レベル電圧	I _{OL} = 4 mA (2)		0.45	V

表 4-15 の注:

- Arria GX デバイスは、EIA/JDEC 規格、JESD8-B で規定される狭い範囲の電源電圧に適合します。
- この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 4-16. LVCMOS 規格

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO} (1)	出力電源電圧		3.135	3.465	V
V_{IH}	入力 High レベル電圧		1.7	4.0	V
V_{IL}	入力 Low レベル電圧		-0.3	0.8	V
V_{OH}	出力 High レベル電圧	$V_{CCIO} = 3.0, I_{OH} = -0.1 \text{ mA}$ (2)	$V_{CCIO} - 0.2$		V
V_{OL}	出力 Low レベル電圧	$V_{CCIO} = 3.0, I_{OL} = 0.1 \text{ mA}$ (2)		0.2	V

表 4-16 の注:

- (1) Arria GX デバイスは、EIA/JDEC 規格、JESD8-B で規定される狭い範囲の電源電圧に適合します。
- (2) この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 4-17. 2.5-V I/O 規格

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO} (1)	出力電源電圧		2.375	2.625	V
V_{IH}	入力 High レベル電圧		1.7	4.0	V
V_{IL}	入力 Low レベル電圧		-0.3	0.7	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -1 \text{ mA}$ (2)	2.0		V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 1 \text{ mA}$ (2)		0.4	V

表 4-17 の注:

- (1) Arria GX デバイスの 2.5 V の V_{CCIO} 電圧レベルは 5% で、EIA/JEDEC 規格で定義されている通常の範囲よりも狭くなっています。
- (2) この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 4-18. 1.8-V I/O 規格

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO} (1)	出力電源電圧		1.71	1.89	V
V_{IH}	入力 High レベル電圧		$0.65 \times V_{CCIO}$	2.25	V
V_{IL}	入力 Low レベル電圧		-0.3	$0.35 \times V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -2 \text{ mA}$ (2)	$V_{CCIO} - 0.45$		V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 2 \text{ mA}$ (2)		0.45	V

表 4-18 の注:

- (1) Arria GX デバイスの 1.8 V の V_{CCIO} 電圧レベルは 5% で、EIA/JEDEC 規格で定義されている通常の範囲よりも狭くなっています。
- (2) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格で使用できるすべてのプログラム可能なドライブ能力設定すべてでサポートされています。

シンボル	パラメータ	条件	Min	Max	単位
$V_{CCIO(1)}$	出力電源電圧		1.425	1.575	V
V_{IH}	入力 High レベル電圧		$0.65 V_{CCIO}$	$V_{CCIO} + 0.3$	V
V_{IL}	入力 Low レベル電圧		-0.3	$0.35 V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -2 \text{ mA (2)}$	$0.75 V_{CCIO}$		V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 2 \text{ mA (2)}$		$0.25 V_{CCIO}$	V

表 4-19 の注:

- (1) Arria GX デバイスの 1.5 V の V_{CCIO} 電圧レベルは 5% で、EIA/JEDEC 規格で定義されている通常の範囲よりも狭くなっています。
- (2) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格で使用できるすべてのプログラム可能なドライブ能力設定すべてでサポートされています。

図 4-5 および 4-6 に、すべての差動 I/O 規格 (LVDS、LVPECL) のレシーバ入力およびトランスミッタ出力波形をそれぞれ示します。

図 4-5. 差動 I/O 規格のレシーバ入力波形

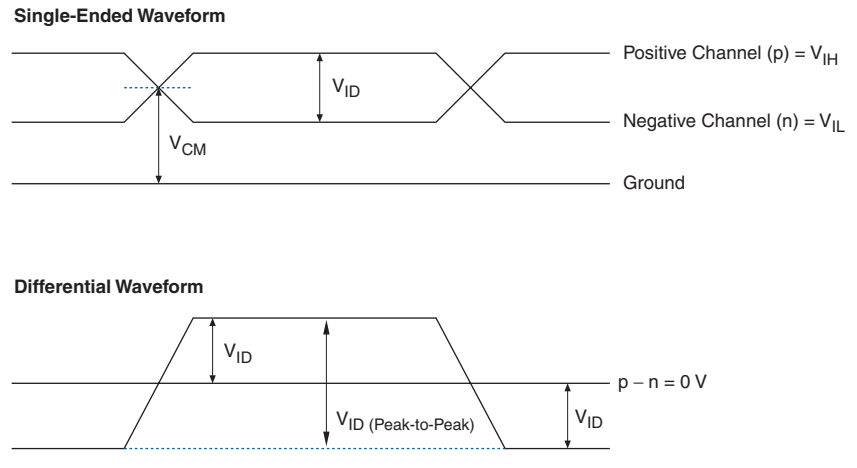


図 4-6. 差動 I/O 規格のトランスミッタ出力波形

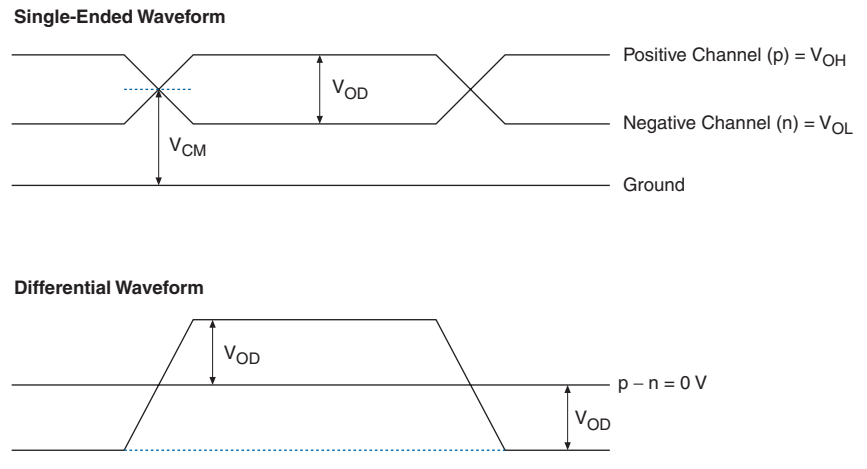


表 4-20. 2.5-V LVDS の I/O 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	レフトおよびライト I/O バンク (1、2、5、および 6) の I/O 電源電圧		2.375	2.5	2.625	V
V_{ID}	差動入力電圧振幅 (シングル・エンド)		100	350	900	mV
V_{ICM}	入力コモン・モード電圧		200	1,250	1,800	mV
V_{OD}	差動出力電圧 (シングル・エンド)	$R_L = 100\ \Omega$	250		450	mV
V_{OCM}	出力コモン・モード電圧	$R_L = 100\ \Omega$	1.125		1.375	V
R_L	レシーバ差動入力ディスクリット抵抗値 (Arria GX デバイスの外部)		90	100	110	Ω

表 4-21. 3.3-V LVDS の I/O 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
$V_{CCIO(1)}$	トップおよびボトム PLL バンク (9、10、11 および 12) の I/O 電源電圧		3.135	3.3	3.465	V
V_{ID}	差動入力電圧振幅 (シングル・エンド)		100	350	900	mV
V_{ICM}	入力コモン・モード電圧		200	1,250	1,800	mV
V_{OD}	差動出力電圧 (シングル・エンド)	$R_L = 100 \Omega$	250		710	mV
V_{OCM}	出力コモン・モード電圧	$R_L = 100 \Omega$	840		1,570	mV
R_L	レシーバ差動入力ディスクリット抵抗値 (Arria GX デバイスの外部)		90	100	110	Ω

表 4-21 の注:

- (1) I/O バンク 3、4、7、および 8 のトップおよびボトム・クロック入力差動バッファには、 V_{CCIO} ではなく V_{CCINT} が供給されます。PLL クロック出力 / フィードバック差動バッファには、 $V_{CC_PLL_OUT}$ が供給されます。差動クロック出力 / フィードバック動作では、 $V_{CC_PLL_OUT}$ は 3.3 V に接続します。

表 4-22. 3.3-V PCML 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	I/O 電源電圧		3.135	3.3	3.465	V
V_{ID}	差動入力電圧振幅 (シングル・エンド)		300		600	mV
V_{ICM}	入力コモン・モード電圧		1.5		3.465	V
V_{OD}	差動出力電圧 (シングル・エンド)		300	370	500	mV
ΔV_{OD}	V_{OD} の High と Low の変化量				50	mV
V_{OCM}	出力コモン・モード電圧		2.5	2.85	3.3	V
ΔV_{OCM}	V_{OCM} の High と Low の変化量				50	mV
V_T	出力終端電圧			V_{CCIO}		V
R_1	出力外部プルアップ抵抗		45	50	55	Ω
R_2	出力外部プルアップ抵抗		45	50	55	Ω

表 4-23. LVPECL 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
$V_{CCIO(1)}$	I/O 電源電圧		3.135	3.3	3.465	V
V_{ID}	差動入力電圧振幅 (シングル・エンド)		300	600	1,000	mV
V_{ICM}	入力コモン・モード電圧		1.0		2.5	V
V_{OD}	差動出力電圧 (シングル・エンド)	$R_L = 100 \Omega$	525		970	mV
V_{OCM}	出力コモン・モード電圧	$R_L = 100 \Omega$	1,650		2,250	mV
R_L	レシーバ差動入力抵抗値		90	100	110	Ω

表 4-23 の注:

- (1) I/O バンク 3、4、7、および 8 のトップおよびボトム・クロック入力差動バッファには、 V_{CCIO} ではなく V_{CCINT} が供給されます。PLL クロック出力 / フィードバック差動バッファには、 $V_{CC_PLL_OUT}$ が供給されます。差動クロック出力 / フィードバック動作では、 $V_{CC_PLL_OUT}$ は 3.3 V に接続します。

表 4-24. 3.3-V PCI 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		3.0	3.3	3.6	V
V_{IH}	入力 High レベル電圧		$0.5 V_{CCIO}$		$V_{CCIO} + 0.5$	V
V_{IL}	入力 Low レベル電圧		-0.3		$0.3 V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OUT} = -500 \mu A$	$0.9 V_{CCIO}$			V
V_{OL}	出力 Low レベル電圧	$I_{OUT} = 1,500 \mu A$			$0.1 V_{CCIO}$	V

表 4-25. PCI-X モード 1 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		3.0		3.6	V
V_{IH}	入力 High レベル電圧		$0.5 V_{CCIO}$		$V_{CCIO} + 0.5$	V
V_{IL}	入力 Low レベル電圧		-0.3		$0.35 V_{CCIO}$	V
V_{IPU}	入力ピンのプルアップ電圧		$0.7 V_{CCIO}$			V
V_{OH}	出力 High レベル電圧	$I_{OUT} = -500 \mu A$	$0.9 V_{CCIO}$			V
V_{OL}	出力 Low レベル電圧	$I_{OUT} = 1,500 \mu A$			$0.1 V_{CCIO}$	V

表 4-26. SSTL-18 Class I 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V_{REF}	リファレンス電圧		0.855	0.9	0.945	V
V_{TT}	終端電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
$V_{IH} (DC)$	入力 High レベル DC 電圧		$V_{REF} + 0.125$			V
$V_{IL} (DC)$	入力 Low レベル DC 電圧				$V_{REF} - 0.125$	V
$V_{IH} (AC)$	入力 High レベル AC 電圧		$V_{REF} + 0.25$			V
$V_{IL} (AC)$	入力 Low レベル AC 電圧				$V_{REF} - 0.25$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -6.7 \text{ mA} (1)$	$V_{TT} + 0.475$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 6.7 \text{ mA} (1)$			$V_{TT} - 0.475$	V

表 4-26 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 4-27. SSTL-18 Class II 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V_{REF}	リファレンス電圧		0.855	0.9	0.945	V
V_{TT}	終端電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
$V_{IH} (DC)$	入力 High レベル DC 電圧		$V_{REF} + 0.125$			V
$V_{IL} (DC)$	入力 Low レベル DC 電圧				$V_{REF} - 0.125$	V
$V_{IH} (AC)$	入力 High レベル AC 電圧		$V_{REF} + 0.25$			V
$V_{IL} (AC)$	入力 Low レベル AC 電圧				$V_{REF} - 0.25$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -13.4 \text{ mA} (1)$	$V_{CCIO} - 0.28$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 13.4 \text{ mA} (1)$			0.28	V

表 4-27 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 4-28. 差動 SSTL-18 Class I & II 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V_{SWING} (DC)	DC 差動入力電圧		0.25			V
V_X (AC)	AC 差動入力クロス・ポイント電圧		$(V_{CCIO}/2) - 0.175$		$(V_{CCIO}/2) + 0.175$	V
V_{SWING} (AC)	AC 差動入力電圧		0.5			V
V_{ISO}	入力クロック信号オフセット電圧			$0.5 V_{CCIO}$		V
ΔV_{ISO}	入力クロック信号オフセット電圧変動			200		mV
V_{OX} (AC)	AC 差動クロス・ポイント電圧		$(V_{CCIO}/2) - 0.125$		$(V_{CCIO}/2) + 0.125$	V

表 4-29. SSTL-2 Class I 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		2.375	2.5	2.625	V
V_{TT}	終端電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
V_{REF}	リファレンス電圧		1.188	1.25	1.313	V
V_{IH} (DC)	入力 High レベル DC 電圧		$V_{REF} + 0.18$		3.0	V
V_{IL} (DC)	入力 Low レベル DC 電圧		-0.3		$V_{REF} - 0.18$	V
V_{IH} (AC)	入力 High レベル AC 電圧		$V_{REF} + 0.35$			V
V_{IL} (AC)	入力 Low レベル AC 電圧				$V_{REF} - 0.35$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -8.1 \text{ mA (1)}$	$V_{TT} + 0.57$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 8.1 \text{ mA (1)}$			$V_{TT} - 0.57$	V

表 4-29 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		2.375	2.5	2.625	V
V_{TT}	終端電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
V_{REF}	リファレンス電圧		1.188	1.25	1.313	V
$V_{IH} (DC)$	入力 High レベル DC 電圧		$V_{REF} + 0.18$		$V_{CCIO} + 0.3$	V
$V_{IL} (DC)$	入力 Low レベル DC 電圧		-0.3		$V_{REF} - 0.18$	V
$V_{IH} (AC)$	入力 High レベル AC 電圧		$V_{REF} + 0.35$			V
$V_{IL} (AC)$	入力 Low レベル AC 電圧				$V_{REF} - 0.35$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -16.4 \text{ mA (1)}$	$V_{TT} + 0.76$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 16.4 \text{ mA (1)}$			$V_{TT} - 0.76$	V

表 4-30 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		2.375	2.5	2.625	V
$V_{SWING} (DC)$	DC 差動入力電圧		0.36			V
$V_X (AC)$	AC 差動入力クロス・ポイント電圧		$(V_{CCIO}/2) - 0.2$		$(V_{CCIO}/2) + 0.2$	V
$V_{SWING} (AC)$	AC 差動入力電圧		0.7			V
V_{ISO}	入力クロック信号オフセット電圧			$0.5 V_{CCIO}$		V
ΔV_{ISO}	入力クロック信号オフセット電圧変動			200		mV
$V_{OX} (AC)$	AC 差動出力クロス・ポイント電圧		$(V_{CCIO}/2) - 0.2$		$(V_{CCIO}/2) + 0.2$	V

表 4-31 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.14	1.2	1.26	V
V_{REF}	リファレンス電圧		$0.48 V_{CCIO}$	$0.5 V_{CCIO}$	$0.52 V_{CCIO}$	V
$V_{IH} (DC)$	入力 High レベル DC 電圧		$V_{REF} + 0.08$		$V_{CCIO} + 0.15$	V
$V_{IL} (DC)$	入力 Low レベル DC 電圧		-0.15		$V_{REF} - 0.08$	V
$V_{IH} (AC)$	入力 High レベル AC 電圧		$V_{REF} + 0.15$		$V_{CCIO} + 0.24$	V
$V_{IL} (AC)$	入力 Low レベル AC 電圧		-0.24		$V_{REF} - 0.15$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 8 \text{ mA}$	$V_{REF} + 0.15$		$V_{CCIO} + 0.15$	V
V_{OL}	出力 Low レベル電圧	$I_{OH} = -8 \text{ mA}$	-0.15		$V_{REF} - 0.15$	V

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.425	1.5	1.575	V
V_{REF}	入力リファレンス電圧		0.713	0.75	0.788	V
V_{TT}	終端電圧		0.713	0.75	0.788	V
$V_{IH} (DC)$	入力 High レベル電圧 (DC)		$V_{REF} + 0.1$			V
$V_{IL} (DC)$	入力 Low レベル電圧 (DC)		-0.3		$V_{REF} - 0.1$	V
$V_{IH} (AC)$	入力 High レベル電圧 (AC)		$V_{REF} + 0.2$			V
$V_{IL} (AC)$	入力 Low レベル電圧 (AC)				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 8 \text{ mA (1)}$	$V_{CCIO} - 0.4$			V
V_{OL}	出力 Low レベル電圧	$I_{OH} = -8 \text{ mA (1)}$			0.4	V

表 4-33 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.425	1.50	1.575	V
V_{REF}	入力リファレンス電圧		0.713	0.75	0.788	V
V_{TT}	終端電圧		0.713	0.75	0.788	V
$V_{IH} (DC)$	入力 High レベル電圧 (DC)		$V_{REF} + 0.1$			V

表 4-34. 1.5-V HSTL Class II 規格 (2 / 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{IL} (DC)	入力 Low レベル電圧 (DC)		-0.3		$V_{REF} - 0.1$	V
V_{IH} (AC)	入力 High レベル電圧 (AC)		$V_{REF} + 0.2$			V
V_{IL} (AC)	入力 Low レベル電圧 (AC)				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 16 \text{ mA}$ (1)	$V_{CCIO} - 0.4$			V
V_{OL}	出力 Low レベル電圧	$I_{OH} = -16 \text{ mA}$ (1)			0.4	V

表 4-34 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 4-35. 1.5-V 差動 HSTL Class I & II 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	I/O 電源電圧		1.425	1.5	1.575	V
V_{DIF} (DC)	DC 入力差動電圧		0.2			V
V_{CM} (DC)	DC コモン・モード入力電圧		0.68		0.9	V
V_{DIF} (AC)	AC 差動入力電圧		0.4			V
V_{OX} (AC)	AC 差動クロス・ポイント電圧		0.68		0.9	V

表 4-36. 1.8-V HSTL Class I 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.80	1.89	V
V_{REF}	入力リファレンス電圧		0.85	0.90	0.95	V
V_{TT}	終端電圧		0.85	0.90	0.95	V
V_{IH} (DC)	入力 High レベル電圧 (DC)		$V_{REF} + 0.1$			V
V_{IL} (DC)	入力 Low レベル電圧 (DC)		-0.3		$V_{REF} - 0.1$	V
V_{IH} (AC)	入力 High レベル電圧 (AC)		$V_{REF} + 0.2$			V
V_{IL} (AC)	入力 Low レベル電圧 (AC)				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 8 \text{ mA}$ (1)	$V_{CCIO} - 0.4$			V
V_{OL}	出力 Low レベル電圧	$I_{OH} = -8 \text{ mA}$ (1)			0.4	V

表 4-36 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 4-37. 1.8-V HSTL Class II 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	出力電源電圧		1.71	1.80	1.89	V
V_{REF}	入力ファレンス電圧		0.85	0.90	0.95	V
V_{TT}	終端電圧		0.85	0.90	0.95	V
$V_{IH}(DC)$	入力 High レベル電圧 (DC)		$V_{REF} + 0.1$			V
$V_{IL}(DC)$	入力 Low レベル電圧 (DC)		-0.3		$V_{REF} - 0.1$	V
$V_{IH}(AC)$	入力 High レベル電圧 (AC)		$V_{REF} + 0.2$			V
$V_{IL}(AC)$	入力 Low レベル電圧 (AC)				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 16 \text{ mA (1)}$	$V_{CCIO} - 0.4$			V
V_{OL}	出力 Low レベル電圧	$I_{OH} = -16 \text{ mA (1)}$			0.4	V

表 4-37 の注:

- (1) この仕様は、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章に記載のこの I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 4-38. 1.8 V 差動 HSTL Class I & II 規格

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	I/O 電源電圧		1.71	1.80	1.89	V
$V_{DIF}(DC)$	DC 入力差動電圧		0.2			V
$V_{CM}(DC)$	DC コモン・モード入力電圧		0.78		1.12	V
$V_{DIF}(AC)$	AC 差動入力電圧		0.4			V
$V_{OX}(AC)$	AC 差動クロス・ポイント電圧		0.68		0.9	V

バス・ホールド特性

表 4-39 に、Arria GX デバイス・ファミリのバス・ホールド特性を示します。

パラメータ	条件	V _{CCIO} レベル										単位
		1.2 V		1.5 V		1.8 V		2.5 V		3.3 V		
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Low 保持電流	$V_{IN} > V_{IL}$ (maximum)	22.5		25		30		50		70		μA
High 保持電流	$V_{IN} < V_{IH}$ (最小)	-22.5		-25		-30		-50		-70		μA
Low オーバー ドライブ電流	$0 V < V_{IN} < V_{CCIO}$		120		160		200		300		500	μA
High オーバー ドライブ電流	$0 V < V_{IN} < V_{CCIO}$		-120		-160		-200		-300		-500	μA
バス・ ホールドの トリップ・ ポイント		0.45	0.95	0.5	1.0	0.68	1.07	0.7	1.7	0.8	2.0	V

On-Chip Termination 仕様

表 4-40 および 4-41 に、直列または差動 On-Chip Termination を使用する
ときの内部終端抵抗の精度を示します。

シンボル	説明	条件	抵抗の精度		
			コマーシャル (Max)	インダスト リアル (Max)	単位
25-Ω R _S 3.3/2.5	キャリブレーションなし内部直列 終端 (25 Ω 設定時)	V _{CCIO} = 3.3/2.5 V	±30	±30	%
50-Ω R _S 3.3/2.5	キャリブレーションなし内部直列 終端 (50 Ω 設定時)	V _{CCIO} = 3.3/2.5 V	±30	±30	%

シンボル	説明	条件	抵抗の精度		
			コマーシャル (Max)	インダストリアル (Max)	単位
25- Ω R_S 1.8	キャリブレーションなし内部直列 終端 (25 Ω 設定時)	$V_{CCIO} = 1.8 V$	± 30	± 30	%
50- Ω R_S 1.8	キャリブレーションなし内部直列 終端 (50 Ω 設定時)	$V_{CCIO} = 1.8 V$	± 30	± 30	%
50- Ω R_S 1.5	キャリブレーションなし内部直列 終端 (50 Ω 設定時)	$V_{CCIO} = 1.5 V$	± 36	± 36	%
50- Ω R_S 1.2	キャリブレーションなし内部直列 終端 (50 Ω 設定時)	$V_{CCIO} = 1.2 V$	± 50	± 50	%

シンボル	説明	条件	抵抗の精度		
			コマーシャル (Max)	インダストリアル (Max)	単位
25- Ω R_S 3.3/2.5	キャリブレーションなし内部直列 終端 (25 Ω 設定時)	$V_{CCIO} = 3.3/2.5 V$	± 30	± 30	%
50- Ω R_S 3.3/2.5/1.8	キャリブレーションなし内部直列 終端 (50 Ω 設定時)	$V_{CCIO} = 3.3/2.5/1.8 V$	± 30	± 30	%
50- Ω R_S 1.5	キャリブレーションなし内部直列 終端 (50 Ω 設定時)	$V_{CCIO} = 1.5 V$	± 36	± 36	%
R_D	LVDS の内部差動終端 (100 Ω 設定)	$V_{CCIO} = 3.3 V$	± 20	± 25	%

ピン・キャパシタンス

表 4-42 に、Arria GX デバイス・ファミリのピン・キャパシタンスを示します。

シンボル	パラメータ	Typ	単位
C _{IOTB}	I/O バンク 3、4、7、および 8 の I/O ピンの入力キャパシタンス	5.0	pF
C _{IOL}	高速差動送受信ピンを含む I/O バンク 1 および 2 の I/O ピンの入力キャパシタンス	6.1	pF
C _{CLKTB}	トップ/ボトムクロック入力ピン (CLK[4..7] および CLK[12..15]) の入力キャパシタンス	6.0	pF
C _{CLKL}	左側クロック入力 (CLK0 および CLK2) の入力キャパシタンス	6.1	pF
C _{CLKL+}	左側クロック入力 (CLK1 および CLK3) の入力キャパシタンス	3.3	pF
C _{OUTFB}	PLL バンク 11 および 12 のクロック出力/フィードバック・ピンの入力キャパシタンス	6.7	pF

表 4-42 の注:

- (1) キャパシタンスはサンプル・テストのみです。キャパシタンスは TDR (Time-Domain-Reflections) を使用して測定されています。測定精度は ±0.5 pF です。

消費電力

アルテラは、デザインの消費電力を計算する方法として、Excel ベースの PowerPlay Early Power Estimator パワー・カリキュレータおよび Quartus II PowerPlay Power Analyzer 機能の 2 種類の方法を提供しています。

インタラクティブな Excel ベースの PowerPlay Early Power Estimator を使用して、FPGA の設計に入る前にデバイスの消費電力を見積もることができます。Quartus II PowerPlay Power Analyzer は、配置配線が完了した後にデザインの詳細情報を使用して、より高品質の見積りを提供します。Power Analyzer は、ユーザー入力情報、シミュレーション結果、および詳細な回路モデル上で推定されたシグナル・アクティビティの組み合わせを適用し、非常に正確な電力の見積りを行います。

いずれの場合にも、これらの計算結果は消費電力の見積りにのみ使用し、仕様（規格）としては使用しないでください。




PowerPlay ツールについて詳しくは、「PowerPlay Early Power Estimator (EPE) および消費電力解析」および「Quartus II ハンドブック Volume 3」の「PowerPlay による電力解析」の章を参照してください。

PowerPlay Early Power Estimator は、アルテラ・ウェブサイト (www.altera.co.jp) から入手できます。標準的な I_{CC} スタンバイ仕様については、4-20 ページの表 4-14 を参照してください。

I/O タイミング・モデル

DirectDrive テクノロジーおよび MultiTrack インタコネクタにより、どの集積度、どのスピード・グレードの Arria GX デバイスでも、性能の予測、正確なシミュレーション、および正確なタイミング解析が保証されています。ここでは、I/O の性能を説明し、規定します。

仕様値はすべてワースト・ケースの電源電圧条件およびジャンクション温度条件での代表値です。

 この項の表に記載されているタイミング値は、Quartus II ソフトウェア v7.1 から抽出したものです。

暫定的、相関済み、および最終的なタイミング

タイミング・モデルは、暫定的、相関済み、または最終的ないずれかです。タイミング・モデルが暫定的な場合、Quartus II ソフトウェアはデザインのコmpایل中に通知メッセージを表示します。表 4-43 に、Arria GX デバイスのタイミング・モデルの状態を表示します。

- ステータスが**暫定的**とは、タイミング・モデルが変更される場合があることを意味します。最初に、タイミングの数値はシミュレーション結果、プロセス・データ、およびその他の既知のパラメータによって作成されます。これらのテストを使用して、暫定的な数値を可能な限り実際のタイミング・パラメータに近づけます。
- **相関済み**の数値は、実際のデバイスの動作とテストに基づきます。これらの数値は、ワースト・ケースの電圧条件およびジャンクション温度条件における実際の性能を反映しています。
- **最終的**タイミングの数値は、実際のデバイスに対する相関に基づき、タイミング・モデルからの些細な偏差に対処します。タイミング・モデルが最終的な場合、Arria GX ファミリ・デバイスのすべてまたは大部分が完全に特性評価されており、タイミング・モデルへの変更はそれ以上行われないと考えられます。

表 4-43. Arria GX デバイスのタイミング・モデルのステータス

デバイス	暫定サポート	関連済み	最終的
EP1AGX20			√
EP1AGX35			√
EP1AGX50			√
EP1AGX60			√
EP1AGX90			√

I/O タイミングの測定手法

I/O 規格は、それぞれ異なるベースライン・ローディング手法でタイミング遅延を測定する必要があります。アルテラでは、各 I/O 規格に対して必要な終端と 0 pF (10 pF を使用する PCI および PCI-X を除く) の負荷でタイミング遅延の特性評価を行っており、FPGA デバイスの出力ピンまでのタイミングが規定されています。Quartus II ソフトウェアは、I/O 規格ごとに規定されるデフォルトのベースライン負荷により I/O タイミングを計算します。

デバイス特性評価の際には、以下の測定が行われます。アルテラは、表 4-44 に示すデフォルトの負荷条件でワースト・ケースのプロセス、最低電圧、および最高温度 (PVT) における clock-to-output 遅延 (t_{CO}) を測定します。

Arria GX デバイスのクロック・ピンから出力ピンのタイミングを計算するには、以下の式を使用します。

クロック・ピンから I/O ピンの t_{CO} = クロック・パッドから I/O 出力レジスタまでの遅延 + IOE 出力レジスタの clock-to-output 遅延 + 出力レジスタから出力ピンまでの遅延 + I/O 出力遅延

クロック・ピンから I/O ピンの t_{vz}/t_{zx} = クロック・パッドから I/O 出力レジスタまでの遅延 + IOE 出力レジスタの clock-to-output 遅延 + 出力レジスタから出力ピンまでの遅延 + I/O 出力遅延 + 出力イネーブル・ピン遅延

PCB トレースの遅延を決定するには、Quartus II ソフトウェアでレポートされた出力ピンの遅延タイミングおよびデバイス・ハンドブックのタイミング・モデルに加えて、IBIS モデルを使用したシミュレーションが必要です。

1. 表 4-44 の値を使用して、必要な出力ドライバを一般的なテスト条件でシミュレートします。
2. V_{MEAS} までの時間を記録します。
3. 付加を表す適切な IBIS モデルまたはキャパシタンス値を使用して、必要な出力ドライバを実際の PCB とレースと負荷でシミュレートします。
4. V_{MEAS} までの時間を記録します。
5. ステップ 2 と 4 の結果を比較します。遅延の増加または減少を I/O 規格の出力遅延に加算または減算して、PCB トレースの実際のワースト・ケース伝播遅延 (clock-to-output) を求める必要があります。

Quartus II ソフトウェアは、上記の式を使用して、表 4-44 に示す条件でタイミングをレポートします。図 4-7 に、Quartus II ソフトウェアの出力タイミングで表される回路のモデルを示します。

図 4-7. Quartus II でモデル化される出力遅延タイミングのレポート条件

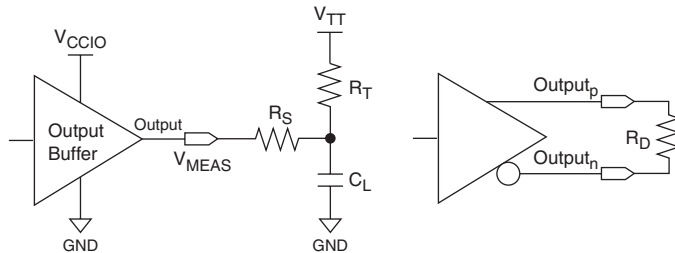


図 4-7 の注：

- (1) 出力ピンのタイミングは、FPGA デバイスの出力ピンでレポートされます。IBIS モデルのシミュレーションにより、負荷に対する追加遅延およびボード・トレースの遅延を考慮に入れる必要があります。
- (2) V_{CCPD} は、特に記述がない場合は 3.085 V です。
- (3) V_{CCINT} は、特に記述がない場合は 1.12 V です。

表 4-44. 出力ピンの出力タイミング測定方法 注(1)、(2)、(3)

I/O 規格	負荷および終端						測定ポイント V_{MEAS} (V)
	R_S (Ω)	R_D (Ω)	R_T (Ω)	V_{CCIO} (V)	V_{TT} (V)	C_L (pF)	
LVTTTL (4)				3.135		0	1.5675
LVCMOS (4)				3.135		0	1.5675
2.5 V (4)				2.375		0	1.1875
1.8 V (4)				1.710		0	0.855
1.5 V (4)				1.425		0	0.7125
PCI (5)				2.970		10	1.485
PCI-X (5)				2.970		10	1.485
SSTL-2 Class I	25		50	2.325	1.123	0	1.1625
SSTL-2 Class II	25		25	2.325	1.123	0	1.1625
SSTL-18 Class I	25		50	1.660	0.790	0	0.83
SSTL-18 Class II	25		25	1.660	0.790	0	0.83
1.8-V HSTL Class I			50	1.660	0.790	0	0.83
1.8-V HSTL Class II			25	1.660	0.790	0	0.83
1.5-V HSTL Class I			50	1.375	0.648	0	0.6875
1.5-V HSTL Class II			25	1.375	0.648	0	0.6875
OCT 付き 1.2-V HSTL				1.140		0	0.570
差動 SSTL-2 Class I	25		50	2.325	1.123	0	1.1625
差動 SSTL-2 Class II	25		25	2.325	1.123	0	1.1625
差動 SSTL-18 Class I	50		50	1.660	0.790	0	0.83
差動 SSTL-18 Class II	25		25	1.660	0.790	0	0.83
1.5-V 差動 HSTL Class I			50	1.375	0.648	0	0.6875
1.5-V 差動 HSTL Class II			25	1.375	0.648	0	0.6875
1.8-V 差動 HSTL Class I			50	1.660	0.790	0	0.83
1.8-V 差動 HSTL Class II			25	1.660	0.790	0	0.83
LVDS		100		2.325		0	1.1625
LVPECL		100		3.135		0	1.5675

表 4-44 の注:

- (1) 内部ノードの入力測定ポイントは $0.5 V_{CCINT}$ です。
- (2) バッファ出力の V_{MEAS} の出力測定ポイントは $0.5 V_{CCIO}$ です。
- (3) I/O バッファ前段からの入力ステイミユラスのエッジ・レートは、 0.2 ns (内部信号) 以内に 0 から V_{CC} です。
- (4) V_{CCIO} および V_{CCPD} のリップルが 50 mV 未満、 $V_{CCINT} = 1.15 \text{ V}$ でリップルが 30 mV 未満。
- (5) $V_{CCPD} = 2.97 \text{ V}$ 、 V_{CCIO} および V_{CCPD} のリップルが 50 mV 未満、 $V_{CCINT} = 1.15 \text{ V}$ 。

図 4-8 および 4-9 に、出力ディセーブルおよび出力イネーブル・タイミングに対する測定セットアップを示します。

図 4-8. t_{xz} に対する測定条件 注 (1)

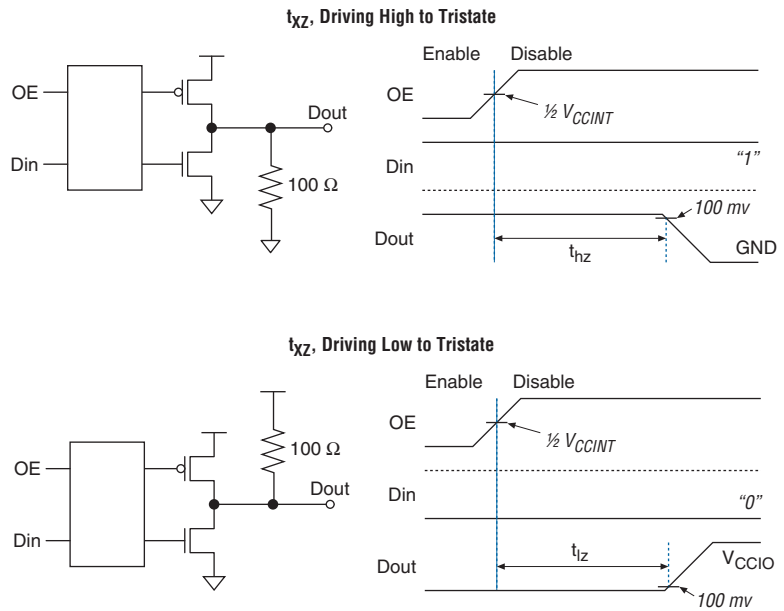


図 4-8 の注:

(1) この測定では、 V_{CCINT} は 1.12 V です。

図 4-9. t_{zx} に対する測定セットアップ

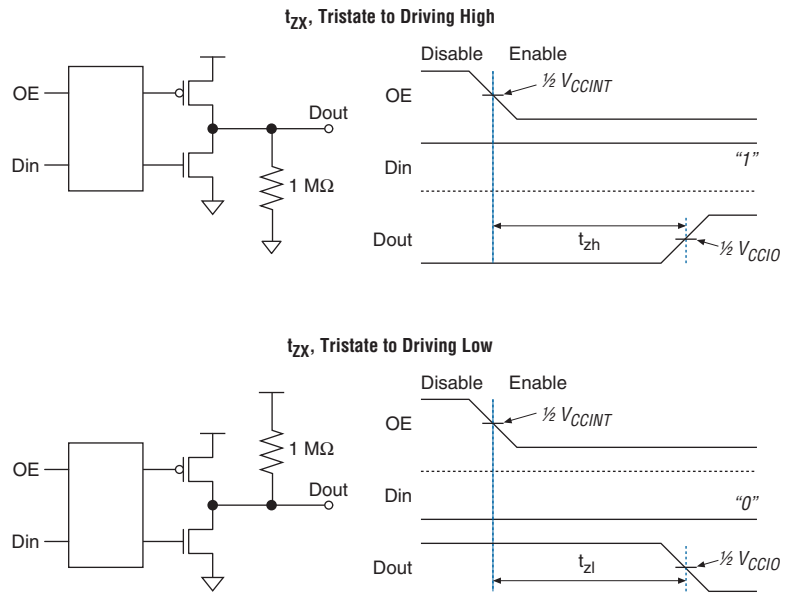


表 4-45 は、入力タイミングの測定セットアップを指定します。

I/O 規格	測定条件			測定ポイント
	V_{CCIO} (V)	V_{REF} (V)	Edge Rate (ns)	VMEAS (V)
LVTTTL (5)	3.135		3.135	1.5675
LVC MOS (5)	3.135		3.135	1.5675
2.5 V (5)	2.375		2.375	1.1875
1.8 V (5)	1.710		1.710	0.855
1.5 V (5)	1.425		1.425	0.7125
PCI (6)	2.970		2.970	1.485
PCI-X (6)	2.970		2.970	1.485
SSTL-2 Class I	2.325	1.163	2.325	1.1625
SSTL-2 Class II	2.325	1.163	2.325	1.1625
SSTL-18 Class I	1.660	0.830	1.660	0.83
SSTL-18 Class II	1.660	0.830	1.660	0.83

表 4-45. 入力ピンにおけるタイミング測定条件 注 (1)、(2)、(3)、(4) (2 / 2)				
I/O 規格	測定条件			測定ポイント
	V _{CCIO} (V)	V _{REF} (V)	Edge Rate (ns)	VMEAS (V)
1.8-V HSTL Class I	1.660	0.830	1.660	0.83
1.8-V HSTL Class II	1.660	0.830	1.660	0.83
1.5-V HSTL Class I	1.375	0.688	1.375	0.6875
1.5-V HSTL Class II	1.375	0.688	1.375	0.6875
OCT 付き 1.2-V HSTL	1.140	0.570	1.140	0.570
差動 SSTL-2 Class I	2.325	1.163	2.325	1.1625
差動 SSTL-2 Class II	2.325	1.163	2.325	1.1625
差動 SSTL-18 Class I	1.660	0.830	1.660	0.83
差動 SSTL-18 Class II	1.660	0.830	1.660	0.83
1.5-V 差動 HSTL Class I	1.375	0.688	1.375	0.6875
1.5-V 差動 HSTL Class II	1.375	0.688	1.375	0.6875
1.8-V 差動 HSTL Class I	1.660	0.830	1.660	0.83
1.8-V 差動 HSTL Class II	1.660	0.830	1.660	0.83
LVDS	2.325		0.100	1.1625
LVPECL	3.135		0.100	1.5675

表 4-45 の注:

- (1) 入力バッファから見てバッファ入力は無負荷状態です。
- (2) バッファ入力における入力測定ポイントは $0.5 V_{CCIO}$ です。
- (3) 出力測定ポイントは、内部ノードでの $0.5 V_{CC}$ です。
- (4) 入力エッジ・レートは $1 V/ns$ です。
- (5) V_{CCIO} および V_{CCPD} のリップルが $50 mV$ 未満、 $V_{CCINT} = 1.15 V$ でリップルが $30 mV$ 未満。
- (6) $V_{CCPD} = 2.97 V$ 、 V_{CCIO} および V_{CCPD} のリップルが $50 mV$ 未満、 $V_{CCINT} = 1.15 V$ 。

クロック・ネットワーク・スキュー・アダー

Quartus II ソフトウェアは、グローバルやリージョナル・クロックなどの専用クロック・ネットワーク内のスキューをモデル化しています。したがって、クロック・ネットワーク内スキュー・アダーは規定されていません。表 4-46 に、I/O エlement (IOE) 内のレジスタをドライブする任意の2つのクロック・ネットワーク間のクロック・スキューを規定します。

名称	説明	Min	Typ	Max	単位
クロック・スキュー・アダー EP1AGX20/35 (1)	クロック・ネットワーク間 (同じ側)			± 50	ps
	クロック・ネットワーク間 (チップ全体)			± 100	ps
クロック・スキュー・アダー EP1AGX50/60 (1)	クロック・ネットワーク間 (同じ側)			± 50	ps
	クロック・ネットワーク間 (チップ全体)			± 100	ps
クロック・スキュー・アダー EP1AGX90 (1)	クロック・ネットワーク間 (同じ側)			± 55	ps
	クロック・ネットワーク間 (チップ全体)			± 110	ps

表 4-46 の注:

- (1) これは、クロック・ネットワーク内スキューに追加する値です。クロック・ネットワーク内スキューは、Quartus II ソフトウェア内でモデル化されています。

I/O 規格ごとのデフォルトの容量性負荷

表 4-47 に、I/O 規格ごとのデフォルトの容量性負荷を示します。

I/O 規格	容量性負荷	単位
LVTTTL	0	pF
LVC MOS	0	pF
2.5 V	0	pF
1.8 V	0	pF
1.5 V	0	pF
PCI	10	pF
PCI-X	10	pF
SSTL-2 Class I	0	pF
SSTL-2 Class II	0	pF
SSTL-18 Class I	0	pF
SSTL-18 Class II	0	pF
1.5-V HSTL Class I	0	pF
1.5-V HSTL Class II	0	pF
1.8-V HSTL Class I	0	pF

表 4-47. Arria GX デバイスの I/O 規格ごとのデフォルトの容量性負荷 (2 / 2)

I/O 規格	容量性負荷	単位
1.8-V HSTL Class II	0	pF
差動 SSTL-2 Class I	0	pF
差動 SSTL-2 Class II	0	pF
差動 SSTL-18 Class I	0	pF
差動 SSTL-18 Class II	0	pF
1.5-V 差動 HSTL Class I	0	pF
1.5-V 差動 HSTL Class II	0	pF
1.8-V 差動 HSTL Class I	0	pF
1.8-V 差動 HSTL Class II	0	pF
LVDS	0	pF

典型的な デザイン性能

以下の項では、Arria GX デバイス・ファミリの典型的なデザイン性能について説明します。

ユーザー I/O ピンのタイミング

表 4-48 から 4-77 に、Arria GX デバイスのユーザー I/O ピンのタイミングを示します。I/O バッファ t_{SU} 、 t_H 、および t_{CO} は、I/O クロックが PLL 出力でないグローバル・クロック (GCLK) でドライブされる場合と、PLL 出力のグローバル・クロック (GCLK-PLL) でドライブされる場合について示します。リージョナル・クロックを使用する t_{SU} 、 t_H 、および t_{CO} の場合、各デバイスに対して示されたアダー表の値をデバイスの GCLK/GCLK-PLL 値に加算します。

EP1AGX20 の I/O タイミング・パラメータ

表 4-48 から 4-51 に、汎用 I/O ピンに使用する I/O 規格の EP1AGX20 デバイスの最大 I/O タイミング・パラメータを示します。

表 4-48 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるロウ・ピン追加遅延を示します。

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.117	0.117	0.273	ns
RCLK PLL 入力追加遅延	0.011	0.011	0.019	ns
RCLK 出力追加遅延	-0.117	-0.117	-0.273	ns
RCLK PLL 出力追加遅延	-0.011	-0.011	-0.019	ns

表 4-49 に、I/O タイミング仕様を説明します。

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
			インダストリアル	コマーシャル		
3.3-V LVTTL	GCLK	t_{SU}	1.251	1.251	2.915	ns
		t_H	-1.146	-1.146	-2.638	ns
	GCLK PLL	t_{SU}	2.693	2.693	6.021	ns
		t_H	-2.588	-2.588	-5.744	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.251	1.251	2.915	ns
		t_H	-1.146	-1.146	-2.638	ns
	GCLK PLL	t_{SU}	2.693	2.693	6.021	ns
		t_H	-2.588	-2.588	-5.744	ns
2.5 V	GCLK	t_{SU}	1.261	1.261	2.897	ns
		t_H	-1.156	-1.156	-2.620	ns
	GCLK PLL	t_{SU}	2.703	2.703	6.003	ns
		t_H	-2.598	-2.598	-5.726	ns

表 4-49. EP1AGX20 のカラム・ピンの入力タイミング・パラメータ (2 / 3)						
I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.8 V	GCLK	t_{SU}	1.327	1.327	3.107	ns
		t_H	-1.222	-1.222	-2.830	ns
	GCLK PLL	t_{SU}	2.769	2.769	6.213	ns
		t_H	-2.664	-2.664	-5.936	ns
1.5 V	GCLK	t_{SU}	1.330	1.330	3.200	ns
		t_H	-1.225	-1.225	-2.923	ns
	GCLK PLL	t_{SU}	2.772	2.772	6.306	ns
		t_H	-2.667	-2.667	-6.029	ns
SSTL-2 CLASS I	GCLK	t_{SU}	1.075	1.075	2.372	ns
		t_H	-0.970	-0.970	-2.095	ns
	GCLK PLL	t_{SU}	2.517	2.517	5.480	ns
		t_H	-2.412	-2.412	-5.203	ns
SSTL-2 CLASS II	GCLK	t_{SU}	1.075	1.075	2.372	ns
		t_H	-0.970	-0.970	-2.095	ns
	GCLK PLL	t_{SU}	2.517	2.517	5.480	ns
		t_H	-2.412	-2.412	-5.203	ns
SSTL-18 CLASS I	GCLK	t_{SU}	1.113	1.113	2.479	ns
		t_H	-1.008	-1.008	-2.202	ns
	GCLK PLL	t_{SU}	2.555	2.555	5.585	ns
		t_H	-2.450	-2.450	-5.308	ns
SSTL-18 CLASS II	GCLK	t_{SU}	1.114	1.114	2.479	ns
		t_H	-1.009	-1.009	-2.202	ns
	GCLK PLL	t_{SU}	2.556	2.556	5.587	ns
		t_H	-2.451	-2.451	-5.310	ns
1.8-V HSTL CLASS I	GCLK	t_{SU}	1.113	1.113	2.479	ns
		t_H	-1.008	-1.008	-2.202	ns
	GCLK PLL	t_{SU}	2.555	2.555	5.585	ns
		t_H	-2.450	-2.450	-5.308	ns

表 4-49. EP1AGX20 のカラム・ピンの入力タイミング・パラメータ (3 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.8-V HSTL CLASS II	GCLK	t_{SU}	1.114	1.114	2.479	ns
		t_H	-1.009	-1.009	-2.202	ns
	GCLK PLL	t_{SU}	2.556	2.556	5.587	ns
		t_H	-2.451	-2.451	-5.310	ns
1.5-V HSTL CLASS I	GCLK	t_{SU}	1.131	1.131	2.607	ns
		t_H	-1.026	-1.026	-2.330	ns
	GCLK PLL	t_{SU}	2.573	2.573	5.713	ns
		t_H	-2.468	-2.468	-5.436	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	1.132	1.132	2.607	ns
		t_H	-1.027	-1.027	-2.330	ns
	GCLK PLL	t_{SU}	2.574	2.574	5.715	ns
		t_H	-2.469	-2.469	-5.438	ns
3.3-V PCI	GCLK	t_{SU}	1.256	1.256	2.903	ns
		t_H	-1.151	-1.151	-2.626	ns
	GCLK PLL	t_{SU}	2.698	2.698	6.009	ns
		t_H	-2.593	-2.593	-5.732	ns
3.3-V PCI-X	GCLK	t_{SU}	1.256	1.256	2.903	ns
		t_H	-1.151	-1.151	-2.626	ns
	GCLK PLL	t_{SU}	2.698	2.698	6.009	ns
		t_H	-2.593	-2.593	-5.732	ns
LVDS	GCLK	t_{SU}	1.106	1.106	2.489	ns
		t_H	-1.001	-1.001	-2.212	ns
	GCLK PLL	t_{SU}	2.530	2.530	5.564	ns
		t_H	-2.425	-2.425	-5.287	ns

表 4-50 に、I/O タイミング仕様を説明します。

表 4-50. EP1AGX20 のロウ・ピンの出力タイミング・パラメータ (1 / 3)							
I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTL	4 mA	GCLK	t_{CO}	2.904	2.904	6.699	ns
		GCLK PLL	t_{CO}	1.485	1.485	3.627	ns
3.3-V LVTTL	8 mA	GCLK	t_{CO}	2.776	2.776	6.059	ns
		GCLK PLL	t_{CO}	1.357	1.357	2.987	ns
3.3-V LVTTL	12 mA	GCLK	t_{CO}	2.720	2.720	6.022	ns
		GCLK PLL	t_{CO}	1.301	1.301	2.950	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.776	2.776	6.059	ns
		GCLK PLL	t_{CO}	1.357	1.357	2.987	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.670	2.670	5.753	ns
		GCLK PLL	t_{CO}	1.251	1.251	2.681	ns
2.5 V	4 mA	GCLK	t_{CO}	2.759	2.759	6.033	ns
		GCLK PLL	t_{CO}	1.340	1.340	2.961	ns
2.5 V	8 mA	GCLK	t_{CO}	2.656	2.656	5.775	ns
		GCLK PLL	t_{CO}	1.237	1.237	2.703	ns
2.5 V	12 mA	GCLK	t_{CO}	2.637	2.637	5.661	ns
		GCLK PLL	t_{CO}	1.218	1.218	2.589	ns
1.8 V	2 mA	GCLK	t_{CO}	2.829	2.829	7.052	ns
		GCLK PLL	t_{CO}	1.410	1.410	3.980	ns
1.8 V	4 mA	GCLK	t_{CO}	2.818	2.818	6.273	ns
		GCLK PLL	t_{CO}	1.399	1.399	3.201	ns
1.8 V	6 mA	GCLK	t_{CO}	2.707	2.707	5.972	ns
		GCLK PLL	t_{CO}	1.288	1.288	2.900	ns
1.8 V	8 mA	GCLK	t_{CO}	2.676	2.676	5.858	ns
		GCLK PLL	t_{CO}	1.257	1.257	2.786	ns
1.5 V	2 mA	GCLK	t_{CO}	2.789	2.789	6.551	ns
		GCLK PLL	t_{CO}	1.370	1.370	3.479	ns
1.5 V	4 mA	GCLK	t_{CO}	2.682	2.682	5.950	ns
		GCLK PLL	t_{CO}	1.263	1.263	2.878	ns

表 4-50. EP1AGX20 のロウ・ピンの出力タイミング・パラメータ (2 / 3)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.626	2.626	5.614	ns
		GCLK PLL	t_{CO}	1.207	1.207	2.542	ns
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.602	2.602	5.538	ns
		GCLK PLL	t_{CO}	1.183	1.183	2.466	ns
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.568	2.568	5.407	ns
		GCLK PLL	t_{CO}	1.149	1.149	2.335	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.614	2.614	5.556	ns
		GCLK PLL	t_{CO}	1.195	1.195	2.484	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.618	2.618	5.485	ns
		GCLK PLL	t_{CO}	1.199	1.199	2.413	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.594	2.594	5.468	ns
		GCLK PLL	t_{CO}	1.175	1.175	2.396	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.597	2.597	5.447	ns
		GCLK PLL	t_{CO}	1.178	1.178	2.375	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.595	2.595	5.466	ns
		GCLK PLL	t_{CO}	1.176	1.176	2.394	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.598	2.598	5.430	ns
		GCLK PLL	t_{CO}	1.179	1.179	2.358	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.580	2.580	5.426	ns
		GCLK PLL	t_{CO}	1.161	1.161	2.354	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.584	2.584	5.415	ns
		GCLK PLL	t_{CO}	1.165	1.165	2.343	ns
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.575	2.575	5.414	ns
		GCLK PLL	t_{CO}	1.156	1.156	2.342	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.594	2.594	5.443	ns
		GCLK PLL	t_{CO}	1.175	1.175	2.371	ns
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.597	2.597	5.429	ns
		GCLK PLL	t_{CO}	1.178	1.178	2.357	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.582	2.582	5.421	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.349	ns

表 4-50. EP1AGX20 のロウ・ピンの出力タイミング・パラメータ (3 / 3)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
LVDS	-	GCLK	t_{CO}	2.654	2.654	5.613	ns
		GCLK PLL	t_{CO}	1.226	1.226	2.530	ns

表 4-51 に、I/O タイミング仕様を説明します。

表 4-51. EP1AGX20 のコラム・ピンの出力タイミング・パラメータ (1 / 5)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	4 mA	GCLK	t_{CO}	2.909	2.909	6.541	ns
		GCLK PLL	t_{CO}	1.467	1.467	3.435	ns
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	2.764	2.764	6.169	ns
		GCLK PLL	t_{CO}	1.322	1.322	3.063	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.697	2.697	6.169	ns
		GCLK PLL	t_{CO}	1.255	1.255	3.063	ns
3.3-V LVTTTL	16 mA	GCLK	t_{CO}	2.671	2.671	6.000	ns
		GCLK PLL	t_{CO}	1.229	1.229	2.894	ns
3.3-V LVTTTL	20 mA	GCLK	t_{CO}	2.649	2.649	5.875	ns
		GCLK PLL	t_{CO}	1.207	1.207	2.769	ns
3.3-V LVTTTL	24 mA	GCLK	t_{CO}	2.642	2.642	5.877	ns
		GCLK PLL	t_{CO}	1.200	1.200	2.771	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.764	2.764	6.169	ns
		GCLK PLL	t_{CO}	1.322	1.322	3.063	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.672	2.672	5.874	ns
		GCLK PLL	t_{CO}	1.230	1.230	2.768	ns
3.3-V LVCMOS	12 mA	GCLK	t_{CO}	2.644	2.644	5.796	ns
		GCLK PLL	t_{CO}	1.202	1.202	2.690	ns
3.3-V LVCMOS	16 mA	GCLK	t_{CO}	2.651	2.651	5.764	ns
		GCLK PLL	t_{CO}	1.209	1.209	2.658	ns

表 4-51. EP1AGX20 のカラム・ピンの出力タイミング・パラメータ (2 / 5)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVCMOS	20 mA	GCLK	t_{CO}	2.638	2.638	5.746	ns
		GCLK PLL	t_{CO}	1.196	1.196	2.640	ns
3.3-V LVCMOS	24 mA	GCLK	t_{CO}	2.627	2.627	5.724	ns
		GCLK PLL	t_{CO}	1.185	1.185	2.618	ns
2.5 V	4 mA	GCLK	t_{CO}	2.726	2.726	6.201	ns
		GCLK PLL	t_{CO}	1.284	1.284	3.095	ns
2.5 V	8 mA	GCLK	t_{CO}	2.674	2.674	5.939	ns
		GCLK PLL	t_{CO}	1.232	1.232	2.833	ns
2.5 V	12 mA	GCLK	t_{CO}	2.653	2.653	5.822	ns
		GCLK PLL	t_{CO}	1.211	1.211	2.716	ns
2.5 V	16 mA	GCLK	t_{CO}	2.635	2.635	5.748	ns
		GCLK PLL	t_{CO}	1.193	1.193	2.642	ns
1.8 V	2 mA	GCLK	t_{CO}	2.766	2.766	7.193	ns
		GCLK PLL	t_{CO}	1.324	1.324	4.087	ns
1.8 V	4 mA	GCLK	t_{CO}	2.771	2.771	6.419	ns
		GCLK PLL	t_{CO}	1.329	1.329	3.313	ns
1.8 V	6 mA	GCLK	t_{CO}	2.695	2.695	6.155	ns
		GCLK PLL	t_{CO}	1.253	1.253	3.049	ns
1.8 V	8 mA	GCLK	t_{CO}	2.697	2.697	6.064	ns
		GCLK PLL	t_{CO}	1.255	1.255	2.958	ns
1.8 V	10 mA	GCLK	t_{CO}	2.651	2.651	5.987	ns
		GCLK PLL	t_{CO}	1.209	1.209	2.881	ns
1.8 V	12 mA	GCLK	t_{CO}	2.652	2.652	5.930	ns
		GCLK PLL	t_{CO}	1.210	1.210	2.824	ns
1.5 V	2 mA	GCLK	t_{CO}	2.746	2.746	6.723	ns
		GCLK PLL	t_{CO}	1.304	1.304	3.617	ns
1.5 V	4 mA	GCLK	t_{CO}	2.682	2.682	6.154	ns
		GCLK PLL	t_{CO}	1.240	1.240	3.048	ns
1.5 V	6 mA	GCLK	t_{CO}	2.685	2.685	6.036	ns
		GCLK PLL	t_{CO}	1.243	1.243	2.930	ns

表 4-51. EP1AGX20 のカラム・ピンの出力タイミング・パラメータ (3 / 5)							
I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.5 V	8 mA	GCLK	t _{CO}	2.644	2.644	5.983	ns
		GCLK PLL	t _{CO}	1.202	1.202	2.877	ns
SSTL-2 CLASS I	8 mA	GCLK	t _{CO}	2.629	2.629	5.762	ns
		GCLK PLL	t _{CO}	1.184	1.184	2.650	ns
SSTL-2 CLASS I	12 mA	GCLK	t _{CO}	2.612	2.612	5.712	ns
		GCLK PLL	t _{CO}	1.167	1.167	2.600	ns
SSTL-2 CLASS II	16 mA	GCLK	t _{CO}	2.590	2.590	5.639	ns
		GCLK PLL	t _{CO}	1.145	1.145	2.527	ns
SSTL-2 CLASS II	20 mA	GCLK	t _{CO}	2.591	2.591	5.626	ns
		GCLK PLL	t _{CO}	1.146	1.146	2.514	ns
SSTL-2 CLASS II	24 mA	GCLK	t _{CO}	2.587	2.587	5.624	ns
		GCLK PLL	t _{CO}	1.142	1.142	2.512	ns
SSTL-18 CLASS I	4 mA	GCLK	t _{CO}	2.626	2.626	5.733	ns
		GCLK PLL	t _{CO}	1.184	1.184	2.627	ns
SSTL-18 CLASS I	6 mA	GCLK	t _{CO}	2.630	2.630	5.694	ns
		GCLK PLL	t _{CO}	1.185	1.185	2.582	ns
SSTL-18 CLASS I	8 mA	GCLK	t _{CO}	2.609	2.609	5.675	ns
		GCLK PLL	t _{CO}	1.164	1.164	2.563	ns
SSTL-18 CLASS I	10 mA	GCLK	t _{CO}	2.614	2.614	5.673	ns
		GCLK PLL	t _{CO}	1.169	1.169	2.561	ns
SSTL-18 CLASS I	12 mA	GCLK	t _{CO}	2.608	2.608	5.659	ns
		GCLK PLL	t _{CO}	1.163	1.163	2.547	ns
SSTL-18 CLASS II	8 mA	GCLK	t _{CO}	2.597	2.597	5.625	ns
		GCLK PLL	t _{CO}	1.152	1.152	2.513	ns
SSTL-18 CLASS II	16 mA	GCLK	t _{CO}	2.609	2.609	5.603	ns
		GCLK PLL	t _{CO}	1.164	1.164	2.491	ns
SSTL-18 CLASS II	18 mA	GCLK	t _{CO}	2.605	2.605	5.611	ns
		GCLK PLL	t _{CO}	1.160	1.160	2.499	ns
SSTL-18 CLASS II	20 mA	GCLK	t _{CO}	2.605	2.605	5.609	ns
		GCLK PLL	t _{CO}	1.160	1.160	2.497	ns

表 4-51. EP1AGX20 のカラム・ピンの出力タイミング・パラメータ (4 / 5)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.629	2.629	5.664	ns
		GCLK PLL	t_{CO}	1.187	1.187	2.558	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.634	2.634	5.649	ns
		GCLK PLL	t_{CO}	1.189	1.189	2.537	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.612	2.612	5.638	ns
		GCLK PLL	t_{CO}	1.167	1.167	2.526	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.616	2.616	5.644	ns
		GCLK PLL	t_{CO}	1.171	1.171	2.532	ns
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.608	2.608	5.637	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.525	ns
1.8-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.591	2.591	5.401	ns
		GCLK PLL	t_{CO}	1.146	1.146	2.289	ns
1.8-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.593	2.593	5.412	ns
		GCLK PLL	t_{CO}	1.148	1.148	2.300	ns
1.8-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.593	2.593	5.421	ns
		GCLK PLL	t_{CO}	1.148	1.148	2.309	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.629	2.629	5.663	ns
		GCLK PLL	t_{CO}	1.187	1.187	2.557	ns
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.633	2.633	5.641	ns
		GCLK PLL	t_{CO}	1.188	1.188	2.529	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.615	2.615	5.643	ns
		GCLK PLL	t_{CO}	1.170	1.170	2.531	ns
1.5-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.615	2.615	5.645	ns
		GCLK PLL	t_{CO}	1.170	1.170	2.533	ns
1.5-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.609	2.609	5.643	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.531	ns
1.5-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.596	2.596	5.455	ns
		GCLK PLL	t_{CO}	1.151	1.151	2.343	ns
1.5-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.599	2.599	5.465	ns
		GCLK PLL	t_{CO}	1.154	1.154	2.353	ns

表 4-51. EP1AGX20 のカラム・ピンの出力タイミング・パラメータ (5 / 5)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.5-V HSTL CLASS II	20 mA	GCLK	t _{co}	2.601	2.601	5.478	ns
		GCLK PLL	t _{co}	1.156	1.156	2.366	ns
3.3-V PCI	-	GCLK	t _{co}	2.755	2.755	5.791	ns
		GCLK PLL	t _{co}	1.313	1.313	2.685	ns
3.3-V PCI-X	-	GCLK	t _{co}	2.755	2.755	5.791	ns
		GCLK PLL	t _{co}	1.313	1.313	2.685	ns
LVDS	-	GCLK	t _{co}	3.621	3.621	6.969	ns
		GCLK PLL	t _{co}	2.190	2.190	3.880	ns

表 4-52 から 4-53 に、GCLK の値に加算する必要がある EP1AGX20 リージョナル・クロック (RCLK) の追加遅延を示します。これらの追加の値は、リージョナル・クロックを使用して I/O ピンをドライブする際の I/O タイミングの決定に使用します。これは、汎用 I/O ピンを持つ Arria GX でサポートされるすべての I/O 規格に適用されます。

表 4-52 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるロウ・ピン追加遅延を示します。

表 4-52. リージョナル・クロックの EP1AGX20 ロウ・ピン追加遅延

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.117	0.117	0.273	ns
RCLK PLL 入力追加遅延	0.011	0.011	0.019	ns
RCLK 出力追加遅延	-0.117	-0.117	-0.273	ns
RCLK PLL 出力追加遅延	-0.011	-0.011	-0.019	ns

表 4-53 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるカラム・ピン追加遅延を示します。

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.081	0.081	0.223	ns
RCLK PLL 入力追加遅延	-0.012	-0.012	-0.008	ns
RCLK 出力追加遅延	-0.081	-0.081	-0.224	ns
RCLK PLL 出力追加遅延	1.11	1.11	2.658	ns

EP1AGX35 の I/O タイミング・パラメータ

表 4-54 から 4-57 に、汎用 I/O ピンに使用する I/O 規格の EP1AGX35 デバイスの最大 I/O タイミング・パラメータを示します。

表 4-54 に、I/O タイミング仕様を説明します。

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
			インダストリアル	コマーシャル		
3.3-V LVTTL	GCLK	t_{SU}	1.561	1.561	3.556	ns
		t_H	-1.456	-1.456	-3.279	ns
	GCLK PLL	t_{SU}	2.980	2.980	6.628	ns
		t_H	-2.875	-2.875	-6.351	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.561	1.561	3.556	ns
		t_H	-1.456	-1.456	-3.279	ns
	GCLK PLL	t_{SU}	2.980	2.980	6.628	ns
		t_H	-2.875	-2.875	-6.351	ns

表 4-54. EP1AGX35 のロウ・ピンの入力タイミング・パラメータ (2 / 3)

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
2.5 V	GCLK	t_{SU}	1.573	1.573	3.537	ns
		t_H	-1.468	-1.468	-3.260	ns
	GCLK PLL	t_{SU}	2.992	2.992	6.609	ns
		t_H	-2.887	-2.887	-6.332	ns
1.8 V	GCLK	t_{SU}	1.639	1.639	3.744	ns
		t_H	-1.534	-1.534	-3.467	ns
	GCLK PLL	t_{SU}	3.058	3.058	6.816	ns
		t_H	-2.953	-2.953	-6.539	ns
1.5 V	GCLK	t_{SU}	1.642	1.642	3.839	ns
		t_H	-1.537	-1.537	-3.562	ns
	GCLK PLL	t_{SU}	3.061	3.061	6.911	ns
		t_H	-2.956	-2.956	-6.634	ns
SSTL-2 CLASS I	GCLK	t_{SU}	1.385	1.385	3.009	ns
		t_H	-1.280	-1.280	-2.732	ns
	GCLK PLL	t_{SU}	2.804	2.804	6.081	ns
		t_H	-2.699	-2.699	-5.804	ns
SSTL-2 CLASS II	GCLK	t_{SU}	1.385	1.385	3.009	ns
		t_H	-1.280	-1.280	-2.732	ns
	GCLK PLL	t_{SU}	2.804	2.804	6.081	ns
		t_H	-2.699	-2.699	-5.804	ns
SSTL-18 CLASS I	GCLK	t_{SU}	1.417	1.417	3.118	ns
		t_H	-1.312	-1.312	-2.841	ns
	GCLK PLL	t_{SU}	2.836	2.836	6.190	ns
		t_H	-2.731	-2.731	-5.913	ns
SSTL-18 CLASS II	GCLK	t_{SU}	1.417	1.417	3.118	ns
		t_H	-1.312	-1.312	-2.841	ns
	GCLK PLL	t_{SU}	2.836	2.836	6.190	ns
		t_H	-2.731	-2.731	-5.913	ns

表 4-54. EP1AGX35 のロウ・ピンの入力タイミング・パラメータ (3 / 3)

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.8-V HSTL CLASS I	GCLK	t_{SU}	1.417	1.417	3.118	ns
		t_H	-1.312	-1.312	-2.841	ns
	GCLK PLL	t_{SU}	2.836	2.836	6.190	ns
		t_H	-2.731	-2.731	-5.913	ns
1.8-V HSTL CLASS II	GCLK	t_{SU}	1.417	1.417	3.118	ns
		t_H	-1.312	-1.312	-2.841	ns
	GCLK PLL	t_{SU}	2.836	2.836	6.190	ns
		t_H	-2.731	-2.731	-5.913	ns
1.5-V HSTL CLASS I	GCLK	t_{SU}	1.443	1.443	3.246	ns
		t_H	-1.338	-1.338	-2.969	ns
	GCLK PLL	t_{SU}	2.862	2.862	6.318	ns
		t_H	-2.757	-2.757	-6.041	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	1.443	1.443	3.246	ns
		t_H	-1.338	-1.338	-2.969	ns
	GCLK PLL	t_{SU}	2.862	2.862	6.318	ns
		t_H	-2.757	-2.757	-6.041	ns
LVDS	GCLK	t_{SU}	1.341	1.341	3.088	ns
		t_H	-1.236	-1.236	-2.811	ns
	GCLK PLL	t_{SU}	2.769	2.769	6.171	ns
		t_H	-2.664	-2.664	-5.894	ns

表 4-55 に、I/O タイミング仕様を説明します。

表 4-55. EP1AGX35 のカラム・ピンの入カタイミグ・パラメータ (1 / 3)						
I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
3.3-V LVTTL	GCLK	t_{SU}	1.251	1.251	2.915	ns
		t_H	-1.146	-1.146	-2.638	ns
	GCLK PLL	t_{SU}	2.693	2.693	6.021	ns
		t_H	-2.588	-2.588	-5.744	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.251	1.251	2.915	ns
		t_H	-1.146	-1.146	-2.638	ns
	GCLK PLL	t_{SU}	2.693	2.693	6.021	ns
		t_H	-2.588	-2.588	-5.744	ns
2.5 V	GCLK	t_{SU}	1.261	1.261	2.897	ns
		t_H	-1.156	-1.156	-2.620	ns
	GCLK PLL	t_{SU}	2.703	2.703	6.003	ns
		t_H	-2.598	-2.598	-5.726	ns
1.8 V	GCLK	t_{SU}	1.327	1.327	3.107	ns
		t_H	-1.222	-1.222	-2.830	ns
	GCLK PLL	t_{SU}	2.769	2.769	6.213	ns
		t_H	-2.664	-2.664	-5.936	ns
1.5 V	GCLK	t_{SU}	1.330	1.330	3.200	ns
		t_H	-1.225	-1.225	-2.923	ns
	GCLK PLL	t_{SU}	2.772	2.772	6.306	ns
		t_H	-2.667	-2.667	-6.029	ns
SSTL-2 CLASS I	GCLK	t_{SU}	1.075	1.075	2.372	ns
		t_H	-0.970	-0.970	-2.095	ns
	GCLK PLL	t_{SU}	2.517	2.517	5.480	ns
		t_H	-2.412	-2.412	-5.203	ns
SSTL-2 CLASS II	GCLK	t_{SU}	1.075	1.075	2.372	ns
		t_H	-0.970	-0.970	-2.095	ns
	GCLK PLL	t_{SU}	2.517	2.517	5.480	ns
		t_H	-2.412	-2.412	-5.203	ns

表 4-55. EP1AGX35 のカラム・ピンの入力タイミング・パラメータ (2 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダストリアル	コマーシャル		
SSTL-18 CLASS I	GCLK	t_{SU}	1.113	1.113	2.479	ns
		t_H	-1.008	-1.008	-2.202	ns
	GCLK PLL	t_{SU}	2.555	2.555	5.585	ns
		t_H	-2.450	-2.450	-5.308	ns
SSTL-18 CLASS II	GCLK	t_{SU}	1.114	1.114	2.479	ns
		t_H	-1.009	-1.009	-2.202	ns
	GCLK PLL	t_{SU}	2.556	2.556	5.587	ns
		t_H	-2.451	-2.451	-5.310	ns
1.8-V HSTL CLASS I	GCLK	t_{SU}	1.113	1.113	2.479	ns
		t_H	-1.008	-1.008	-2.202	ns
	GCLK PLL	t_{SU}	2.555	2.555	5.585	ns
		t_H	-2.450	-2.450	-5.308	ns
1.8-V HSTL CLASS II	GCLK	t_{SU}	1.114	1.114	2.479	ns
		t_H	-1.009	-1.009	-2.202	ns
	GCLK PLL	t_{SU}	2.556	2.556	5.587	ns
		t_H	-2.451	-2.451	-5.310	ns
1.5-V HSTL CLASS I	GCLK	t_{SU}	1.131	1.131	2.607	ns
		t_H	-1.026	-1.026	-2.330	ns
	GCLK PLL	t_{SU}	2.573	2.573	5.713	ns
		t_H	-2.468	-2.468	-5.436	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	1.132	1.132	2.607	ns
		t_H	-1.027	-1.027	-2.330	ns
	GCLK PLL	t_{SU}	2.574	2.574	5.715	ns
		t_H	-2.469	-2.469	-5.438	ns
3.3-V PCI	GCLK	t_{SU}	1.256	1.256	2.903	ns
		t_H	-1.151	-1.151	-2.626	ns
	GCLK PLL	t_{SU}	2.698	2.698	6.009	ns
		t_H	-2.593	-2.593	-5.732	ns

表 4-55. EP1AGX35 のカラム・ピンの入力タイミング・パラメータ (3 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
3.3-V PCI-X	GCLK	t_{SU}	1.256	1.256	2.903	ns
		t_H	-1.151	-1.151	-2.626	ns
	GCLK PLL	t_{SU}	2.698	2.698	6.009	ns
		t_H	-2.593	-2.593	-5.732	ns
LVDS	GCLK	t_{SU}	1.106	1.106	2.489	ns
		t_H	-1.001	-1.001	-2.212	ns
	GCLK PLL	t_{SU}	2.530	2.530	5.564	ns
		t_H	-2.425	-2.425	-5.287	ns

表 4-56 に、I/O タイミング仕様を説明します。

表 4-56. EP1AGX35 のロウ・ピンの出力タイミング・パラメータ (1 / 4)

I/O 規格	ドライブ 能力	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
				インダスト リアル	コマーシャル		
3.3-V LVTTTL	4 mA	GCLK	t_{CO}	2.904	2.904	6.699	ns
		GCLK PLL	t_{CO}	1.485	1.485	3.627	ns
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	2.776	2.776	6.059	ns
		GCLK PLL	t_{CO}	1.357	1.357	2.987	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.720	2.720	6.022	ns
		GCLK PLL	t_{CO}	1.301	1.301	2.950	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.776	2.776	6.059	ns
		GCLK PLL	t_{CO}	1.357	1.357	2.987	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.670	2.670	5.753	ns
		GCLK PLL	t_{CO}	1.251	1.251	2.681	ns

表 4-56. EP1AGX35 のロウ・ピンの出力タイミング・パラメータ (2 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
2.5 V	4 mA	GCLK	t_{CO}	2.759	2.759	6.033	ns
		GCLK PLL	t_{CO}	1.340	1.340	2.961	ns
2.5 V	8 mA	GCLK	t_{CO}	2.656	2.656	5.775	ns
		GCLK PLL	t_{CO}	1.237	1.237	2.703	ns
2.5 V	12 mA	GCLK	t_{CO}	2.637	2.637	5.661	ns
		GCLK PLL	t_{CO}	1.218	1.218	2.589	ns
1.8 V	2 mA	GCLK	t_{CO}	2.829	2.829	7.052	ns
		GCLK PLL	t_{CO}	1.410	1.410	3.980	ns
1.8 V	4 mA	GCLK	t_{CO}	2.818	2.818	6.273	ns
		GCLK PLL	t_{CO}	1.399	1.399	3.201	ns
1.8 V	6 mA	GCLK	t_{CO}	2.707	2.707	5.972	ns
		GCLK PLL	t_{CO}	1.288	1.288	2.900	ns
1.8 V	8 mA	GCLK	t_{CO}	2.676	2.676	5.858	ns
		GCLK PLL	t_{CO}	1.257	1.257	2.786	ns
1.5 V	2 mA	GCLK	t_{CO}	2.789	2.789	6.551	ns
		GCLK PLL	t_{CO}	1.370	1.370	3.479	ns
1.5 V	4 mA	GCLK	t_{CO}	2.682	2.682	5.950	ns
		GCLK PLL	t_{CO}	1.263	1.263	2.878	ns
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.626	2.626	5.614	ns
		GCLK PLL	t_{CO}	1.207	1.207	2.542	ns
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.602	2.602	5.538	ns
		GCLK PLL	t_{CO}	1.183	1.183	2.466	ns

表 4-56. EP1AGX35 のロウ・ピンの出力タイミング・パラメータ (3 / 4)							
I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.568	2.568	5.407	ns
		GCLK PLL	t_{CO}	1.149	1.149	2.335	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.614	2.614	5.556	ns
		GCLK PLL	t_{CO}	1.195	1.195	2.484	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.618	2.618	5.485	ns
		GCLK PLL	t_{CO}	1.199	1.199	2.413	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.594	2.594	5.468	ns
		GCLK PLL	t_{CO}	1.175	1.175	2.396	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.597	2.597	5.447	ns
		GCLK PLL	t_{CO}	1.178	1.178	2.375	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.595	2.595	5.466	ns
		GCLK PLL	t_{CO}	1.176	1.176	2.394	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.598	2.598	5.430	ns
		GCLK PLL	t_{CO}	1.179	1.179	2.358	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.580	2.580	5.426	ns
		GCLK PLL	t_{CO}	1.161	1.161	2.354	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.584	2.584	5.415	ns
		GCLK PLL	t_{CO}	1.165	1.165	2.343	ns
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.575	2.575	5.414	ns
		GCLK PLL	t_{CO}	1.156	1.156	2.342	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.594	2.594	5.443	ns
		GCLK PLL	t_{CO}	1.175	1.175	2.371	ns

表 4-56. EP1AGX35 のロウ・ピンの出力タイミング・パラメータ (4 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.597	2.597	5.429	ns
		GCLK PLL	t_{CO}	1.178	1.178	2.357	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.582	2.582	5.421	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.349	ns
LVDS	-	GCLK	t_{CO}	2.654	2.654	5.613	ns
		GCLK PLL	t_{CO}	1.226	1.226	2.530	ns

表 4-57 に、I/O タイミング仕様を説明します。

表 4-57. EP1AGX35 のカラム・ピンの出力タイミング・パラメータ (1 / 6)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	4 mA	GCLK	t_{CO}	2.909	2.909	6.541	ns
		GCLK PLL	t_{CO}	1.467	1.467	3.435	ns
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	2.764	2.764	6.169	ns
		GCLK PLL	t_{CO}	1.322	1.322	3.063	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.697	2.697	6.169	ns
		GCLK PLL	t_{CO}	1.255	1.255	3.063	ns
3.3-V LVTTTL	16 mA	GCLK	t_{CO}	2.671	2.671	6.000	ns
		GCLK PLL	t_{CO}	1.229	1.229	2.894	ns
3.3-V LVTTTL	20 mA	GCLK	t_{CO}	2.649	2.649	5.875	ns
		GCLK PLL	t_{CO}	1.207	1.207	2.769	ns

表 4-57. EP1AGX35 のカラム・ピンの出力タイミング・パラメータ (2 / 6)							
I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	24 mA	GCLK	t_{CO}	2.642	2.642	5.877	ns
		GCLK PLL	t_{CO}	1.200	1.200	2.771	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.764	2.764	6.169	ns
		GCLK PLL	t_{CO}	1.322	1.322	3.063	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.672	2.672	5.874	ns
		GCLK PLL	t_{CO}	1.230	1.230	2.768	ns
3.3-V LVCMOS	12 mA	GCLK	t_{CO}	2.644	2.644	5.796	ns
		GCLK PLL	t_{CO}	1.202	1.202	2.690	ns
3.3-V LVCMOS	16 mA	GCLK	t_{CO}	2.651	2.651	5.764	ns
		GCLK PLL	t_{CO}	1.209	1.209	2.658	ns
3.3-V LVCMOS	20 mA	GCLK	t_{CO}	2.638	2.638	5.746	ns
		GCLK PLL	t_{CO}	1.196	1.196	2.640	ns
3.3-V LVCMOS	24 mA	GCLK	t_{CO}	2.627	2.627	5.724	ns
		GCLK PLL	t_{CO}	1.185	1.185	2.618	ns
2.5 V	4 mA	GCLK	t_{CO}	2.726	2.726	6.201	ns
		GCLK PLL	t_{CO}	1.284	1.284	3.095	ns
2.5 V	8 mA	GCLK	t_{CO}	2.674	2.674	5.939	ns
		GCLK PLL	t_{CO}	1.232	1.232	2.833	ns
2.5 V	12 mA	GCLK	t_{CO}	2.653	2.653	5.822	ns
		GCLK PLL	t_{CO}	1.211	1.211	2.716	ns
2.5 V	16 mA	GCLK	t_{CO}	2.635	2.635	5.748	ns
		GCLK PLL	t_{CO}	1.193	1.193	2.642	ns

表 4-57. EP1AGX35 のカラム・ピンの出力タイミング・パラメータ (3 / 6)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.8 V	2 mA	GCLK	t_{CO}	2.766	2.766	7.193	ns
		GCLK PLL	t_{CO}	1.324	1.324	4.087	ns
1.8 V	4 mA	GCLK	t_{CO}	2.771	2.771	6.419	ns
		GCLK PLL	t_{CO}	1.329	1.329	3.313	ns
1.8 V	6 mA	GCLK	t_{CO}	2.695	2.695	6.155	ns
		GCLK PLL	t_{CO}	1.253	1.253	3.049	ns
1.8 V	8 mA	GCLK	t_{CO}	2.697	2.697	6.064	ns
		GCLK PLL	t_{CO}	1.255	1.255	2.958	ns
1.8 V	10 mA	GCLK	t_{CO}	2.651	2.651	5.987	ns
		GCLK PLL	t_{CO}	1.209	1.209	2.881	ns
1.8 V	12 mA	GCLK	t_{CO}	2.652	2.652	5.930	ns
		GCLK PLL	t_{CO}	1.210	1.210	2.824	ns
1.5 V	2 mA	GCLK	t_{CO}	2.746	2.746	6.723	ns
		GCLK PLL	t_{CO}	1.304	1.304	3.617	ns
1.5 V	4 mA	GCLK	t_{CO}	2.682	2.682	6.154	ns
		GCLK PLL	t_{CO}	1.240	1.240	3.048	ns
1.5 V	6 mA	GCLK	t_{CO}	2.685	2.685	6.036	ns
		GCLK PLL	t_{CO}	1.243	1.243	2.930	ns
1.5 V	8 mA	GCLK	t_{CO}	2.644	2.644	5.983	ns
		GCLK PLL	t_{CO}	1.202	1.202	2.877	ns
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.629	2.629	5.762	ns
		GCLK PLL	t_{CO}	1.184	1.184	2.650	ns

表 4-57. EP1AGX35 のカラム・ピンの出力タイミング・パラメータ (4 / 6)							
I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.612	2.612	5.712	ns
		GCLK PLL	t_{CO}	1.167	1.167	2.600	ns
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.590	2.590	5.639	ns
		GCLK PLL	t_{CO}	1.145	1.145	2.527	ns
SSTL-2 CLASS II	20 mA	GCLK	t_{CO}	2.591	2.591	5.626	ns
		GCLK PLL	t_{CO}	1.146	1.146	2.514	ns
SSTL-2 CLASS II	24 mA	GCLK	t_{CO}	2.587	2.587	5.624	ns
		GCLK PLL	t_{CO}	1.142	1.142	2.512	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.626	2.626	5.733	ns
		GCLK PLL	t_{CO}	1.184	1.184	2.627	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.630	2.630	5.694	ns
		GCLK PLL	t_{CO}	1.185	1.185	2.582	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.609	2.609	5.675	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.563	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.614	2.614	5.673	ns
		GCLK PLL	t_{CO}	1.169	1.169	2.561	ns
SSTL-18 CLASS I	12 mA	GCLK	t_{CO}	2.608	2.608	5.659	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.547	ns
SSTL-18 CLASS II	8 mA	GCLK	t_{CO}	2.597	2.597	5.625	ns
		GCLK PLL	t_{CO}	1.152	1.152	2.513	ns
SSTL-18 CLASS II	16 mA	GCLK	t_{CO}	2.609	2.609	5.603	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.491	ns

表 4-57. EP1AGX35 のカラム・ピンの出力タイミング・パラメータ (5 / 6)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-18 CLASS II	18 mA	GCLK	t_{CO}	2.605	2.605	5.611	ns
		GCLK PLL	t_{CO}	1.160	1.160	2.499	ns
SSTL-18 CLASS II	20 mA	GCLK	t_{CO}	2.605	2.605	5.609	ns
		GCLK PLL	t_{CO}	1.160	1.160	2.497	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.629	2.629	5.664	ns
		GCLK PLL	t_{CO}	1.187	1.187	2.558	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.634	2.634	5.649	ns
		GCLK PLL	t_{CO}	1.189	1.189	2.537	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.612	2.612	5.638	ns
		GCLK PLL	t_{CO}	1.167	1.167	2.526	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.616	2.616	5.644	ns
		GCLK PLL	t_{CO}	1.171	1.171	2.532	ns
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.608	2.608	5.637	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.525	ns
1.8-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.591	2.591	5.401	ns
		GCLK PLL	t_{CO}	1.146	1.146	2.289	ns
1.8-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.593	2.593	5.412	ns
		GCLK PLL	t_{CO}	1.148	1.148	2.300	ns
1.8-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.593	2.593	5.421	ns
		GCLK PLL	t_{CO}	1.148	1.148	2.309	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.629	2.629	5.663	ns
		GCLK PLL	t_{CO}	1.187	1.187	2.557	ns

表 4-57. EP1AGX35 のカラム・ピンの出力タイミング・パラメータ (6 / 6)							
I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.633	2.633	5.641	ns
		GCLK PLL	t_{CO}	1.188	1.188	2.529	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.615	2.615	5.643	ns
		GCLK PLL	t_{CO}	1.170	1.170	2.531	ns
1.5-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.615	2.615	5.645	ns
		GCLK PLL	t_{CO}	1.170	1.170	2.533	ns
1.5-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.609	2.609	5.643	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.531	ns
1.5-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.596	2.596	5.455	ns
		GCLK PLL	t_{CO}	1.151	1.151	2.343	ns
1.5-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.599	2.599	5.465	ns
		GCLK PLL	t_{CO}	1.154	1.154	2.353	ns
1.5-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.601	2.601	5.478	ns
		GCLK PLL	t_{CO}	1.156	1.156	2.366	ns
3.3-V PCI	-	GCLK	t_{CO}	2.755	2.755	5.791	ns
		GCLK PLL	t_{CO}	1.313	1.313	2.685	ns
3.3-V PCI-X	-	GCLK	t_{CO}	2.755	2.755	5.791	ns
		GCLK PLL	t_{CO}	1.313	1.313	2.685	ns
LVDS	-	GCLK	t_{CO}	3.621	3.621	6.969	ns
		GCLK PLL	t_{CO}	2.190	2.190	3.880	ns

表 4-58 から 4-59 に、GCLK の値に加算する必要がある EP1AGX35 リージョナル・クロック (RCLK) の追加遅延を示します。これらの追加の値は、リージョナル・クロックを使用して I/O ピンをドライブする際の I/O タイミングの決定に使用します。これは、汎用 I/O ピンを持つ Arria GX でサポートされるすべての I/O 規格に適用されます。

表 4-58 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるロウ・ピン追加遅延を示します。

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.126	0.126	0.281	ns
RCLK PLL 入力追加遅延	0.011	0.011	0.018	ns
RCLK 出力追加遅延	-0.126	-0.126	-0.281	ns
RCLK PLL 出力追加遅延	-0.011	-0.011	-0.018	ns

表 4-59 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるカラム・ピン追加遅延を示します。

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.099	0.099	0.254	ns
RCLK PLL 入力追加遅延	-0.012	-0.012	-0.01	ns
RCLK 出力追加遅延	-0.086	-0.086	-0.244	ns
RCLK PLL 出力追加遅延	1.253	1.253	3.133	ns

EP1AGX50 の I/O タイミング・パラメータ

表 4-60 から 4-63 に、汎用 I/O ピンに使用する I/O 規格の EP1AGX50 デバイスの最大 I/O タイミング・パラメータを示します。

表 4-60 に、I/O タイミング仕様を説明します。

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
3.3-V LVTTL	GCLK	t_{SU}	1.550	1.550	3.542	ns
		t_H	-1.445	-1.445	-3.265	ns
	GCLK PLL	t_{SU}	2.978	2.978	6.626	ns
		t_H	-2.873	-2.873	-6.349	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.550	1.550	3.542	ns
		t_H	-1.445	-1.445	-3.265	ns
	GCLK PLL	t_{SU}	2.978	2.978	6.626	ns
		t_H	-2.873	-2.873	-6.349	ns
2.5 V	GCLK	t_{SU}	1.562	1.562	3.523	ns
		t_H	-1.457	-1.457	-3.246	ns
	GCLK PLL	t_{SU}	2.990	2.990	6.607	ns
		t_H	-2.885	-2.885	-6.330	ns
1.8 V	GCLK	t_{SU}	1.628	1.628	3.730	ns
		t_H	-1.523	-1.523	-3.453	ns
	GCLK PLL	t_{SU}	3.056	3.056	6.814	ns
		t_H	-2.951	-2.951	-6.537	ns
1.5 V	GCLK	t_{SU}	1.631	1.631	3.825	ns
		t_H	-1.526	-1.526	-3.548	ns
	GCLK PLL	t_{SU}	3.059	3.059	6.909	ns
		t_H	-2.954	-2.954	-6.632	ns
SSTL-2 CLASS I	GCLK	t_{SU}	1.375	1.375	2.997	ns
		t_H	-1.270	-1.270	-2.720	ns
	GCLK PLL	t_{SU}	2.802	2.802	6.079	ns
		t_H	-2.697	-2.697	-5.802	ns

表 4-60. EP1AGX50 のロウ・ピンの入力タイミング・パラメータ (2 / 3)

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
			インダストリアル	コマーシャル		
SSTL-2 CLASS II	GCLK	t_{SU}	1.375	1.375	2.997	ns
		t_H	-1.270	-1.270	-2.720	ns
	GCLK PLL	t_{SU}	2.802	2.802	6.079	ns
		t_H	-2.697	-2.697	-5.802	ns
SSTL-18 CLASS I	GCLK	t_{SU}	1.406	1.406	3.104	ns
		t_H	-1.301	-1.301	-2.827	ns
	GCLK PLL	t_{SU}	2.834	2.834	6.188	ns
		t_H	-2.729	-2.729	-5.911	ns
SSTL-18 CLASS II	GCLK	t_{SU}	1.407	1.407	3.106	ns
		t_H	-1.302	-1.302	-2.829	ns
	GCLK PLL	t_{SU}	2.834	2.834	6.188	ns
		t_H	-2.729	-2.729	-5.911	ns
1.8-V HSTL CLASS I	GCLK	t_{SU}	1.406	1.406	3.104	ns
		t_H	-1.301	-1.301	-2.827	ns
	GCLK PLL	t_{SU}	2.834	2.834	6.188	ns
		t_H	-2.729	-2.729	-5.911	ns
1.8-V HSTL CLASS II	GCLK	t_{SU}	1.407	1.407	3.106	ns
		t_H	-1.302	-1.302	-2.829	ns
	GCLK PLL	t_{SU}	2.834	2.834	6.188	ns
		t_H	-2.729	-2.729	-5.911	ns
1.5-V HSTL CLASS I	GCLK	t_{SU}	1.432	1.432	3.232	ns
		t_H	-1.327	-1.327	-2.955	ns
	GCLK PLL	t_{SU}	2.860	2.860	6.316	ns
		t_H	-2.755	-2.755	-6.039	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	1.433	1.433	3.234	ns
		t_H	-1.328	-1.328	-2.957	ns
	GCLK PLL	t_{SU}	2.860	2.860	6.316	ns
		t_H	-2.755	-2.755	-6.039	ns

表 4-60. EP1AGX50 のロウ・ピンの入力タイミング・パラメータ (3 / 3)

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
LVDS	GCLK	t_{SU}	1.341	1.341	3.088	ns
		t_H	-1.236	-1.236	-2.811	ns
	GCLK PLL	t_{SU}	2.769	2.769	6.171	ns
		t_H	-2.664	-2.664	-5.894	ns

表 4-61 に、I/O タイミング仕様を説明します。

表 4-61. EP1AGX50 のカラム・ピンの入力タイミング・パラメータ (1 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
3.3-V LVTTL	GCLK	t_{SU}	1.242	1.242	2.902	ns
		t_H	-1.137	-1.137	-2.625	ns
	GCLK PLL	t_{SU}	2.684	2.684	6.009	ns
		t_H	-2.579	-2.579	-5.732	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.242	1.242	2.902	ns
		t_H	-1.137	-1.137	-2.625	ns
	GCLK PLL	t_{SU}	2.684	2.684	6.009	ns
		t_H	-2.579	-2.579	-5.732	ns
2.5 V	GCLK	t_{SU}	1.252	1.252	2.884	ns
		t_H	-1.147	-1.147	-2.607	ns
	GCLK PLL	t_{SU}	2.694	2.694	5.991	ns
		t_H	-2.589	-2.589	-5.714	ns
1.8 V	GCLK	t_{SU}	1.318	1.318	3.094	ns
		t_H	-1.213	-1.213	-2.817	ns
	GCLK PLL	t_{SU}	2.760	2.760	6.201	ns
		t_H	-2.655	-2.655	-5.924	ns

表 4-61. EP1AGX50 のカラム・ピンの入力タイミング・パラメータ (2 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.5 V	GCLK	t_{SU}	1.321	1.321	3.187	ns
		t_H	-1.216	-1.216	-2.910	ns
	GCLK PLL	t_{SU}	2.763	2.763	6.294	ns
		t_H	-2.658	-2.658	-6.017	ns
SSTL-2 CLASS I	GCLK	t_{SU}	1.034	1.034	2.314	ns
		t_H	-0.929	-0.929	-2.037	ns
	GCLK PLL	t_{SU}	2.500	2.500	5.457	ns
		t_H	-2.395	-2.395	-5.180	ns
SSTL-2 CLASS II	GCLK	t_{SU}	1.034	1.034	2.314	ns
		t_H	-0.929	-0.929	-2.037	ns
	GCLK PLL	t_{SU}	2.500	2.500	5.457	ns
		t_H	-2.395	-2.395	-5.180	ns
SSTL-18 CLASS I	GCLK	t_{SU}	1.104	1.104	2.466	ns
		t_H	-0.999	-0.999	-2.189	ns
	GCLK PLL	t_{SU}	2.546	2.546	5.573	ns
		t_H	-2.441	-2.441	-5.296	ns
SSTL-18 CLASS II	GCLK	t_{SU}	1.074	1.074	2.424	ns
		t_H	-0.969	-0.969	-2.147	ns
	GCLK PLL	t_{SU}	2.539	2.539	5.564	ns
		t_H	-2.434	-2.434	-5.287	ns
1.8-V HSTL CLASS I	GCLK	t_{SU}	1.104	1.104	2.466	ns
		t_H	-0.999	-0.999	-2.189	ns
	GCLK PLL	t_{SU}	2.546	2.546	5.573	ns
		t_H	-2.441	-2.441	-5.296	ns
1.8-V HSTL CLASS II	GCLK	t_{SU}	1.074	1.074	2.424	ns
		t_H	-0.969	-0.969	-2.147	ns
	GCLK PLL	t_{SU}	2.539	2.539	5.564	ns
		t_H	-2.434	-2.434	-5.287	ns

表 4-61. EP1AGX50 のカラム・ピンの入力タイミング・パラメータ (3 / 3)						
I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.5-V HSTL CLASS I	GCLK	t_{SU}	1.122	1.122	2.594	ns
		t_H	-1.017	-1.017	-2.317	ns
	GCLK PLL	t_{SU}	2.564	2.564	5.701	ns
		t_H	-2.459	-2.459	-5.424	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	1.094	1.094	2.557	ns
		t_H	-0.989	-0.989	-2.280	ns
	GCLK PLL	t_{SU}	2.557	2.557	5.692	ns
		t_H	-2.452	-2.452	-5.415	ns
3.3-V PCI	GCLK	t_{SU}	1.247	1.247	2.890	ns
		t_H	-1.142	-1.142	-2.613	ns
	GCLK PLL	t_{SU}	2.689	2.689	5.997	ns
		t_H	-2.584	-2.584	-5.720	ns
3.3-V PCI-X	GCLK	t_{SU}	1.247	1.247	2.890	ns
		t_H	-1.142	-1.142	-2.613	ns
	GCLK PLL	t_{SU}	2.689	2.689	5.997	ns
		t_H	-2.584	-2.584	-5.720	ns
LVDS	GCLK	t_{SU}	1.106	1.106	2.489	ns
		t_H	-1.001	-1.001	-2.212	ns
	GCLK PLL	t_{SU}	2.530	2.530	5.564	ns
		t_H	-2.425	-2.425	-5.287	ns

表 4-62 に、I/O タイミング仕様を説明します。

表 4-62. EP1AGX50 のロウ・ピンの出力タイミング・パラメータ (1 / 3)							
I/O 規格	ドライブ 能力	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
				インダスト リアル	コマーシャル		
3.3-V LVTTTL	4 mA	GCLK	t_{CO}	2.915	2.915	6.713	ns
		GCLK PLL	t_{CO}	1.487	1.487	3.629	ns

表 4-62. EP1AGX50 のロウ・ピンの出力タイミング・パラメータ (2 / 3)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	2.787	2.787	6.073	ns
		GCLK PLL	t_{CO}	1.359	1.359	2.989	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.731	2.731	6.036	ns
		GCLK PLL	t_{CO}	1.303	1.303	2.952	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.787	2.787	6.073	ns
		GCLK PLL	t_{CO}	1.359	1.359	2.989	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.681	2.681	5.767	ns
		GCLK PLL	t_{CO}	1.253	1.253	2.683	ns
2.5 V	4 mA	GCLK	t_{CO}	2.770	2.770	6.047	ns
		GCLK PLL	t_{CO}	1.342	1.342	2.963	ns
2.5 V	8 mA	GCLK	t_{CO}	2.667	2.667	5.789	ns
		GCLK PLL	t_{CO}	1.239	1.239	2.705	ns
2.5 V	12 mA	GCLK	t_{CO}	2.648	2.648	5.675	ns
		GCLK PLL	t_{CO}	1.220	1.220	2.591	ns
1.8 V	2 mA	GCLK	t_{CO}	2.840	2.840	7.066	ns
		GCLK PLL	t_{CO}	1.412	1.412	3.982	ns
1.8 V	4 mA	GCLK	t_{CO}	2.829	2.829	6.287	ns
		GCLK PLL	t_{CO}	1.401	1.401	3.203	ns
1.8 V	6 mA	GCLK	t_{CO}	2.718	2.718	5.986	ns
		GCLK PLL	t_{CO}	1.290	1.290	2.902	ns
1.8 V	8 mA	GCLK	t_{CO}	2.687	2.687	5.872	ns
		GCLK PLL	t_{CO}	1.259	1.259	2.788	ns
1.5 V	2 mA	GCLK	t_{CO}	2.800	2.800	6.565	ns
		GCLK PLL	t_{CO}	1.372	1.372	3.481	ns
1.5 V	4 mA	GCLK	t_{CO}	2.693	2.693	5.964	ns
		GCLK PLL	t_{CO}	1.265	1.265	2.880	ns
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.636	2.636	5.626	ns
		GCLK PLL	t_{CO}	1.209	1.209	2.544	ns
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.612	2.612	5.550	ns
		GCLK PLL	t_{CO}	1.185	1.185	2.468	ns

表 4-62. EP1AGX50 のロウ・ピンの出力タイミング・パラメータ (3 / 3)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.578	2.578	5.419	ns
		GCLK PLL	t_{CO}	1.151	1.151	2.337	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.625	2.625	5.570	ns
		GCLK PLL	t_{CO}	1.197	1.197	2.486	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.628	2.628	5.497	ns
		GCLK PLL	t_{CO}	1.201	1.201	2.415	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.604	2.604	5.480	ns
		GCLK PLL	t_{CO}	1.177	1.177	2.398	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.607	2.607	5.459	ns
		GCLK PLL	t_{CO}	1.180	1.180	2.377	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.606	2.606	5.480	ns
		GCLK PLL	t_{CO}	1.178	1.178	2.396	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.608	2.608	5.442	ns
		GCLK PLL	t_{CO}	1.181	1.181	2.360	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.590	2.590	5.438	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.356	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.594	2.594	5.427	ns
		GCLK PLL	t_{CO}	1.167	1.167	2.345	ns
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.585	2.585	5.426	ns
		GCLK PLL	t_{CO}	1.158	1.158	2.344	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.605	2.605	5.457	ns
		GCLK PLL	t_{CO}	1.177	1.177	2.373	ns
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.607	2.607	5.441	ns
		GCLK PLL	t_{CO}	1.180	1.180	2.359	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.592	2.592	5.433	ns
		GCLK PLL	t_{CO}	1.165	1.165	2.351	ns
LVDS	-	GCLK	t_{CO}	2.654	2.654	5.613	ns
		GCLK PLL	t_{CO}	1.226	1.226	2.530	ns

表 4-63 に、I/O タイミング仕様を説明します。

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	4 mA	GCLK	t_{CO}	2.948	2.948	6.608	ns
		GCLK PLL	t_{CO}	1.476	1.476	3.447	ns
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	2.797	2.797	6.203	ns
		GCLK PLL	t_{CO}	1.331	1.331	3.075	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.722	2.722	6.204	ns
		GCLK PLL	t_{CO}	1.264	1.264	3.075	ns
3.3-V LVTTTL	16 mA	GCLK	t_{CO}	2.694	2.694	6.024	ns
		GCLK PLL	t_{CO}	1.238	1.238	2.906	ns
3.3-V LVTTTL	20 mA	GCLK	t_{CO}	2.670	2.670	5.896	ns
		GCLK PLL	t_{CO}	1.216	1.216	2.781	ns
3.3-V LVTTTL	24 mA	GCLK	t_{CO}	2.660	2.660	5.895	ns
		GCLK PLL	t_{CO}	1.209	1.209	2.783	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.797	2.797	6.203	ns
		GCLK PLL	t_{CO}	1.331	1.331	3.075	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.695	2.695	5.893	ns
		GCLK PLL	t_{CO}	1.239	1.239	2.780	ns
3.3-V LVCMOS	12 mA	GCLK	t_{CO}	2.663	2.663	5.809	ns
		GCLK PLL	t_{CO}	1.211	1.211	2.702	ns
3.3-V LVCMOS	16 mA	GCLK	t_{CO}	2.666	2.666	5.776	ns
		GCLK PLL	t_{CO}	1.218	1.218	2.670	ns
3.3-V LVCMOS	20 mA	GCLK	t_{CO}	2.651	2.651	5.758	ns
		GCLK PLL	t_{CO}	1.205	1.205	2.652	ns
3.3-V LVCMOS	24 mA	GCLK	t_{CO}	2.638	2.638	5.736	ns
		GCLK PLL	t_{CO}	1.194	1.194	2.630	ns
2.5 V	4 mA	GCLK	t_{CO}	2.754	2.754	6.240	ns
		GCLK PLL	t_{CO}	1.293	1.293	3.107	ns
2.5 V	8 mA	GCLK	t_{CO}	2.697	2.697	5.963	ns
		GCLK PLL	t_{CO}	1.241	1.241	2.845	ns

表 4-63. EP1AGX50 のカラム・ピンの出力タイミング・パラメータ (2 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
2.5 V	12 mA	GCLK	t_{CO}	2.672	2.672	5.837	ns
		GCLK PLL	t_{CO}	1.220	1.220	2.728	ns
2.5 V	16 mA	GCLK	t_{CO}	2.654	2.654	5.760	ns
		GCLK PLL	t_{CO}	1.202	1.202	2.654	ns
1.8 V	2 mA	GCLK	t_{CO}	2.804	2.804	7.295	ns
		GCLK PLL	t_{CO}	1.333	1.333	4.099	ns
1.8 V	4 mA	GCLK	t_{CO}	2.808	2.808	6.479	ns
		GCLK PLL	t_{CO}	1.338	1.338	3.325	ns
1.8 V	6 mA	GCLK	t_{CO}	2.717	2.717	6.195	ns
		GCLK PLL	t_{CO}	1.262	1.262	3.061	ns
1.8 V	8 mA	GCLK	t_{CO}	2.719	2.719	6.098	ns
		GCLK PLL	t_{CO}	1.264	1.264	2.970	ns
1.8 V	10 mA	GCLK	t_{CO}	2.671	2.671	6.012	ns
		GCLK PLL	t_{CO}	1.218	1.218	2.893	ns
1.8 V	12 mA	GCLK	t_{CO}	2.671	2.671	5.953	ns
		GCLK PLL	t_{CO}	1.219	1.219	2.836	ns
1.5 V	2 mA	GCLK	t_{CO}	2.779	2.779	6.815	ns
		GCLK PLL	t_{CO}	1.313	1.313	3.629	ns
1.5 V	4 mA	GCLK	t_{CO}	2.703	2.703	6.210	ns
		GCLK PLL	t_{CO}	1.249	1.249	3.060	ns
1.5 V	6 mA	GCLK	t_{CO}	2.705	2.705	6.118	ns
		GCLK PLL	t_{CO}	1.252	1.252	2.942	ns
1.5 V	8 mA	GCLK	t_{CO}	2.660	2.660	6.014	ns
		GCLK PLL	t_{CO}	1.211	1.211	2.889	ns
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.648	2.648	5.777	ns
		GCLK PLL	t_{CO}	1.202	1.202	2.675	ns
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.628	2.628	5.722	ns
		GCLK PLL	t_{CO}	1.185	1.185	2.625	ns
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.606	2.606	5.649	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.552	ns

表 4-63. EP1AGX50 のカラム・ピンの出力タイミング・パラメータ (3 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS II	20 mA	GCLK	t_{CO}	2.606	2.606	5.636	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.539	ns
SSTL-2 CLASS II	24 mA	GCLK	t_{CO}	2.601	2.601	5.634	ns
		GCLK PLL	t_{CO}	1.160	1.160	2.537	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.643	2.643	5.749	ns
		GCLK PLL	t_{CO}	1.193	1.193	2.639	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.649	2.649	5.708	ns
		GCLK PLL	t_{CO}	1.203	1.203	2.607	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.626	2.626	5.686	ns
		GCLK PLL	t_{CO}	1.182	1.182	2.588	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.630	2.630	5.685	ns
		GCLK PLL	t_{CO}	1.187	1.187	2.586	ns
SSTL-18 CLASS I	12 mA	GCLK	t_{CO}	2.625	2.625	5.669	ns
		GCLK PLL	t_{CO}	1.181	1.181	2.572	ns
SSTL-18 CLASS II	8 mA	GCLK	t_{CO}	2.614	2.614	5.635	ns
		GCLK PLL	t_{CO}	1.170	1.170	2.538	ns
SSTL-18 CLASS II	16 mA	GCLK	t_{CO}	2.623	2.623	5.613	ns
		GCLK PLL	t_{CO}	1.182	1.182	2.516	ns
SSTL-18 CLASS II	18 mA	GCLK	t_{CO}	2.616	2.616	5.621	ns
		GCLK PLL	t_{CO}	1.178	1.178	2.524	ns
SSTL-18 CLASS II	20 mA	GCLK	t_{CO}	2.616	2.616	5.619	ns
		GCLK PLL	t_{CO}	1.178	1.178	2.522	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.637	2.637	5.676	ns
		GCLK PLL	t_{CO}	1.196	1.196	2.570	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.645	2.645	5.659	ns
		GCLK PLL	t_{CO}	1.207	1.207	2.562	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.623	2.623	5.648	ns
		GCLK PLL	t_{CO}	1.185	1.185	2.551	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.627	2.627	5.654	ns
		GCLK PLL	t_{CO}	1.189	1.189	2.557	ns

表 4-63. EP1AGX50 のカラム・ピンの出力タイミング・パラメータ (4 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.619	2.619	5.647	ns
		GCLK PLL	t_{CO}	1.181	1.181	2.550	ns
1.8-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.602	2.602	5.574	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.314	ns
1.8-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.604	2.604	5.578	ns
		GCLK PLL	t_{CO}	1.166	1.166	2.325	ns
1.8-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.604	2.604	5.577	ns
		GCLK PLL	t_{CO}	1.166	1.166	2.334	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.637	2.637	5.675	ns
		GCLK PLL	t_{CO}	1.196	1.196	2.569	ns
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.644	2.644	5.651	ns
		GCLK PLL	t_{CO}	1.206	1.206	2.554	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.626	2.626	5.653	ns
		GCLK PLL	t_{CO}	1.188	1.188	2.556	ns
1.5-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.626	2.626	5.655	ns
		GCLK PLL	t_{CO}	1.188	1.188	2.558	ns
1.5-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.620	2.620	5.653	ns
		GCLK PLL	t_{CO}	1.182	1.182	2.556	ns
1.5-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.607	2.607	5.573	ns
		GCLK PLL	t_{CO}	1.169	1.169	2.368	ns
1.5-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.610	2.610	5.571	ns
		GCLK PLL	t_{CO}	1.172	1.172	2.378	ns
1.5-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.612	2.612	5.581	ns
		GCLK PLL	t_{CO}	1.174	1.174	2.391	ns
3.3-V PCI	-	GCLK	t_{CO}	2.786	2.786	5.803	ns
		GCLK PLL	t_{CO}	1.322	1.322	2.697	ns
3.3-V PCI-X	-	GCLK	t_{CO}	2.786	2.786	5.803	ns
		GCLK PLL	t_{CO}	1.322	1.322	2.697	ns
LVDS	-	GCLK	t_{CO}	3.621	3.621	6.969	ns
		GCLK PLL	t_{CO}	2.190	2.190	3.880	ns

表 4-64 から 4-65 に、GCLK の値に加算する必要がある EP1AGX50 リージョナル・クロック (RCLK) の追加遅延を示します。これらの追加の値は、リージョナル・クロックを使用して I/O ピンをドライブする際の I/O タイミングの決定に使用します。これは、汎用 I/O ピンを持つ Arria GX でサポートされるすべての I/O 規格に適用されます。

表 4-64 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるロウ・ピン追加遅延を示します。

表 4-64. リージョナル・クロックの EP1AGX50 ロウ・ピン追加遅延

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.151	0.151	0.329	ns
RCLK PLL 入力追加遅延	0.011	0.011	0.016	ns
RCLK 出力追加遅延	-0.151	-0.151	-0.329	ns
RCLK PLL 出力追加遅延	-0.011	-0.011	-0.016	ns

表 4-65 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるカラム・ピン追加遅延を示します。

表 4-65. リージョナル・クロックの EP1AGX50 カラム・ピン追加遅延

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.146	0.146	0.334	ns
RCLK PLL 入力追加遅延	-1.713	-1.713	-3.645	ns
RCLK 出力追加遅延	-0.146	-0.146	-0.336	ns
RCLK PLL 出力追加遅延	1.716	1.716	4.488	ns

EP1AGX60 の I/O タイミング・パラメータ

表 4-66 から 4-69 に、汎用 I/O ピンに使用する I/O 規格の EP1AGX60 デバイスの最大 I/O タイミング・パラメータを示します。

表 4-66 に、I/O タイミング仕様を説明します。

表 4-66. EP1AGX60 のロウ・ピンの入力タイミング・パラメータ (1 / 3)						
I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
			インダストリアル	コマーシャル		
3.3-V LVTTL	GCLK	t_{SU}	1.413	1.413	3.113	ns
		t_H	-1.308	-1.308	-2.836	ns
	GCLK PLL	t_{SU}	2.975	2.975	6.536	ns
		t_H	-2.870	-2.870	-6.259	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.413	1.413	3.113	ns
		t_H	-1.308	-1.308	-2.836	ns
	GCLK PLL	t_{SU}	2.975	2.975	6.536	ns
		t_H	-2.870	-2.870	-6.259	ns
2.5 V	GCLK	t_{SU}	1.425	1.425	3.094	ns
		t_H	-1.320	-1.320	-2.817	ns
	GCLK PLL	t_{SU}	2.987	2.987	6.517	ns
		t_H	-2.882	-2.882	-6.240	ns
1.8 V	GCLK	t_{SU}	1.477	1.477	3.275	ns
		t_H	-1.372	-1.372	-2.998	ns
	GCLK PLL	t_{SU}	3.049	3.049	6.718	ns
		t_H	-2.944	-2.944	-6.441	ns
1.5 V	GCLK	t_{SU}	1.480	1.480	3.370	ns
		t_H	-1.375	-1.375	-3.093	ns
	GCLK PLL	t_{SU}	3.052	3.052	6.813	ns
		t_H	-2.947	-2.947	-6.536	ns
SSTL-2 CLASS I	GCLK	t_{SU}	1.237	1.237	2.566	ns
		t_H	-1.132	-1.132	-2.289	ns
	GCLK PLL	t_{SU}	2.800	2.800	5.990	ns
		t_H	-2.695	-2.695	-5.713	ns

表 4-66. EP1AGX60 のロウ・ピンの入力タイミング・パラメータ (2 / 3)

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
SSTL-2 CLASS II	GCLK	t_{SU}	1.237	1.237	2.566	ns
		t_H	-1.132	-1.132	-2.289	ns
	GCLK PLL	t_{SU}	2.800	2.800	5.990	ns
		t_H	-2.695	-2.695	-5.713	ns
SSTL-18 CLASS I	GCLK	t_{SU}	1.255	1.255	2.649	ns
		t_H	-1.150	-1.150	-2.372	ns
	GCLK PLL	t_{SU}	2.827	2.827	6.092	ns
		t_H	-2.722	-2.722	-5.815	ns
SSTL-18 CLASS II	GCLK	t_{SU}	1.255	1.255	2.649	ns
		t_H	-1.150	-1.150	-2.372	ns
	GCLK PLL	t_{SU}	2.827	2.827	6.092	ns
		t_H	-2.722	-2.722	-5.815	ns
1.8-V HSTL CLASS I	GCLK	t_{SU}	1.255	1.255	2.649	ns
		t_H	-1.150	-1.150	-2.372	ns
	GCLK PLL	t_{SU}	2.827	2.827	6.092	ns
		t_H	-2.722	-2.722	-5.815	ns
1.8-V HSTL CLASS II	GCLK	t_{SU}	1.255	1.255	2.649	ns
		t_H	-1.150	-1.150	-2.372	ns
	GCLK PLL	t_{SU}	2.827	2.827	6.092	ns
		t_H	-2.722	-2.722	-5.815	ns
1.5-V HSTL CLASS I	GCLK	t_{SU}	1.281	1.281	2.777	ns
		t_H	-1.176	-1.176	-2.500	ns
	GCLK PLL	t_{SU}	2.853	2.853	6.220	ns
		t_H	-2.748	-2.748	-5.943	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	1.281	1.281	2.777	ns
		t_H	-1.176	-1.176	-2.500	ns
	GCLK PLL	t_{SU}	2.853	2.853	6.220	ns
		t_H	-2.748	-2.748	-5.943	ns

表 4-66. EP1AGX60 のロウ・ピンの入力タイミング・パラメータ (3 / 3)

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
			インダストリアル	コマーシャル		
LVDS	GCLK	t_{SU}	1.208	1.208	2.664	ns
		t_H	-1.103	-1.103	-2.387	ns
	GCLK PLL	t_{SU}	2.767	2.767	6.083	ns
		t_H	-2.662	-2.662	-5.806	ns

表 4-67 に、I/O タイミング仕様を説明します。

表 4-67. EP1AGX60 カラム・ピンの入力タイミング・パラメータ (1 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
			インダストリアル	コマーシャル		
3.3-V LVTTL	GCLK	t_{SU}	1.124	1.124	2.493	ns
		t_H	-1.019	-1.019	-2.216	ns
	GCLK PLL	t_{SU}	2.694	2.694	5.928	ns
		t_H	-2.589	-2.589	-5.651	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.124	1.124	2.493	ns
		t_H	-1.019	-1.019	-2.216	ns
	GCLK PLL	t_{SU}	2.694	2.694	5.928	ns
		t_H	-2.589	-2.589	-5.651	ns
2.5 V	GCLK	t_{SU}	1.134	1.134	2.475	ns
		t_H	-1.029	-1.029	-2.198	ns
	GCLK PLL	t_{SU}	2.704	2.704	5.910	ns
		t_H	-2.599	-2.599	-5.633	ns
1.8 V	GCLK	t_{SU}	1.200	1.200	2.685	ns
		t_H	-1.095	-1.095	-2.408	ns
	GCLK PLL	t_{SU}	2.770	2.770	6.120	ns
		t_H	-2.665	-2.665	-5.843	ns

表 4-67. EP1AGX60 カラム・ピンの入力タイミング・パラメータ (2 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.5 V	GCLK	t_{SU}	1.203	1.203	2.778	ns
		t_H	-1.098	-1.098	-2.501	ns
	GCLK PLL	t_{SU}	2.773	2.773	6.213	ns
		t_H	-2.668	-2.668	-5.936	ns
SSTL-2 CLASS I	GCLK	t_{SU}	0.948	0.948	1.951	ns
		t_H	-0.843	-0.843	-1.674	ns
	GCLK PLL	t_{SU}	2.519	2.519	5.388	ns
		t_H	-2.414	-2.414	-5.111	ns
SSTL-2 CLASS II	GCLK	t_{SU}	0.948	0.948	1.951	ns
		t_H	-0.843	-0.843	-1.674	ns
	GCLK PLL	t_{SU}	2.519	2.519	5.388	ns
		t_H	-2.414	-2.414	-5.111	ns
SSTL-18 CLASS I	GCLK	t_{SU}	0.986	0.986	2.057	ns
		t_H	-0.881	-0.881	-1.780	ns
	GCLK PLL	t_{SU}	2.556	2.556	5.492	ns
		t_H	-2.451	-2.451	-5.215	ns
SSTL-18 CLASS II	GCLK	t_{SU}	0.987	0.987	2.058	ns
		t_H	-0.882	-0.882	-1.781	ns
	GCLK PLL	t_{SU}	2.558	2.558	5.495	ns
		t_H	-2.453	-2.453	-5.218	ns
1.8-V HSTL CLASS I	GCLK	t_{SU}	0.986	0.986	2.057	ns
		t_H	-0.881	-0.881	-1.780	ns
	GCLK PLL	t_{SU}	2.556	2.556	5.492	ns
		t_H	-2.451	-2.451	-5.215	ns
1.8-V HSTL CLASS II	GCLK	t_{SU}	0.987	0.987	2.058	ns
		t_H	-0.882	-0.882	-1.781	ns
	GCLK PLL	t_{SU}	2.558	2.558	5.495	ns
		t_H	-2.453	-2.453	-5.218	ns

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.5-V HSTL CLASS I	GCLK	t_{SU}	1.004	1.004	2.185	ns
		t_H	-0.899	-0.899	-1.908	ns
	GCLK PLL	t_{SU}	2.574	2.574	5.620	ns
		t_H	-2.469	-2.469	-5.343	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	1.005	1.005	2.186	ns
		t_H	-0.900	-0.900	-1.909	ns
	GCLK PLL	t_{SU}	2.576	2.576	5.623	ns
		t_H	-2.471	-2.471	-5.346	ns
3.3-V PCI	GCLK	t_{SU}	1.129	1.129	2.481	ns
		t_H	-1.024	-1.024	-2.204	ns
	GCLK PLL	t_{SU}	2.699	2.699	5.916	ns
		t_H	-2.594	-2.594	-5.639	ns
3.3-V PCI-X	GCLK	t_{SU}	1.129	1.129	2.481	ns
		t_H	-1.024	-1.024	-2.204	ns
	GCLK PLL	t_{SU}	2.699	2.699	5.916	ns
		t_H	-2.594	-2.594	-5.639	ns
LVDS	GCLK	t_{SU}	0.980	0.980	2.062	ns
		t_H	-0.875	-0.875	-1.785	ns
	GCLK PLL	t_{SU}	2.557	2.557	5.512	ns
		t_H	-2.452	-2.452	-5.235	ns

表 4-68 に、I/O タイミング仕様を説明します。

I/O 規格	ドライブ 能力	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
				インダスト リアル	コマーシャル		
3.3-V LVTTTL	4 mA	GCLK	t_{CO}	3.052	3.052	7.142	ns
		GCLK PLL	t_{CO}	1.490	1.490	3.719	ns

表 4-68. EP1AGX60 ロウ・ピンの出力タイミング・パラメータ (2 / 3)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	2.924	2.924	6.502	ns
		GCLK PLL	t_{CO}	1.362	1.362	3.079	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.868	2.868	6.465	ns
		GCLK PLL	t_{CO}	1.306	1.306	3.042	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.924	2.924	6.502	ns
		GCLK PLL	t_{CO}	1.362	1.362	3.079	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.818	2.818	6.196	ns
		GCLK PLL	t_{CO}	1.256	1.256	2.773	ns
2.5 V	4 mA	GCLK	t_{CO}	2.907	2.907	6.476	ns
		GCLK PLL	t_{CO}	1.345	1.345	3.053	ns
2.5 V	8 mA	GCLK	t_{CO}	2.804	2.804	6.218	ns
		GCLK PLL	t_{CO}	1.242	1.242	2.795	ns
2.5 V	12 mA	GCLK	t_{CO}	2.785	2.785	6.104	ns
		GCLK PLL	t_{CO}	1.223	1.223	2.681	ns
1.8 V	2 mA	GCLK	t_{CO}	2.991	2.991	7.521	ns
		GCLK PLL	t_{CO}	1.419	1.419	4.078	ns
1.8 V	4 mA	GCLK	t_{CO}	2.980	2.980	6.742	ns
		GCLK PLL	t_{CO}	1.408	1.408	3.299	ns
1.8 V	6 mA	GCLK	t_{CO}	2.869	2.869	6.441	ns
		GCLK PLL	t_{CO}	1.297	1.297	2.998	ns
1.8 V	8 mA	GCLK	t_{CO}	2.838	2.838	6.327	ns
		GCLK PLL	t_{CO}	1.266	1.266	2.884	ns
1.5 V	2 mA	GCLK	t_{CO}	2.951	2.951	7.020	ns
		GCLK PLL	t_{CO}	1.379	1.379	3.577	ns
1.5 V	4 mA	GCLK	t_{CO}	2.844	2.844	6.419	ns
		GCLK PLL	t_{CO}	1.272	1.272	2.976	ns
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.774	2.774	6.057	ns
		GCLK PLL	t_{CO}	1.211	1.211	2.633	ns
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.750	2.750	5.981	ns
		GCLK PLL	t_{CO}	1.187	1.187	2.557	ns

表 4-68. EP1AGX60 ロウ・ピンの出力タイミング・パラメータ (3 / 3)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.716	2.716	5.850	ns
		GCLK PLL	t_{CO}	1.153	1.153	2.426	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.776	2.776	6.025	ns
		GCLK PLL	t_{CO}	1.204	1.204	2.582	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.780	2.780	5.954	ns
		GCLK PLL	t_{CO}	1.208	1.208	2.511	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.756	2.756	5.937	ns
		GCLK PLL	t_{CO}	1.184	1.184	2.494	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.759	2.759	5.916	ns
		GCLK PLL	t_{CO}	1.187	1.187	2.473	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.757	2.757	5.935	ns
		GCLK PLL	t_{CO}	1.185	1.185	2.492	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.760	2.760	5.899	ns
		GCLK PLL	t_{CO}	1.188	1.188	2.456	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.742	2.742	5.895	ns
		GCLK PLL	t_{CO}	1.170	1.170	2.452	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.746	2.746	5.884	ns
		GCLK PLL	t_{CO}	1.174	1.174	2.441	ns
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.737	2.737	5.883	ns
		GCLK PLL	t_{CO}	1.165	1.165	2.440	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.756	2.756	5.912	ns
		GCLK PLL	t_{CO}	1.184	1.184	2.469	ns
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.759	2.759	5.898	ns
		GCLK PLL	t_{CO}	1.187	1.187	2.455	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.744	2.744	5.890	ns
		GCLK PLL	t_{CO}	1.172	1.172	2.447	ns
LVDS	-	GCLK	t_{CO}	2.787	2.787	6.037	ns
		GCLK PLL	t_{CO}	1.228	1.228	2.618	ns

表 4-69 に、I/O タイミング仕様を説明します。

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	4 mA	GCLK	t_{CO}	3.036	3.036	6.963	ns
		GCLK PLL	t_{CO}	1.466	1.466	3.528	ns
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	2.891	2.891	6.591	ns
		GCLK PLL	t_{CO}	1.321	1.321	3.156	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.824	2.824	6.591	ns
		GCLK PLL	t_{CO}	1.254	1.254	3.156	ns
3.3-V LVTTTL	16 mA	GCLK	t_{CO}	2.798	2.798	6.422	ns
		GCLK PLL	t_{CO}	1.228	1.228	2.987	ns
3.3-V LVTTTL	20 mA	GCLK	t_{CO}	2.776	2.776	6.297	ns
		GCLK PLL	t_{CO}	1.206	1.206	2.862	ns
3.3-V LVTTTL	24 mA	GCLK	t_{CO}	2.769	2.769	6.299	ns
		GCLK PLL	t_{CO}	1.199	1.199	2.864	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.891	2.891	6.591	ns
		GCLK PLL	t_{CO}	1.321	1.321	3.156	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.799	2.799	6.296	ns
		GCLK PLL	t_{CO}	1.229	1.229	2.861	ns
3.3-V LVCMOS	12 mA	GCLK	t_{CO}	2.771	2.771	6.218	ns
		GCLK PLL	t_{CO}	1.201	1.201	2.783	ns
3.3-V LVCMOS	16 mA	GCLK	t_{CO}	2.778	2.778	6.186	ns
		GCLK PLL	t_{CO}	1.208	1.208	2.751	ns
3.3-V LVCMOS	20 mA	GCLK	t_{CO}	2.765	2.765	6.168	ns
		GCLK PLL	t_{CO}	1.195	1.195	2.733	ns
3.3-V LVCMOS	24 mA	GCLK	t_{CO}	2.754	2.754	6.146	ns
		GCLK PLL	t_{CO}	1.184	1.184	2.711	ns
2.5 V	4 mA	GCLK	t_{CO}	2.853	2.853	6.623	ns
		GCLK PLL	t_{CO}	1.283	1.283	3.188	ns
2.5 V	8 mA	GCLK	t_{CO}	2.801	2.801	6.361	ns
		GCLK PLL	t_{CO}	1.231	1.231	2.926	ns

表 4-69. EP1AGX60 カラム・ピンの出力タイミング・パラメータ (2 / 4)							
I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
2.5 V	12 mA	GCLK	t_{CO}	2.780	2.780	6.244	ns
		GCLK PLL	t_{CO}	1.210	1.210	2.809	ns
2.5 V	16 mA	GCLK	t_{CO}	2.762	2.762	6.170	ns
		GCLK PLL	t_{CO}	1.192	1.192	2.735	ns
1.8 V	2 mA	GCLK	t_{CO}	2.893	2.893	7.615	ns
		GCLK PLL	t_{CO}	1.323	1.323	4.180	ns
1.8 V	4 mA	GCLK	t_{CO}	2.898	2.898	6.841	ns
		GCLK PLL	t_{CO}	1.328	1.328	3.406	ns
1.8 V	6 mA	GCLK	t_{CO}	2.822	2.822	6.577	ns
		GCLK PLL	t_{CO}	1.252	1.252	3.142	ns
1.8 V	8 mA	GCLK	t_{CO}	2.824	2.824	6.486	ns
		GCLK PLL	t_{CO}	1.254	1.254	3.051	ns
1.8 V	10 mA	GCLK	t_{CO}	2.778	2.778	6.409	ns
		GCLK PLL	t_{CO}	1.208	1.208	2.974	ns
1.8 V	12 mA	GCLK	t_{CO}	2.779	2.779	6.352	ns
		GCLK PLL	t_{CO}	1.209	1.209	2.917	ns
1.5 V	2 mA	GCLK	t_{CO}	2.873	2.873	7.145	ns
		GCLK PLL	t_{CO}	1.303	1.303	3.710	ns
1.5 V	4 mA	GCLK	t_{CO}	2.809	2.809	6.576	ns
		GCLK PLL	t_{CO}	1.239	1.239	3.141	ns
1.5 V	6 mA	GCLK	t_{CO}	2.812	2.812	6.458	ns
		GCLK PLL	t_{CO}	1.242	1.242	3.023	ns
1.5 V	8 mA	GCLK	t_{CO}	2.771	2.771	6.405	ns
		GCLK PLL	t_{CO}	1.201	1.201	2.970	ns
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.757	2.757	6.184	ns
		GCLK PLL	t_{CO}	1.184	1.184	2.744	ns
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.740	2.740	6.134	ns
		GCLK PLL	t_{CO}	1.167	1.167	2.694	ns
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.718	2.718	6.061	ns
		GCLK PLL	t_{CO}	1.145	1.145	2.621	ns

表 4-69. EP1AGX60 カラム・ピンの出力タイミング・パラメータ (3 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS II	20 mA	GCLK	t_{CO}	2.719	2.719	6.048	ns
		GCLK PLL	t_{CO}	1.146	1.146	2.608	ns
SSTL-2 CLASS II	24 mA	GCLK	t_{CO}	2.715	2.715	6.046	ns
		GCLK PLL	t_{CO}	1.142	1.142	2.606	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.753	2.753	6.155	ns
		GCLK PLL	t_{CO}	1.183	1.183	2.720	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.758	2.758	6.116	ns
		GCLK PLL	t_{CO}	1.185	1.185	2.676	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.737	2.737	6.097	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.657	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.742	2.742	6.095	ns
		GCLK PLL	t_{CO}	1.169	1.169	2.655	ns
SSTL-18 CLASS I	12 mA	GCLK	t_{CO}	2.736	2.736	6.081	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.641	ns
SSTL-18 CLASS II	8 mA	GCLK	t_{CO}	2.725	2.725	6.047	ns
		GCLK PLL	t_{CO}	1.152	1.152	2.607	ns
SSTL-18 CLASS II	16 mA	GCLK	t_{CO}	2.737	2.737	6.025	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.585	ns
SSTL-18 CLASS II	18 mA	GCLK	t_{CO}	2.733	2.733	6.033	ns
		GCLK PLL	t_{CO}	1.160	1.160	2.593	ns
SSTL-18 CLASS II	20 mA	GCLK	t_{CO}	2.733	2.733	6.031	ns
		GCLK PLL	t_{CO}	1.160	1.160	2.591	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.756	2.756	6.086	ns
		GCLK PLL	t_{CO}	1.186	1.186	2.651	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.762	2.762	6.071	ns
		GCLK PLL	t_{CO}	1.189	1.189	2.631	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.740	2.740	6.060	ns
		GCLK PLL	t_{CO}	1.167	1.167	2.620	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.744	2.744	6.066	ns
		GCLK PLL	t_{CO}	1.171	1.171	2.626	ns

表 4-69. EP1AGX60 カラム・ピンの出力タイミング・パラメータ (4 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.736	2.736	6.059	ns
		GCLK PLL	t_{CO}	1.163	1.163	2.619	ns
1.8-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.719	2.719	5.823	ns
		GCLK PLL	t_{CO}	1.146	1.146	2.383	ns
1.8-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.721	2.721	5.834	ns
		GCLK PLL	t_{CO}	1.148	1.148	2.394	ns
1.8-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.721	2.721	5.843	ns
		GCLK PLL	t_{CO}	1.148	1.148	2.403	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.756	2.756	6.085	ns
		GCLK PLL	t_{CO}	1.186	1.186	2.650	ns
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.761	2.761	6.063	ns
		GCLK PLL	t_{CO}	1.188	1.188	2.623	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.743	2.743	6.065	ns
		GCLK PLL	t_{CO}	1.170	1.170	2.625	ns
1.5-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.743	2.743	6.067	ns
		GCLK PLL	t_{CO}	1.170	1.170	2.627	ns
1.5-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.737	2.737	6.065	ns
		GCLK PLL	t_{CO}	1.164	1.164	2.625	ns
1.5-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.724	2.724	5.877	ns
		GCLK PLL	t_{CO}	1.151	1.151	2.437	ns
1.5-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.727	2.727	5.887	ns
		GCLK PLL	t_{CO}	1.154	1.154	2.447	ns
1.5-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.729	2.729	5.900	ns
		GCLK PLL	t_{CO}	1.156	1.156	2.460	ns
3.3-V PCI	-	GCLK	t_{CO}	2.882	2.882	6.213	ns
		GCLK PLL	t_{CO}	1.312	1.312	2.778	ns
3.3-V PCI-X	-	GCLK	t_{CO}	2.882	2.882	6.213	ns
		GCLK PLL	t_{CO}	1.312	1.312	2.778	ns
LVDS	-	GCLK	t_{CO}	3.746	3.746	7.396	ns
		GCLK PLL	t_{CO}	2.185	2.185	3.973	ns

表 4-70 から 4-71 に、GCLK の値に加算する必要がある EP1AGX60 リージョナル・クロック (RCLK) の追加遅延を示します。これらの追加の値は、リージョナル・クロックを使用して I/O ピンをドライブする際の I/O タイミングの決定に使用します。これは、汎用 I/O ピンを持つ Arria GX でサポートされるすべての I/O 規格に適用されます。

表 4-70 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるロウ・ピン追加遅延を示します。

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.138	0.138	0.311	ns
RCLK PLL 入力追加遅延	-0.003	-0.003	-0.006	ns
RCLK 出力追加遅延	-0.138	-0.138	-0.311	ns
RCLK PLL 出力追加遅延	0.003	0.003	0.006	ns

表 4-71 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるカラム・ピン追加遅延を示します。

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.153	0.153	0.344	ns
RCLK PLL 入力追加遅延	-1.066	-1.066	-2.338	ns
RCLK 出力追加遅延	-0.153	-0.153	-0.343	ns
RCLK PLL 出力追加遅延	1.721	1.721	4.486	ns

EP1AGX90 の I/O タイミング・パラメータ

表 4-72 から 4-75 に、汎用 I/O ピンに使用する I/O 規格の EP1AGX90 デバイスの最大 I/O タイミング・パラメータを示します。

表 4-72 に、I/O タイミング仕様を説明します。

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
			インダストリアル	コマーシャル		
3.3-V LVTTTL	GCLK	t_{SU}	1.295	1.295	2.873	ns
		t_H	-1.190	-1.190	-2.596	ns
	GCLK PLL	t_{SU}	3.366	3.366	7.017	ns
		t_H	-3.261	-3.261	-6.740	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.295	1.295	2.873	ns
		t_H	-1.190	-1.190	-2.596	ns
	GCLK PLL	t_{SU}	3.366	3.366	7.017	ns
		t_H	-3.261	-3.261	-6.740	ns
2.5 V	GCLK	t_{SU}	1.307	1.307	2.854	ns
		t_H	-1.202	-1.202	-2.577	ns
	GCLK PLL	t_{SU}	3.378	3.378	6.998	ns
		t_H	-3.273	-3.273	-6.721	ns
1.8 V	GCLK	t_{SU}	1.381	1.381	3.073	ns
		t_H	-1.276	-1.276	-2.796	ns
	GCLK PLL	t_{SU}	3.434	3.434	7.191	ns
		t_H	-3.329	-3.329	-6.914	ns
1.5 V	GCLK	t_{SU}	1.384	1.384	3.168	ns
		t_H	-1.279	-1.279	-2.891	ns
	GCLK PLL	t_{SU}	3.437	3.437	7.286	ns
		t_H	-3.332	-3.332	-7.009	ns
SSTL-2 CLASS I	GCLK	t_{SU}	1.121	1.121	2.329	ns
		t_H	-1.016	-1.016	-2.052	ns
	GCLK PLL	t_{SU}	3.187	3.187	6.466	ns
		t_H	-3.082	-3.082	-6.189	ns

表 4-72. EP1AGX90 ロウ・ピンの入力タイミング・パラメータ (2 / 3)

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
SSTL-2 CLASS II	GCLK	t_{SU}	1.121	1.121	2.329	ns
		t_H	-1.016	-1.016	-2.052	ns
	GCLK PLL	t_{SU}	3.187	3.187	6.466	ns
		t_H	-3.082	-3.082	-6.189	ns
SSTL-18 CLASS I	GCLK	t_{SU}	1.159	1.159	2.447	ns
		t_H	-1.054	-1.054	-2.170	ns
	GCLK PLL	t_{SU}	3.212	3.212	6.565	ns
		t_H	-3.107	-3.107	-6.288	ns
SSTL-18 CLASS II	GCLK	t_{SU}	1.157	1.157	2.441	ns
		t_H	-1.052	-1.052	-2.164	ns
	GCLK PLL	t_{SU}	3.235	3.235	6.597	ns
		t_H	-3.130	-3.130	-6.320	ns
1.8-V HSTL CLASS I	GCLK	t_{SU}	1.159	1.159	2.447	ns
		t_H	-1.054	-1.054	-2.170	ns
	GCLK PLL	t_{SU}	3.212	3.212	6.565	ns
		t_H	-3.107	-3.107	-6.288	ns
1.8-V HSTL CLASS II	GCLK	t_{SU}	1.157	1.157	2.441	ns
		t_H	-1.052	-1.052	-2.164	ns
	GCLK PLL	t_{SU}	3.235	3.235	6.597	ns
		t_H	-3.130	-3.130	-6.320	ns
1.5-V HSTL CLASS I	GCLK	t_{SU}	1.185	1.185	2.575	ns
		t_H	-1.080	-1.080	-2.298	ns
	GCLK PLL	t_{SU}	3.238	3.238	6.693	ns
		t_H	-3.133	-3.133	-6.416	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	1.183	1.183	2.569	ns
		t_H	-1.078	-1.078	-2.292	ns
	GCLK PLL	t_{SU}	3.261	3.261	6.725	ns
		t_H	-3.156	-3.156	-6.448	ns

表 4-72. EP1AGX90 ロウ・ピンの入力タイミング・パラメータ (3 / 3)

I/O 規格	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
LVDS	GCLK	t_{SU}	1.098	1.098	2.439	ns
		t_H	-0.993	-0.993	-2.162	ns
	GCLK PLL	t_{SU}	3.160	3.160	6.566	ns
		t_H	-3.055	-3.055	-6.289	ns

表 4-73 に、I/O タイミング仕様を説明します。

表 4-73. EP1AGX90 カラム・ピンの入力タイミング・パラメータ (1 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
3.3-V LVTTL	GCLK	t_{SU}	1.018	1.018	2.290	ns
		t_H	-0.913	-0.913	-2.013	ns
	GCLK PLL	t_{SU}	3.082	3.082	6.425	ns
		t_H	-2.977	-2.977	-6.148	ns
3.3-V LVCMOS	GCLK	t_{SU}	1.018	1.018	2.290	ns
		t_H	-0.913	-0.913	-2.013	ns
	GCLK PLL	t_{SU}	3.082	3.082	6.425	ns
		t_H	-2.977	-2.977	-6.148	ns
2.5 V	GCLK	t_{SU}	1.028	1.028	2.272	ns
		t_H	-0.923	-0.923	-1.995	ns
	GCLK PLL	t_{SU}	3.092	3.092	6.407	ns
		t_H	-2.987	-2.987	-6.130	ns
1.8 V	GCLK	t_{SU}	1.094	1.094	2.482	ns
		t_H	-0.989	-0.989	-2.205	ns
	GCLK PLL	t_{SU}	3.158	3.158	6.617	ns
		t_H	-3.053	-3.053	-6.340	ns

表 4-73. EP1AGX90 カラム・ピンの入力タイミング・パラメータ (2 / 3)

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.5 V	GCLK	t_{SU}	1.097	1.097	2.575	ns
		t_H	-0.992	-0.992	-2.298	ns
	GCLK PLL	t_{SU}	3.161	3.161	6.710	ns
		t_H	-3.056	-3.056	-6.433	ns
SSTL-2 CLASS I	GCLK	t_{SU}	0.844	0.844	1.751	ns
		t_H	-0.739	-0.739	-1.474	ns
	GCLK PLL	t_{SU}	2.908	2.908	5.886	ns
		t_H	-2.803	-2.803	-5.609	ns
SSTL-2 CLASS II	GCLK	t_{SU}	0.844	0.844	1.751	ns
		t_H	-0.739	-0.739	-1.474	ns
	GCLK PLL	t_{SU}	2.908	2.908	5.886	ns
		t_H	-2.803	-2.803	-5.609	ns
SSTL-18 CLASS I	GCLK	t_{SU}	0.880	0.880	1.854	ns
		t_H	-0.775	-0.775	-1.577	ns
	GCLK PLL	t_{SU}	2.944	2.944	5.989	ns
		t_H	-2.839	-2.839	-5.712	ns
SSTL-18 CLASS II	GCLK	t_{SU}	0.883	0.883	1.858	ns
		t_H	-0.778	-0.778	-1.581	ns
	GCLK PLL	t_{SU}	2.947	2.947	5.993	ns
		t_H	-2.842	-2.842	-5.716	ns
1.8-V HSTL CLASS I	GCLK	t_{SU}	0.880	0.880	1.854	ns
		t_H	-0.775	-0.775	-1.577	ns
	GCLK PLL	t_{SU}	2.944	2.944	5.989	ns
		t_H	-2.839	-2.839	-5.712	ns
1.8-V HSTL CLASS II	GCLK	t_{SU}	0.883	0.883	1.858	ns
		t_H	-0.778	-0.778	-1.581	ns
	GCLK PLL	t_{SU}	2.947	2.947	5.993	ns
		t_H	-2.842	-2.842	-5.716	ns

I/O 規格	クロック	パラメータ	高速コーナー		-6 スピード・ グレード	単位
			インダスト リアル	コマーシャル		
1.5-V HSTL CLASS I	GCLK	t_{SU}	0.898	0.898	1.982	ns
		t_H	-0.793	-0.793	-1.705	ns
	GCLK PLL	t_{SU}	2.962	2.962	6.117	ns
		t_H	-2.857	-2.857	-5.840	ns
1.5-V HSTL CLASS II	GCLK	t_{SU}	0.901	0.901	1.986	ns
		t_H	-0.796	-0.796	-1.709	ns
	GCLK PLL	t_{SU}	2.965	2.965	6.121	ns
		t_H	-2.860	-2.860	-5.844	ns
3.3-V PCI	GCLK	t_{SU}	1.023	1.023	2.278	ns
		t_H	-0.918	-0.918	-2.001	ns
	GCLK PLL	t_{SU}	3.087	3.087	6.413	ns
		t_H	-2.982	-2.982	-6.136	ns
3.3-V PCI-X	GCLK	t_{SU}	1.023	1.023	2.278	ns
		t_H	-0.918	-0.918	-2.001	ns
	GCLK PLL	t_{SU}	3.087	3.087	6.413	ns
		t_H	-2.982	-2.982	-6.136	ns
LVDS	GCLK	t_{SU}	0.891	0.891	1.920	ns
		t_H	-0.786	-0.786	-1.643	ns
	GCLK PLL	t_{SU}	2.963	2.963	6.066	ns
		t_H	-2.858	-2.858	-5.789	ns

表 4-74 に、I/O タイミング仕様を説明します。

I/O 規格	ドライブ 能力	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
				インダスト リアル	コマーシャル		
3.3-V LVTTL	4 mA	GCLK	t_{CO}	3.170	3.170	7.382	ns
		GCLK PLL	t_{CO}	1.099	1.099	3.238	ns

表 4-74. EP1AGX90 ロウ・ピンの出力タイミング・パラメータ (2 / 3)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・ グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	3.042	3.042	6.742	ns
		GCLK PLL	t_{CO}	0.971	0.971	2.598	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.986	2.986	6.705	ns
		GCLK PLL	t_{CO}	0.915	0.915	2.561	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	3.042	3.042	6.742	ns
		GCLK PLL	t_{CO}	0.971	0.971	2.598	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.936	2.936	6.436	ns
		GCLK PLL	t_{CO}	0.865	0.865	2.292	ns
2.5 V	4 mA	GCLK	t_{CO}	3.025	3.025	6.716	ns
		GCLK PLL	t_{CO}	0.954	0.954	2.572	ns
2.5 V	8 mA	GCLK	t_{CO}	2.922	2.922	6.458	ns
		GCLK PLL	t_{CO}	0.851	0.851	2.314	ns
2.5 V	12 mA	GCLK	t_{CO}	2.903	2.903	6.344	ns
		GCLK PLL	t_{CO}	0.832	0.832	2.200	ns
1.8 V	2 mA	GCLK	t_{CO}	3.087	3.087	7.723	ns
		GCLK PLL	t_{CO}	1.034	1.034	3.605	ns
1.8 V	4 mA	GCLK	t_{CO}	3.076	3.076	6.944	ns
		GCLK PLL	t_{CO}	1.023	1.023	2.826	ns
1.8 V	6 mA	GCLK	t_{CO}	2.965	2.965	6.643	ns
		GCLK PLL	t_{CO}	0.912	0.912	2.525	ns
1.8 V	8 mA	GCLK	t_{CO}	2.934	2.934	6.529	ns
		GCLK PLL	t_{CO}	0.881	0.881	2.411	ns
1.5 V	2 mA	GCLK	t_{CO}	3.047	3.047	7.222	ns
		GCLK PLL	t_{CO}	0.994	0.994	3.104	ns
1.5 V	4 mA	GCLK	t_{CO}	2.940	2.940	6.621	ns
		GCLK PLL	t_{CO}	0.887	0.887	2.503	ns
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.890	2.890	6.294	ns
		GCLK PLL	t_{CO}	0.824	0.824	2.157	ns
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.866	2.866	6.218	ns
		GCLK PLL	t_{CO}	0.800	0.800	2.081	ns

表 4-74. EP1AGX90 ロウ・ピンの出力タイミング・パラメータ (3 / 3)

I/O 規格	ドライブ能力	クロック	パラメータ	高速モデル		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.832	2.832	6.087	ns
		GCLK PLL	t_{CO}	0.766	0.766	1.950	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.872	2.872	6.227	ns
		GCLK PLL	t_{CO}	0.819	0.819	2.109	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.878	2.878	6.162	ns
		GCLK PLL	t_{CO}	0.800	0.800	2.006	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.854	2.854	6.145	ns
		GCLK PLL	t_{CO}	0.776	0.776	1.989	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.857	2.857	6.124	ns
		GCLK PLL	t_{CO}	0.779	0.779	1.968	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.853	2.853	6.137	ns
		GCLK PLL	t_{CO}	0.800	0.800	2.019	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.858	2.858	6.107	ns
		GCLK PLL	t_{CO}	0.780	0.780	1.951	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.840	2.840	6.103	ns
		GCLK PLL	t_{CO}	0.762	0.762	1.947	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.844	2.844	6.092	ns
		GCLK PLL	t_{CO}	0.766	0.766	1.936	ns
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.835	2.835	6.091	ns
		GCLK PLL	t_{CO}	0.757	0.757	1.935	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.852	2.852	6.114	ns
		GCLK PLL	t_{CO}	0.799	0.799	1.996	ns
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.857	2.857	6.106	ns
		GCLK PLL	t_{CO}	0.779	0.779	1.950	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.842	2.842	6.098	ns
		GCLK PLL	t_{CO}	0.764	0.764	1.942	ns
LVDS	-	GCLK	t_{CO}	2.898	2.898	6.265	ns
		GCLK PLL	t_{CO}	0.831	0.831	2.129	ns

表 4-75 に、I/O タイミング仕様を説明します。

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
3.3-V LVTTTL	4 mA	GCLK	t_{CO}	3.141	3.141	7.164	ns
		GCLK PLL	t_{CO}	1.077	1.077	3.029	ns
3.3-V LVTTTL	8 mA	GCLK	t_{CO}	2.996	2.996	6.792	ns
		GCLK PLL	t_{CO}	0.932	0.932	2.657	ns
3.3-V LVTTTL	12 mA	GCLK	t_{CO}	2.929	2.929	6.792	ns
		GCLK PLL	t_{CO}	0.865	0.865	2.657	ns
3.3-V LVTTTL	16 mA	GCLK	t_{CO}	2.903	2.903	6.623	ns
		GCLK PLL	t_{CO}	0.839	0.839	2.488	ns
3.3-V LVTTTL	20 mA	GCLK	t_{CO}	2.881	2.881	6.498	ns
		GCLK PLL	t_{CO}	0.817	0.817	2.363	ns
3.3-V LVTTTL	24 mA	GCLK	t_{CO}	2.874	2.874	6.500	ns
		GCLK PLL	t_{CO}	0.810	0.810	2.365	ns
3.3-V LVCMOS	4 mA	GCLK	t_{CO}	2.996	2.996	6.792	ns
		GCLK PLL	t_{CO}	0.932	0.932	2.657	ns
3.3-V LVCMOS	8 mA	GCLK	t_{CO}	2.904	2.904	6.497	ns
		GCLK PLL	t_{CO}	0.840	0.840	2.362	ns
3.3-V LVCMOS	12 mA	GCLK	t_{CO}	2.876	2.876	6.419	ns
		GCLK PLL	t_{CO}	0.812	0.812	2.284	ns
3.3-V LVCMOS	16 mA	GCLK	t_{CO}	2.883	2.883	6.387	ns
		GCLK PLL	t_{CO}	0.819	0.819	2.252	ns
3.3-V LVCMOS	20 mA	GCLK	t_{CO}	2.870	2.870	6.369	ns
		GCLK PLL	t_{CO}	0.806	0.806	2.234	ns
3.3-V LVCMOS	24 mA	GCLK	t_{CO}	2.859	2.859	6.347	ns
		GCLK PLL	t_{CO}	0.795	0.795	2.212	ns
2.5 V	4 mA	GCLK	t_{CO}	2.958	2.958	6.824	ns
		GCLK PLL	t_{CO}	0.894	0.894	2.689	ns
2.5 V	8 mA	GCLK	t_{CO}	2.906	2.906	6.562	ns
		GCLK PLL	t_{CO}	0.842	0.842	2.427	ns

表 4-75. EP1AGX90 カラム・ピンの出力タイミング・パラメータ (2 / 4)							
I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
2.5 V	12 mA	GCLK	t_{CO}	2.885	2.885	6.445	ns
		GCLK PLL	t_{CO}	0.821	0.821	2.310	ns
2.5 V	16 mA	GCLK	t_{CO}	2.867	2.867	6.371	ns
		GCLK PLL	t_{CO}	0.803	0.803	2.236	ns
1.8 V	2 mA	GCLK	t_{CO}	2.998	2.998	7.816	ns
		GCLK PLL	t_{CO}	0.934	0.934	3.681	ns
1.8 V	4 mA	GCLK	t_{CO}	3.003	3.003	7.042	ns
		GCLK PLL	t_{CO}	0.939	0.939	2.907	ns
1.8 V	6 mA	GCLK	t_{CO}	2.927	2.927	6.778	ns
		GCLK PLL	t_{CO}	0.863	0.863	2.643	ns
1.8 V	8 mA	GCLK	t_{CO}	2.929	2.929	6.687	ns
		GCLK PLL	t_{CO}	0.865	0.865	2.552	ns
1.8 V	10 mA	GCLK	t_{CO}	2.883	2.883	6.610	ns
		GCLK PLL	t_{CO}	0.819	0.819	2.475	ns
1.8 V	12 mA	GCLK	t_{CO}	2.884	2.884	6.553	ns
		GCLK PLL	t_{CO}	0.820	0.820	2.418	ns
1.5 V	2 mA	GCLK	t_{CO}	2.978	2.978	7.346	ns
		GCLK PLL	t_{CO}	0.914	0.914	3.211	ns
1.5 V	4 mA	GCLK	t_{CO}	2.914	2.914	6.777	ns
		GCLK PLL	t_{CO}	0.850	0.850	2.642	ns
1.5 V	6 mA	GCLK	t_{CO}	2.917	2.917	6.659	ns
		GCLK PLL	t_{CO}	0.853	0.853	2.524	ns
1.5 V	8 mA	GCLK	t_{CO}	2.876	2.876	6.606	ns
		GCLK PLL	t_{CO}	0.812	0.812	2.471	ns
SSTL-2 CLASS I	8 mA	GCLK	t_{CO}	2.859	2.859	6.381	ns
		GCLK PLL	t_{CO}	0.797	0.797	2.250	ns
SSTL-2 CLASS I	12 mA	GCLK	t_{CO}	2.842	2.842	6.331	ns
		GCLK PLL	t_{CO}	0.780	0.780	2.200	ns
SSTL-2 CLASS II	16 mA	GCLK	t_{CO}	2.820	2.820	6.258	ns
		GCLK PLL	t_{CO}	0.758	0.758	2.127	ns

表 4-75. EP1AGX90 カラム・ピンの出力タイミング・パラメータ (3 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
SSTL-2 CLASS II	20 mA	GCLK	t_{CO}	2.821	2.821	6.245	ns
		GCLK PLL	t_{CO}	0.759	0.759	2.114	ns
SSTL-2 CLASS II	24 mA	GCLK	t_{CO}	2.817	2.817	6.243	ns
		GCLK PLL	t_{CO}	0.755	0.755	2.112	ns
SSTL-18 CLASS I	4 mA	GCLK	t_{CO}	2.858	2.858	6.356	ns
		GCLK PLL	t_{CO}	0.794	0.794	2.221	ns
SSTL-18 CLASS I	6 mA	GCLK	t_{CO}	2.860	2.860	6.313	ns
		GCLK PLL	t_{CO}	0.798	0.798	2.182	ns
SSTL-18 CLASS I	8 mA	GCLK	t_{CO}	2.839	2.839	6.294	ns
		GCLK PLL	t_{CO}	0.777	0.777	2.163	ns
SSTL-18 CLASS I	10 mA	GCLK	t_{CO}	2.844	2.844	6.292	ns
		GCLK PLL	t_{CO}	0.782	0.782	2.161	ns
SSTL-18 CLASS I	12 mA	GCLK	t_{CO}	2.838	2.838	6.278	ns
		GCLK PLL	t_{CO}	0.776	0.776	2.147	ns
SSTL-18 CLASS II	8 mA	GCLK	t_{CO}	2.827	2.827	6.244	ns
		GCLK PLL	t_{CO}	0.765	0.765	2.113	ns
SSTL-18 CLASS II	16 mA	GCLK	t_{CO}	2.839	2.839	6.222	ns
		GCLK PLL	t_{CO}	0.777	0.777	2.091	ns
SSTL-18 CLASS II	18 mA	GCLK	t_{CO}	2.835	2.835	6.230	ns
		GCLK PLL	t_{CO}	0.773	0.773	2.099	ns
SSTL-18 CLASS II	20 mA	GCLK	t_{CO}	2.835	2.835	6.228	ns
		GCLK PLL	t_{CO}	0.773	0.773	2.097	ns
1.8-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.861	2.861	6.287	ns
		GCLK PLL	t_{CO}	0.797	0.797	2.152	ns
1.8-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.864	2.864	6.268	ns
		GCLK PLL	t_{CO}	0.802	0.802	2.137	ns
1.8-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.842	2.842	6.257	ns
		GCLK PLL	t_{CO}	0.780	0.780	2.126	ns
1.8-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.846	2.846	6.263	ns
		GCLK PLL	t_{CO}	0.784	0.784	2.132	ns

表 4-75. EP1AGX90 カラム・ピンの出力タイミング・パラメータ (4 / 4)

I/O 規格	ドライブ能力	クロック	パラメータ	高速コーナー		-6 スピード・グレード	単位
				インダストリアル	コマーシャル		
1.8-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.838	2.838	6.256	ns
		GCLK PLL	t_{CO}	0.776	0.776	2.125	ns
1.8-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.821	2.821	6.020	ns
		GCLK PLL	t_{CO}	0.759	0.759	1.889	ns
1.8-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.823	2.823	6.031	ns
		GCLK PLL	t_{CO}	0.761	0.761	1.900	ns
1.8-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.823	2.823	6.040	ns
		GCLK PLL	t_{CO}	0.761	0.761	1.909	ns
1.5-V HSTL CLASS I	4 mA	GCLK	t_{CO}	2.861	2.861	6.286	ns
		GCLK PLL	t_{CO}	0.797	0.797	2.151	ns
1.5-V HSTL CLASS I	6 mA	GCLK	t_{CO}	2.863	2.863	6.260	ns
		GCLK PLL	t_{CO}	0.801	0.801	2.129	ns
1.5-V HSTL CLASS I	8 mA	GCLK	t_{CO}	2.845	2.845	6.262	ns
		GCLK PLL	t_{CO}	0.783	0.783	2.131	ns
1.5-V HSTL CLASS I	10 mA	GCLK	t_{CO}	2.845	2.845	6.264	ns
		GCLK PLL	t_{CO}	0.783	0.783	2.133	ns
1.5-V HSTL CLASS I	12 mA	GCLK	t_{CO}	2.839	2.839	6.262	ns
		GCLK PLL	t_{CO}	0.777	0.777	2.131	ns
1.5-V HSTL CLASS II	16 mA	GCLK	t_{CO}	2.826	2.826	6.074	ns
		GCLK PLL	t_{CO}	0.764	0.764	1.943	ns
1.5-V HSTL CLASS II	18 mA	GCLK	t_{CO}	2.829	2.829	6.084	ns
		GCLK PLL	t_{CO}	0.767	0.767	1.953	ns
1.5-V HSTL CLASS II	20 mA	GCLK	t_{CO}	2.831	2.831	6.097	ns
		GCLK PLL	t_{CO}	0.769	0.769	1.966	ns
3.3-V PCI	-	GCLK	t_{CO}	2.987	2.987	6.414	ns
		GCLK PLL	t_{CO}	0.923	0.923	2.279	ns
3.3-V PCI-X	-	GCLK	t_{CO}	2.987	2.987	6.414	ns
		GCLK PLL	t_{CO}	0.923	0.923	2.279	ns
LVDS	-	GCLK	t_{CO}	3.835	3.835	7.541	ns
		GCLK PLL	t_{CO}	1.769	1.769	3.404	ns

表 4-76 から 4-77 に、GCLK の値に加算する必要がある EP1AGX90 リージョナル・クロック (RCLK) の追加遅延を示します。これらの追加の値は、リージョナル・クロックを使用して I/O ピンをドライブする際の I/O タイミングの決定に使用します。これは、汎用 I/O ピンを持つ Arria GX でサポートされるすべての I/O 規格に適用されます。

表 4-76 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるロウ・ピン追加遅延を示します。

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.175	0.175	0.418	ns
RCLK PLL 入力追加遅延	0.007	0.007	0.015	ns
RCLK 出力追加遅延	-0.175	-0.175	-0.418	ns
RCLK PLL 出力追加遅延	-0.007	-0.007	-0.015	ns

表 4-77 は、リージョナル・クロックを使用するときの Arria GX デバイスにおけるカラム・ピン追加遅延を示します。

パラメータ	高速コーナー		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
RCLK 入力追加遅延	0.138	0.138	0.354	ns
RCLK PLL 入力追加遅延	-1.697	-1.697	-3.607	ns
RCLK 出力追加遅延	-0.138	-0.138	-0.353	ns
RCLK PLL 出力追加遅延	1.966	1.966	5.188	ns

専用クロック・ピンのタイミング

表 4-79 から 4-98 に、グローバル・クロック、リージョナル・クロック、ペリフェラル・クロック、および PLL によってクロックがドライブされるときに Arria GX デバイスのクロック・ピン・タイミングを示します。

表 4-78 に、Arria GX のクロック・タイミング・パラメータを示します。

シンボル	パラメータ
t_{CIN}	クロック・パッドから I/O 入力レジスタまでの遅延
t_{COUT}	クロック・パッドから I/O 出力レジスタまでの遅延
$t_{PLL CIN}$	PLL inclk パッドから I/O 入力レジスタまでの遅延
$t_{PLL COUT}$	PLL inclk パッドから I/O 出力レジスタまでの遅延

EP1AGX20 のクロック・タイミング・パラメータ

表 4-79 から 4-80 に、EP1AGX20 デバイスの GCLK クロック・タイミング・パラメータを示します。

表 4-79 に、クロック・タイミング仕様を示します。

パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{cin}	1.394	1.394	3.161	ns
t_{cout}	1.399	1.399	3.155	ns
$t_{pll cin}$	-0.027	-0.027	0.091	ns
$t_{pll cout}$	-0.022	-0.022	0.085	ns

表 4-80 に、クロック・タイミング仕様を示します。

表 4-80. EP1AGX20 ロウ・ピンのグローバル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.655	1.655	3.726	ns
t_{COUT}	1.655	1.655	3.726	ns
t_{PLLCIN}	0.236	0.236	0.655	ns
$t_{PLLCOUT}$	0.236	0.236	0.655	ns

表 4-81 から 4-82 に、EP1AGX20 デバイスの RCLK クロック・タイミン
グ・パラメータを示します。

表 4-81 に、クロック・タイミング仕様を示します。

表 4-81. EP1AGX20 ロウ・ピンのリージョナル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.283	1.283	2.901	ns
t_{COUT}	1.288	1.288	2.895	ns
t_{PLLCIN}	-0.034	-0.034	0.077	ns
$t_{PLLCOUT}$	-0.029	-0.029	0.071	ns

表 4-82 に、クロック・タイミング仕様を示します。

表 4-82. EP1AGX20 ロウ・ピンのリージョナル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.569	1.569	3.487	ns
t_{COUT}	1.569	1.569	3.487	ns
t_{PLLCIN}	0.278	0.278	0.706	ns
$t_{PLLCOUT}$	0.278	0.278	0.706	ns

EP1AGX35 のクロック・タイミング・パラメータ

表 4-83 から 4-84 に、EP1AGX35 デバイスの GCLK クロック・タイミング・パラメータを示します。

表 4-83 に、クロック・タイミング仕様を示します。

表 4-83. EP1AGX35 ロウ・ピンのグローバル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.394	1.394	3.161	ns
t_{COUT}	1.399	1.399	3.155	ns
t_{PLLCIN}	-0.027	-0.027	0.091	ns
$t_{PLLCOUT}$	-0.022	-0.022	0.085	ns

表 4-84 に、クロック・タイミング仕様を示します。

表 4-84. EP1AGX35 ロウ・ピンのグローバル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.655	1.655	3.726	ns
t_{COUT}	1.655	1.655	3.726	ns
t_{PLLCIN}	0.236	0.236	0.655	ns
$t_{PLLCOUT}$	0.236	0.236	0.655	ns

表 4-85 から 4-86 に、EP1AGX35 デバイスの RCLK クロック・タイミン
グ・パラメータを示します。

表 4-85 に、クロック・タイミング仕様を示します。

表 4-85. EP1AGX35 ロウ・ピンのリージョナル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.283	1.283	2.901	ns
t_{COUT}	1.288	1.288	2.895	ns
t_{PLLCIN}	-0.034	-0.034	0.077	ns
$t_{PLLCOUT}$	-0.029	-0.029	0.071	ns

表 4-86 に、クロック・タイミング仕様を示します。

表 4-86. EP1AGX35 ロウ・ピンのリージョナル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.569	1.569	3.487	ns
t_{COUT}	1.569	1.569	3.487	ns
t_{PLLCIN}	0.278	0.278	0.706	ns
$t_{PLLCOUT}$	0.278	0.278	0.706	ns

EP1AGX50 のクロック・タイミング・パラメータ

表 4-87 から 4-88 に、EP1AGX50 デバイスの GCLK クロック・タイミング・パラメータを示します。

表 4-87 に、クロック・タイミング仕様を示します。

表 4-87. EP1AGX50 ロウ・ピンのグローバル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.529	1.529	3.587	ns
t_{COUT}	1.534	1.534	3.581	ns
t_{PLLCIN}	-0.024	-0.024	0.181	ns
$t_{PLLCOUT}$	-0.019	-0.019	0.175	ns

表 4-88 に、クロック・タイミング仕様を示します。

表 4-88. EP1AGX50 ロウ・ピンのグローバル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.793	1.793	4.165	ns
t_{COUT}	1.793	1.793	4.165	ns
t_{PLLCIN}	0.238	0.238	0.758	ns
$t_{PLLCOUT}$	0.238	0.238	0.758	ns

表 4-89 から 4-90 に、EP1AGX50 デバイスの RCLK クロック・タイミン
グ・パラメータを示します。

表 4-89 に、クロック・タイミング仕様を示します。

表 4-89. EP1AGX50 ロウ・ピンのリージョナル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.396	1.396	3.287	ns
t_{COUT}	1.401	1.401	3.281	ns
t_{PLLCIN}	-0.017	-0.017	0.195	ns
$t_{PLLCOUT}$	-0.012	-0.012	0.189	ns

表 4-90 に、クロック・タイミング仕様を示します。

表 4-90. EP1AGX50 ロウ・ピンのリージョナル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.653	1.653	3.841	ns
t_{COUT}	1.651	1.651	3.839	ns
t_{PLLCIN}	0.245	0.245	0.755	ns
$t_{PLLCOUT}$	0.245	0.245	0.755	ns

EP1AGX60 のクロック・タイミング・パラメータ

表 4-91 から 4-92 に、EP1AGX60 デバイスの GCLK クロック・タイミング・パラメータを示します。

表 4-91 に、クロック・タイミング仕様を示します。

表 4-91. EP1AGX60 ロウ・ピンのグローバル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.531	1.531	3.593	ns
t_{COUT}	1.536	1.536	3.587	ns
t_{PLLCIN}	-0.023	-0.023	0.188	ns
$t_{PLLCOUT}$	-0.018	-0.018	0.182	ns

表 4-92 に、クロック・タイミング仕様を示します。

表 4-92. EP1AGX60 ロウ・ピンのグローバル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.792	1.792	4.165	ns
t_{COUT}	1.792	1.792	4.165	ns
t_{PLLCIN}	0.238	0.238	0.758	ns
$t_{PLLCOUT}$	0.238	0.238	0.758	ns

表 4-93 から 4-94 に、EP1AGX60 デバイスの RCLK クロック・タイミン
グ・パラメータを示します。

表 4-93 に、クロック・タイミング仕様を示します。

表 4-93. EP1AGX60 ロウ・ピンのリージョナル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.382	1.382	3.268	ns
t_{COUT}	1.387	1.387	3.262	ns
t_{PLLCIN}	-0.031	-0.031	0.174	ns
$t_{PLLCOUT}$	-0.026	-0.026	0.168	ns

表 4-94 に、クロック・タイミング仕様を示します。

表 4-94. EP1AGX60 ロウ・ピンのリージョナル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.649	1.649	3.835	ns
t_{COUT}	1.651	1.651	3.839	ns
t_{PLLCIN}	0.245	0.245	0.755	ns
$t_{PLLCOUT}$	0.245	0.245	0.755	ns

EP1AGX90 のクロック・タイミング・パラメータ

表 4-95 から 4-96 に、EP1AGX90 デバイスの GCLK クロック・タイミング・パラメータを示します。

表 4-95 に、クロック・タイミング仕様を示します。

表 4-95. EP1AGX90 ロウ・ピンのグローバル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.630	1.630	3.799	ns
t_{COUT}	1.635	1.635	3.793	ns
t_{PLLCIN}	-0.422	-0.422	-0.310	ns
$t_{PLLCOUT}$	-0.417	-0.417	-0.316	ns

表 4-96 に、クロック・タイミング仕様を示します。

表 4-96. EP1AGX90 ロウ・ピンのグローバル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.904	1.904	4.376	ns
t_{COUT}	1.904	1.904	4.376	ns
t_{PLLCIN}	-0.153	-0.153	0.254	ns
$t_{PLLCOUT}$	-0.153	-0.153	0.254	ns

表 4-97 から 4-98 に、EP1AGX90 デバイスの RCLK クロック・タイミン
グ・パラメータを示します。

表 4-97 に、クロック・タイミング仕様を示します。

表 4-97. EP1AGX90 ロウ・ピンのリージョナル・クロック・ タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・ グレード	単位
	インダスト リアル	コマーシャル		
t_{CIN}	1.462	1.462	3.407	ns
t_{COUT}	1.467	1.467	3.401	ns
t_{PLLCIN}	-0.430	-0.430	-0.322	ns
$t_{PLLCOUT}$	-0.425	-0.425	-0.328	ns

表 4-98 に、クロック・タイミング仕様を示します。

表 4-98. EP1AGX90 ロウ・ピンのリージョナル・クロック・タイミング・パラメータ				
パラメータ	高速モデル		-6 スピード・グレード	単位
	インダストリアル	コマーシャル		
t_{CIN}	1.760	1.760	4.011	ns
t_{COUT}	1.760	1.760	4.011	ns
t_{PLLCIN}	-0.118	-0.118	0.303	ns
$t_{PLLCOUT}$	-0.118	-0.118	0.303	ns

ブロック性能

表 4-99 に、いくつかの一般的なデザインにおける Arria GX の性能を示します。すべての性能値は、Quartus II ソフトウェアによって、LPM (Library of Parameterized Modules)、または有限インパルス応答 (FIR) および高速フーリエ変換 (FFT) デザイン向けの MegaCore ファンクションをコンパイルして得られたものです。

表 4-99 に、性能を示します。

表 4-99. Arria GX の性能 (1 / 3)					
アプリケーション		使用リソース			性能
		ALUT 数	TriMatrix メモリ・ ブロック数	DSP ブロック数	-6 スピード・ グレード
LE	16 対 1 マルチプレクサ	5	0	0	168.41
	32 対 1 マルチプレクサ	11	0	0	334.11
	16 ビット・カウンタ	16	0	0	374.0
	64 ビット・カウンタ	64	0	0	168.41
TriMatrix メモリ M512 ブロック	シンプル・ デュアル・ポート RAM 32 × 18 ビット	0	1	0	348.0
	FIFO 32 × 18 ビット	0	1	0	333.22

表 4-99. Arria GX の性能 (2 / 3)

アプリケーション		使用リソース			性能
		ALUT 数	TriMatrix メモリ・ ブロック数	DSP ブロック数	-6 スピード・ グレード
TriMatrix メモリ M4K ブロック	シンプル・ デュアル・ポート RAM 128 × 36 ビット	0	1	0	344.71
	トゥルー・ デュアル・ポート RAM 128 × 18 ビット	0	1	0	348.0
TriMatrix メモリ MegaRAM ブロック	シングル・ポート RAM 4K × 144 ビット	0	2	0	244.0
	シンプル・ デュアル・ポート RAM 4K × 144 ビット	0	1	0	292.0
	トゥルー・ デュアル・ポート RAM 4K × 144 ビット	0	2	0	244.0
	シングル・ポート RAM 8K × 144 ビット	0	1	0	247.0
	シンプル・ デュアル・ポート RAM 8K × 72 ビット	0	1	0	292.0
	シングル・ポート RAM 16K × 36 ビット	0	1	0	254.0
	シンプル・ デュアル・ポート RAM 16K × 36 ビット	0	1	0	292.0
	トゥルー・ デュアル・ポート RAM 16K × 36 ビット	0	1	0	251.0
	シングル・ポート RAM 32K × 18 ビット	0	1	0	317.36

アプリケーション		使用リソース			性能
		ALUT 数	TriMatrix メモリ・ ブロック数	DSP ブロック数	-6 スピード・ グレード
	シンプル・ デュアル・ポート RAM 32K × 18 ビット	0	1	0	292.0
	トウルー・ デュアル・ポート RAM 32K × 18 ビット	0	1	0	251.0
	シングル・ポート RAM 64K × 9 ビット	0	1	0	254.0
	シンプル・ デュアル・ポート RAM 64K × 9 ビット	0	1	0	292.0
	トウルー・ デュアル・ポート RAM 64K × 9 ビット	0	1	0	251.0
	DSP ブロック	9 × 9 ビット乗算器	0	0	1
18 × 18 ビット乗算器		0	0	2	285.0
18 × 18 ビット乗算器		0	0	4	335.35
36 × 36 ビット乗算器		0	0	8	174.4
36 × 36 ビット乗算器		0	0	8	285.0
18 ビット、4 タップ FIR フィルタ		0	0	8	163.0
大規模デザイン	8 ビット、 16 タップ・パラレル FIR フィルタ	0	0	4	163.0

IOE

表 4-100 から 4-101 に、IOE プログラマブル遅延を示します。

プログラマブル
遅延

表 4-100 に、IOE プログラマブル遅延を示します。

パラメータ	影響されるパス	使用可能な設定	高速モデル				-6 スピード・グレード		単位
			インダストリアル		コマーシャル		最小オフセット	最大オフセット	
			最小オフセット	最大オフセット	最小オフセット	最大オフセット			
ピンから内部セルまでの入力遅延	パッドからコアへの I/O データ出力	8	0	1.782	0	1.782	0	4.124	ns
ピンから入力レジスタまでの入力遅延	I/O 入力レジスタへのパッド	64	0	2.054	0	2.054	0	4.689	ns
出力レジスタから出力ピンまでの遅延	パッドへの I/O 出力レジスタ	2	0	0.332	0	0.332	0	0.717	ns
出力イネーブル・ピン遅延	txz/tzx	2	0	0.32	0	0.32	0	0.693	ns

表 4-101 に、IOE プログラマブル遅延を示します。

パラメータ	影響されるパス	使用可能な設定	高速モデル				-6 スピード・グレード		単位
			インダストリアル		コマーシャル		最小オフセット	最大オフセット	
			最小オフセット	最大オフセット	最小オフセット	最大オフセット			
ピンから内部セルまでの入力遅延	パッドからコアへの I/O データ出力	8	0	1.781	0	1.781	0	4.132	ns
ピンから入力レジスタまでの入力遅延	I/O 入力レジスタへのパッド	64	0	2.053	0	2.053	0	4.697	ns

表 4-101. Arria GX のカラム・ピンにおける IOE プログラマブル遅延 (2 / 2)

パラメータ	影響されるパス	使用可能な設定	高速モデル				-6 スピード・グレード		単位
			インダストリアル		コマーシャル		最小オフセット	最大オフセット	
			最小オフセット	最大オフセット	最小オフセット	最大オフセット			
出力レジスタから出力ピンまでの遅延	パッドへの I/O 出力レジスタ	2	0	0.332	0	0.332	0	0.717	ns
出力イネーブル・ピン遅延	txz/tzx	2	0	0.32	0	0.32	0	0.693	ns

最大入力 および出力 クロック・ トグル・レート

最大クロック・トグル・レートは、I/O ピンにおけるクロック・タイプの信号に対して達成可能な最大周波数として定義されます。I/O ピンは、通常の I/O ピンまたは専用のクロック I/O ピンです。

最大クロック・トグル・レートは、最大データ・ビット・レートとは異なります。通常の I/O ピンの最大クロック・トグル・レートが 300 MHz の場合、デュアル・データ・レート (DDR) の最大データ・ビット・レートは、同じ I/O ピンで最高 600 Mbps を達成する能力があります。

負荷が 0 pF 以外のときの出力トグル・レートを計算するには、以下の式を使用します。

0 pF 以外の負荷に対するトグル・レート

$$= 1,000 / (1,000/0 \text{ pF 負荷時のトグル・レート} + \text{ディレーティング・ファクタ} \times \text{負荷値 (pF)} / 1,000)$$

例えば、SSTL-18 Class II 20 mA の I/O 規格で 0 pF 負荷時の出力トグル・レートは、-3 デバイス・クロック出力ピンで 550 MHz です。ディレーティング・ファクタは、94 ps/pF です。10 pF 負荷の場合、トグル・レートは以下のとおり計算されます。

$$1,000 / (1,000/550 + 94 \times 10 / 1,000) = 363 \text{ (MHz)}$$

表 4-102 に、Arria GX デバイスのカラム I/O ピンの最大入力クロック・トグル・レートを示します。

表 4-102. Arria GX のカラム I/O ピンの最大入力トグル・レート		
I/O 規格	-6 スピード・ グレード	単位
3.3-V LVTTTL	420	MHz
3.3-V LVCMOS	420	MHz
2.5 V	420	MHz
1.8 V	420	MHz
1.5 V	420	MHz
SSTL-2 CLASS I	467	MHz
SSTL-2 CLASS II	467	MHz
SSTL-18 CLASS I	467	MHz
SSTL-18 CLASS II	467	MHz
1.8-V HSTL CLASS I	467	MHz
1.8-V HSTL CLASS II	467	MHz
1.5-V HSTL CLASS I	467	MHz
1.5-V HSTL CLASS II	467	MHz
3.3-V PCI	420	MHz
3.3-V PCI-X	420	MHz

表 4-103 に、Arria GX デバイスのロウ I/O ピンの最大入力クロック・トグル・レートを示します。

表 4-103. Arria GX のロウ I/O ピンの最大入力トグル・レート (1/2)		
I/O 規格	-6 スピード・ グレード	単位
3.3-V LVTTTL	420	MHz
3.3-V LVCMOS	420	MHz
2.5 V	420	MHz
1.8 V	420	MHz
1.5 V	420	MHz
SSTL-2 CLASS I	467	MHz
SSTL-2 CLASS II	467	MHz
SSTL-18 CLASS I	467	MHz

表 4-103. Arria GX のロウ I/O ピンの最大入力トグル・レート (2 / 2)

I/O 規格	-6 スピード・ グレード	単位
SSTL-18 CLASS II	467	MHz
1.8-V HSTL CLASS I	467	MHz
1.8-V HSTL CLASS II	467	MHz
1.5-V HSTL CLASS I	467	MHz
1.5-V HSTL CLASS II	467	MHz
LVDS	392	MHz

表 4-104 に、Arria GX デバイスの専用クロック・ピンの最大入力クロック・トグル・レートを示します。

表 4-104. Arria GX の専用クロック・ピンの最大入力クロック・レート (1 / 2)

I/O 規格	-6 スピード・ グレード	単位
3.3-V LVTTTL	373	MHz
3.3-V LVCMOS	373	MHz
2.5 V	373	MHz
1.8 V	373	MHz
1.5 V	373	MHz
SSTL-2 CLASS I	467	MHz
SSTL-2 CLASS II	467	MHz
3.3-V PCI	373	MHz
3.3-V PCI-X	373	MHz
SSTL-18 CLASS I	467	MHz
SSTL-18 CLASS II	467	MHz
1.8-V HSTL CLASS I	467	MHz
1.8-V HSTL CLASS II	467	MHz
1.5-V HSTL CLASS I	467	MHz
1.5-V HSTL CLASS II	467	MHz
1.2-V HSTL	233	MHz
差動 SSTL-2	467	MHz
差動 2.5-V SSTL CLASS II	467	MHz
差動 1.8-V SSTL CLASS I	467	MHz

表 4-104. Arria GX の専用クロック・ピンの最大入力クロック・レート
(2 / 2)

I/O 規格	-6 スピード・ グレード	単位
差動 1.8-V SSTL CLASS II	467	MHz
差動 1.8-V HSTL CLASS I	467	MHz
差動 1.8-V HSTL CLASS II	467	MHz
差動 1.5-V HSTL CLASS I	467	MHz
差動 1.5-V HSTL CLASS II	467	MHz
差動 1.2-V HSTL	233	MHz
LVDS	598	MHz
LVDS (1)	373	MHz

表 4-104 の注:

(1) この番号のセットは、VIO 専用入力クロック・ピンに対応しています。

表 4-105 に、Arria GX デバイスのカラム I/O ピンの最大出力クロック・トグル・レートを示します。

表 4-105. Arria GX のカラム I/O ピンの最大出力トグル・レート
(1 / 3)

I/O 規格	ドライブ能力	-6 スピード・ グレード	単位
3.3-V LVTTTL	4 mA	196	MHz
	8 mA	303	MHz
	12 mA	393	MHz
	16 mA	486	MHz
	20 mA	570	MHz
	24 mA	626	MHz
3.3-V LVCMOS	4 mA	215	MHz
	8 mA	411	MHz
	12 mA	626	MHz
	16 mA	819	MHz
	20 mA	874	MHz
	24 mA	934	MHz

表 4-105. Arria GX のカラム I/O ピンの最大出カトグル・レート
(2 / 3)

I/O 規格	ドライブ能力	-6 スピード・ グレード	単位
2.5 V	4 mA	168	MHz
	8 mA	355	MHz
	12 mA	514	MHz
	16 mA	766	MHz
1.8 V	2 mA	97	MHz
	4 mA	215	MHz
	6 mA	336	MHz
	8 mA	486	MHz
	10 mA	706	MHz
	12 mA	925	MHz
1.5 V	2 mA	168	MHz
	4 mA	303	MHz
	6 mA	350	MHz
	8 mA	392	MHz
SSTL-2 CLASS I	8 mA	280	MHz
	12 mA	327	MHz
SSTL-2 CLASS II	16 mA	280	MHz
	20 mA	327	MHz
	24 mA	327	MHz
SSTL-18 CLASS I	4 mA	140	MHz
	6 mA	186	MHz
	8 mA	280	MHz
	10 mA	373	MHz
	12 mA	373	MHz
SSTL-18 CLASS II	8 mA	140	MHz
	16 mA	327	MHz
	18 mA	373	MHz
	20 mA	420	MHz

表 4-105. Arria GX のカラム I/O ピンの最大出力トグル・レート (3 / 3)

I/O 規格	ドライブ能力	-6 スピード・ グレード	単位
1.8-V HSTL CLASS I	4 mA	280	MHz
	6 mA	420	MHz
	8 mA	561	MHz
	10 mA	561	MHz
	12 mA	607	MHz
1.8-V HSTL CLASS II	16 mA	420	MHz
	18 mA	467	MHz
	20 mA	514	MHz
1.5-V HSTL CLASS I	4 mA	280	MHz
	6 mA	420	MHz
	8 mA	561	MHz
	10 mA	607	MHz
	12 mA	654	MHz
1.5-V HSTL CLASS II	16 mA	514	MHz
	18 mA	561	MHz
	20 mA	561	MHz
3.3-V PCI	mA	626	MHz
3.3-V PCI-X	mA	626	MHz

表 4-106 に、Arria GX デバイスのロウ I/O ピンの最大出力クロック・トグル・レートを示します。

表 4-106. Arria GX のロウ I/O ピンの最大出力トグル・レート (1 / 2)

I/O 規格	ドライブ能力	-6 スピード・ グレード	単位
3.3-V LVTTTL	4 mA	196	MHz
	8 mA	303	MHz
	12 mA	393	MHz
3.3-V LVCMOS	4 mA	215	MHz
	8 mA	411	MHz

表 4-106. Arria GXのロウI/Oピンの最大出力トグル・レート (2/2)

I/O 規格	ドライブ能力	-6 スピード・ グレード	単位
2.5 V	4 mA	168	MHz
	8 mA	355	MHz
	12 mA	514	MHz
1.8 V	2 mA	97	MHz
	4 mA	215	MHz
	6 mA	336	MHz
	8 mA	486	MHz
1.5 V	2 mA	168	MHz
	4 mA	303	MHz
SSTL-2 CLASS I	8 mA	280	MHz
	12 mA	327	MHz
SSTL-2 CLASS II	16 mA	280	MHz
SSTL-18 CLASS I	4 mA	140	MHz
	6 mA	186	MHz
	8 mA	280	MHz
	10 mA	373	MHz
1.8-V HSTL CLASS I	4 mA	280	MHz
	6 mA	420	MHz
	8 mA	561	MHz
	10 mA	561	MHz
	12 mA	607	MHz
1.5-V HSTL CLASS I	4 mA	280	MHz
	6 mA	420	MHz
	8 mA	561	MHz
LVDS	mA	598	MHz

表 4-107 に、専用クロック・ピンの最大出力クロック・レートを示します。

I/O 規格	ドライブ能力	-6 スピード・グレード	単位
3.3-V LVTTTL	4 mA	196	MHz
	8 mA	303	MHz
	12 mA	393	MHz
	16 mA	486	MHz
	20 mA	570	MHz
	24 mA	626	MHz
3.3-V LVCMOS	4 mA	215	MHz
	8 mA	411	MHz
	12 mA	626	MHz
	16 mA	819	MHz
	20 mA	874	MHz
	24 mA	934	MHz
2.5 V	4 mA	168	MHz
	8 mA	355	MHz
	12 mA	514	MHz
	16 mA	766	MHz
1.8 V	2 mA	97	MHz
	4 mA	215	MHz
	6 mA	336	MHz
	8 mA	486	MHz
	10 mA	706	MHz
	12 mA	925	MHz
1.5 V	2 mA	168	MHz
	4 mA	303	MHz
	6 mA	350	MHz
	8 mA	392	MHz
SSTL-2 CLASS I	8 mA	280	MHz
	12 mA	327	MHz
SSTL-2 CLASS II	16 mA	280	MHz
	20 mA	327	MHz
	24 mA	327	MHz

表 4-107. Arria GX の専用クロック・ピンの最大出カクロック・レート
(2 / 4)

I/O 規格	ドライブ能力	-6 スピード・ グレード	単位
SSTL-18 CLASS I	4 mA	140	MHz
	6 mA	186	MHz
	8 mA	280	MHz
	10 mA	373	MHz
	12 mA	373	MHz
SSTL-18 CLASS II	8 mA	140	MHz
	16 mA	327	MHz
	18 mA	373	MHz
	20 mA	420	MHz
1.8-V HSTL CLASS I	4 mA	280	MHz
	6 mA	420	MHz
	8 mA	561	MHz
	10 mA	561	MHz
	12 mA	607	MHz
1.8-V HSTL CLASS II	16 mA	420	MHz
	18 mA	467	MHz
	20 mA	514	MHz
1.5-V HSTL CLASS I	4 mA	280	MHz
	6 mA	420	MHz
	8 mA	561	MHz
	10mA	607	MHz
	12 mA	654	MHz
1.5-V HSTL CLASS II	16 mA	514	MHz
	18 mA	561	MHz
	20 mA	561	MHz
	24 mA	278	MHz
差動 SSTL-2	8 mA	280	MHz
	12 mA	327	MHz
差動 2.5-V SSTL CLASS II	16 mA	280	MHz
	20 mA	327	MHz
	24 mA	327	MHz

表 4-107. Arria GX の専用クロック・ピンの最大出力クロック・レート
(3 / 4)

I/O 規格	ドライブ能力	-6 スピード・ グレード	単位
差動 1.8-V SSTL CLASS I	4 mA	140	MHz
	6 mA	186	MHz
	8 mA	280	MHz
	10 mA	373	MHz
	12 mA	373	MHz
差動 1.8-V SSTL CLASS II	8 mA	140	MHz
	16 mA	327	MHz
	18 mA	373	MHz
	20 mA	420	MHz
差動 1.8-V HSTL CLASS I	4 mA	280	MHz
	6 mA	420	MHz
	8 mA	561	MHz
	10 mA	561	MHz
	12 mA	607	MHz
差動 1.8-V HSTL CLASS II	16 mA	420	MHz
	18 mA	467	MHz
	20 mA	514	MHz
差動 1.5-V HSTL CLASS I	4 mA	280	MHz
	6 mA	420	MHz
	8 mA	561	MHz
	10 mA	607	MHz
	12 mA	654	MHz
差動 1.5-V HSTL CLASS II	16 mA	514	MHz
	18 mA	561	MHz
	20 mA	561	MHz
	24 mA	278	MHz
3.3-V PCI	-	626	MHz
3.3-V PCI-X	-	626	MHz
LVDS	-	280	MHz
HyperTransport	-	116	MHz
LVPECL	-	280	MHz

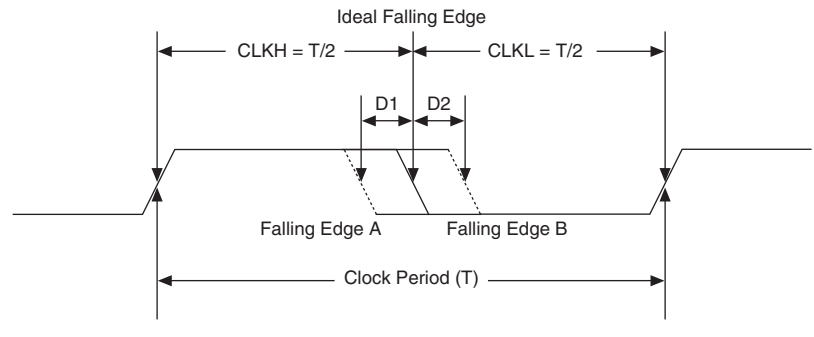
表 4-107. Arria GX の専用クロック・ピンの最大出カクロック・レート
(4 / 4)

I/O 規格	ドライブ能力	-6 スピード・ グレード	単位
3.3-V LVTTTL	SERIES_25_OHMS	327	MHz
	SERIES_50_OHMS	327	MHz
3.3-V LVCMOS	SERIES_25_OHMS	280	MHz
	SERIES_50_OHMS	280	MHz
2.5 V	SERIES_25_OHMS	280	MHz
	SERIES_50_OHMS	280	MHz
1.8 V	SERIES_25_OHMS	420	MHz
	SERIES_50_OHMS	420	MHz
1.5 V	SERIES_50_OHMS	373	MHz
SSTL-2 CLASS I	SERIES_50_OHMS	467	MHz
SSTL-2 CLASS II	SERIES_25_OHMS	467	MHz
SSTL-18 CLASS I	SERIES_50_OHMS	327	MHz
SSTL-18 CLASS II	SERIES_25_OHMS	420	MHz
1.8-V HSTL CLASS I	SERIES_50_OHMS	561	MHz
1.8-V HSTL CLASS II	SERIES_25_OHMS	420	MHz
1.5-V HSTL CLASS I	SERIES_50_OHMS	467	MHz
1.2-V HSTL	SERIES_50_OHMS	233	MHz
差動 SSTL-2	SERIES_50_OHMS	467	MHz
差動 2.5-V SSTL CLASS II	SERIES_25_OHMS	467	MHz
差動 1.8-V SSTL CLASS I	SERIES_50_OHMS	327	MHz
差動 1.8-V SSTL CLASS II	SERIES_25_OHMS	420	MHz
差動 1.8-V HSTL CLASS I	SERIES_50_OHMS	561	MHz
差動 1.8-V HSTL CLASS II	SERIES_25_OHMS	420	MHz
差動 1.5-V HSTL CLASS I	SERIES_50_OHMS	467	MHz
差動 1.2-V HSTL	SERIES_50_OHMS	233	MHz

デューティ・サイクル歪み

デューティ・サイクル歪み (DCD) は、クロックの立ち下がりエッジが理想の位置からどれだけ離れているかを表します。理想位置は、[図 4-10](#) に示すとおり、クロック High 時間 (CLKH) とクロック Low 時間 (CLKL) の両方がクロック周期 (T) の 1/2 に等しくなる位置です。DCD は、立ち下がりエッジ A に対する D1 や立ち下がりエッジ B に対する D2 など、理想的な立ち下がりエッジからの非理想的な立ち下がりエッジの偏差です ([図 4-10](#) 参照)。D1 と D2 のうち大きい方の値がクロックに対する最大 DCD です。

図 4-10. デューティ・サイクル歪み



例えば、[図 4-10](#) の D1 または D2 のように、絶対偏差で表される DCD はクロック周期には無関係です。DCD はパーセンテージで表すこともでき、パーセンテージの値はクロック周期に依存します。パーセンテージで表す DCD は、以下のとおり定義されます。

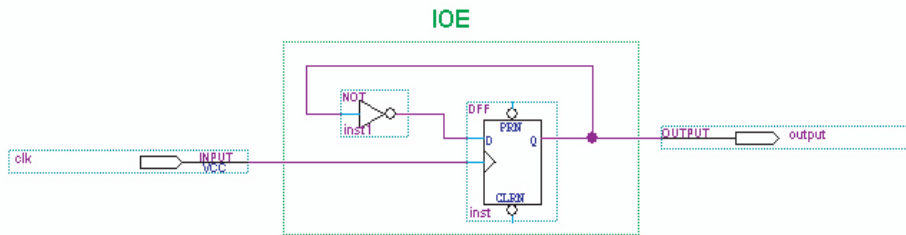
$$(T/2 - D1) / T \text{ (パーセンテージ下限)}$$

$$(T/2 + D2) / T \text{ (パーセンテージ上限)}$$

DCD 測定手法

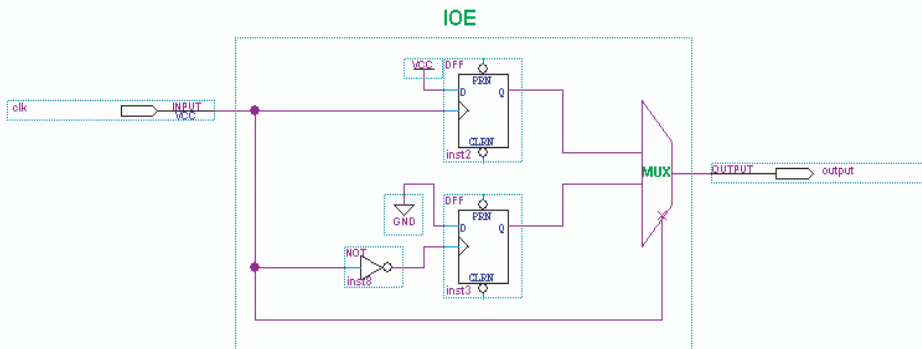
DCD は、対応する I/O エlement (IOE) ブロック内のレジスタによってドライブされる FPGA の出力ピンで測定されます。出力がシングル・データ・レート信号のとき (非 DDIO) には、レジスタ入力クロックの一方のエッジ (正または負) のみ出力の遷移をトリガします ([図 4-11](#))。したがって、入力クロック信号に存在する DCD、またはクロック入力バッファまたは異なる I/O 規格に起因する DCD は出力信号に転送されません。

図 4-11. 非 DDIO (シングル・データ・レート) 出力の DCD 測定手法



しかし、出力がダブル・データ・レート入力 / 出力 (DDIO) 信号のときには、入力クロックの両方のエッジ (正および負) で出力の遷移をトリガします (図 4-12)。したがって、入力クロックおよび入力クロック・バッファの歪みが出力の DCD に影響を及ぼします。

図 4-12. DDIO (ダブル・データ・レート) 出力の DCD 測定手法



FPGA PLL が内部クロックを生成すると PLL 出力が IOE ブロックをクロックします。PLL が基準クロック入力のポジティブ・エッジのみをモニタして、内部で出力クロック信号を再作成するので、基準クロックの DCD が除去されます。したがって、クロック・パスに PLL がある DDIO 出力の DCD は、クロック・パスに PLL がない場合の DDIO 出力の DCD よりも優れています。

表 4-108 から 4-113 に、Arria GX デバイスの様々な I/O 規格における絶対偏差での最大 DCD を示します。DCD をパーセンテージとして計算する方法を示す例を提供されています。

表 4-108. ロウ I/O ピンにおける非 DDIO 出力の最大 DCD		
ロウ I/O 出力規格	非 DDIO 出力の最大 DCD (ps)	
	-6 スピード・グレード	単位
3.3-V LVTTTL	275	ps
3.3-V LVCMOS	155	ps
2.5 V	135	ps
1.8 V	180	ps
1.5-V LVCMOS	195	ps
SSTL-2 Class I	145	ps
SSTL-2 Class II	125	ps
SSTL-18 Class I	85	ps
1.8-V HSTL Class I	100	ps
1.5-V HSTL Class I	115	ps
LVDS	80	ps

以下は、ロウ I/O で非 DDIO 出力に対するパーセンテージとして DCD を計算する例です。

非 DDIO 出力の I/O 規格が SSTL-2 Class II の場合、最大 DCD は 125 ps です (表 4-109 を参照)。クロック周波数が 267 MHz の場合、クロック周期 T は以下のとおりです。

$$T = 1 / f = 1 / 267 \text{ MHz} = 3.745 \text{ ns} = 3,745 \text{ ps}$$

以下のとおり、DCD をパーセンテージとして計算します。

$$(T/2 - \text{DCD}) / T = (3,745 \text{ ps}/2 - 125 \text{ ps}) / 3,745 \text{ ps} = 46.66\% (\text{下限値})$$

$$(T/2 + \text{DCD}) / T = (3,745 \text{ ps}/2 + 125 \text{ ps}) / 3,745 \text{ ps} = 53.33\% (\text{上限値})$$

したがって、267 MHz での出力クロックの DCD パーセンテージは、46.66% ~ 53.33% となります。

表 4-109. カラム I/O ピンにおける非 DDIO 出力の最大 DCD		
カラム I/O 出力規格の I/O 規格	非 DDIO 出力の最大 DCD (ps)	単位
	-6 スピード・グレード	
3.3-V LVTTTL	220	ps
3.3-V LVCMOS	175	ps
2.5 V	155	ps
1.8 V	110	ps
1.5-V LVCMOS	215	ps
SSTL-2 Class I	135	ps
SSTL-2 Class II	130	ps
SSTL-18 Class I	115	ps
SSTL-18 Class II	100	ps
1.8-V HSTL Class I	110	ps
1.8-V HSTL Class II	110	ps
1.5-V HSTL Class I	115	ps
1.5-V HSTL Class II	80	ps
1.2-V HSTL-12	200	ps
LVPECL	80	ps

表 4-110. クロック・パスに PLL のないロウ I/O ピンでの DDIO 出力に対する最大 DCD (1 / 2) 注 (1)						
ロウ DDIO 出力の I/O 規格に対する最大 DCD (ps)	入力 I/O 規格 (クロック・パスに PLL なし)					単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	LVDS	
	3.3/2.5 V	1.8/1.5 V	2.5 V	1.8/1.5 V	3.3 V	
3.3-V LVTTTL	440	495	170	160	105	ps
3.3-V LVCMOS	390	450	120	110	75	ps
2.5 V	375	430	105	95	90	ps
1.8 V	325	385	90	100	135	ps
1.5-V LVCMOS	430	490	160	155	100	ps
SSTL-2 Class I	355	410	85	75	85	ps
SSTL-2 Class II	350	405	80	70	90	ps

表 4-110. クロック・パスに PLL のないロウ I/O ピンでの DDIO 出力に対する最大 DCD (2 / 2)
注 (1)

ロウ DDIO 出力の I/O 規格に対する最大 DCD (ps)	入力 I/O 規格 (クロック・パスに PLL なし)					単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	LVDS	
	3.3/2.5 V	1.8/1.5 V	2.5 V	1.8/1.5 V	3.3 V	
SSTL-18 Class I	335	390	65	65	105	ps
1.8-V HSTL ClassI	330	385	60	70	110	ps
1.5-V HSTL ClassI	330	390	60	70	105	ps
LVDS	180	180	180	180	180	ps

表 4-110 の注 :

(1) 表 4-110 では、入力クロックの DCD をゼロと想定しています。

表 4-111. クロック・パスに PLL のないカラム I/O ピンでの DDIO 出力に対する最大 DCD 注 (1)

DDIO カラム出力の I/O 規格に対する最大 DCD (ps)	入力 I/O 規格 (クロック・パスに PLL なし)				単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	
	3.3/2.5 V	1.8/1.5 V	2.5 V	1.8/1.5 V	
3.3-V LVTTTL	440	495	170	160	ps
3.3-V LVCMOS	390	450	120	110	ps
2.5 V	375	430	105	95	ps
1.8 V	325	385	90	100	ps
1.5-V LVCMOS	430	490	160	155	ps
SSTL-2 Class I	355	410	85	75	ps
SSTL-2 Class II	350	405	80	70	ps
SSTL-18 Class I	335	390	65	65	ps
SSTL-18 Class II	320	375	70	80	ps
1.8-V HSTL ClassI	330	385	60	70	ps
1.8-V HSTL ClassII	330	385	60	70	ps
1.5-V HSTL ClassI	330	390	60	70	ps
1.5-V HSTL ClassII	330	360	90	100	ps
LVPECL	180	180	180	180	ps

表 4-111 の注 :

(1) 表 4-111 では、入力クロックの DCD をゼロと想定しています。

表 4-112. クロック・パスに PLL があるロウ I/O ピンでの DDIO 出力に対する最大 DCD

ロウ DDIO 出力の I/O 規格 に対する最大 DCD (ps)	Arria GX デバイス (PLL 出力を DDIO に供給)	単位
	-6 スピード・グレード	
3.3-V LVTTTL	105	ps
3.3-V LVCMOS	75	ps
2.5 V	90	ps
1.8 V	100	ps
1.5-V LVCMOS	100	ps
SSTL-2 Class I	75	ps
SSTL-2 Class II	70	ps
SSTL-18 Class I	65	ps
1.8-V HSTL Class I	70	ps
1.5-V HSTL Class I	70	ps
LVDS	180	ps

表 4-113. クロック・パスに PLL があるカラム I/O ピンでの DDIO 出力に対する最大 DCD (1 / 2)

カラム DDIO 出力の I/O 規格に 対する最大 DCD (ps)	Arria GX デバイス (PLL 出力を DDIO に供給)	単位
	-6 スピード・グレード	
3.3-V LVTTTL	160	ps
3.3-V LVCMOS	110	ps
2.5 V	95	ps
1.8 V	100	ps
1.5-V LVCMOS	155	ps
SSTL-2 Class I	75	ps
SSTL-2 Class II	70	ps
SSTL-18 Class I	65	ps
SSTL-18 Class II	80	ps
1.8-V HSTL Class I	70	ps
1.8-V HSTL Class II	70	ps
1.5-V HSTL Class I	70	ps
1.5-V HSTL Class II	100	ps

表 4-113. クロック・パスに PLL があるカラム I/O ピンでの DDIO 出力に対する最大 DCD (2 / 2)		
カラム DDIO 出力の I/O 規格に対する最大 DCD (ps)	Arria GX デバイス (PLL 出力を DDIO に供給)	単位
	-6 スピード・グレード	
1.2-V HSTL	155	ps
LVPECL	180	ps

高速 I/O 規格

表 4-114 に、高速タイミング仕様の定義を示します。

表 4-114. 高速タイミング規格および定義	
高速タイミング規格	定義
t_c	高速レシーバ / トランスミッタの入力および出力クロック周期。
f_{HSCLK}	高速レシーバ / トランスミッタの入力および出力クロック周波数。
J	デシリアライゼーション・ファクタ (パラレル・データ・バスの幅)。
W	PLL 遜倍係数。
t_{RISE}	Low から High への伝送時間。
t_{FALL}	High から Low への伝送時間。
Timing unit interval (TUI)	スキュー、伝播遅延、およびデータ・サンプリング・ウィンドウのために許容されるタイミング・バジェット。(TUI = $1 / (レシーバ入力クロック周波数 \times 低倍係数) = t_c / W$)。
f_{HSDR}	LVDS の最大 / 最小データ転送レート ($f_{HSDR} = 1 / TUI$)、DPA なし。
$f_{HS DRDPA}$	LVDS の最大 / 最小データ転送レート ($f_{HS DRDPA} = 1 / TUI$)、DPA あり。
チャンネル間スキュー (TCCS)	t_{CO} のばらつきやクロック・スキューなど、最速および最低速出力エッジ間のタイミングの差。TCCS の測定では、クロックが考慮されます。
サンプリング・ウィンドウ (SW)	データを正しくキャプチャするために、データが有効でなければならない期間。サンプリング・ウィンドウ内での理想的なストロブ位置は、セットアップ時間およびホールド時間によって決まります。
入力ジッタ	高速 PLL におけるピーク・ツー・ピーク入力ジッタ。
出力ジッタ	高速 PLL におけるピーク・ツー・ピーク出力ジッタ。
t_{DUTY}	高速トランスミッタ出力クロックのデューティ・サイクル。
t_{LOCK}	高速トランスミッタおよびレシーバ PLL のロック時間。

表 4-115 に、高速 I/O タイミング規格を示します。

表 4-115. 高速 I/O 規格 注 (1)、(2) (1 / 2)					
シンボル	条件	-6 スピード・グレード			単位
		Min	Typ	Max	
f_{HSCLK} (クロック周波数) $f_{\text{HSCLK}} = f_{\text{HSDR}} / W$	W = 2 ~ 32 (LVDS、HyperTransport テクノロジ) (3)	16		420	MHz
	W = 1 (SERDES バイパス、LVDS のみ)	16		500	MHz
	W = 1 (SERDES 使用、LVDS のみ)	150		640	MHz
f_{HSDR} (データ・レート)	J = 4 ~ 10 (LVDS、HyperTransport テクノロジ)	150		840	Mbps
	J = 2 (LVDS、AHyperTransport テクノロジ)	(4)		700	Mbps
	J = 1 (LVDS のみ)	(4)		500	Mbps
f_{HSDRDPA} (DPA データ・レート)	J = 4 ~ 10 (LVDS、HyperTransport テクノロジ)	150		840	Mbps
TCCS	すべての差動 I/O 規格	-		200	ps
SW	すべての差動 I/O 規格	440		-	ps
出力ジッタ				190	ps
出力 t_{RISE}	すべての差動 I/O 規格			290	ps
出力 t_{FALL}	すべての差動 I/O 規格			290	ps
t_{DUTY}		45	50	55	%
DPA ラン・レンジス				6,400	UI
DPA ジッタ許容値	データ・チャネルのピーク・ツー・ピーク・ジッタ	0.44			UI

表 4-115. 高速 I/O 規格 注 (1)、(2) (2 / 2)

シンボル	条件			-6 スピード・グレード			単位
				Min	Typ	Max	
DPA ロック時間	規格	トレーニング・パターン	遷移密度				繰り返し数
	SPI-4	00000000001 111111111	10%	256			
	Parallel Rapid I/O	00001111	25%	256			
		10010000	50%	256			
	その他	10101010	100%	256			
		01010101		256			

表 4-115 の注:

- (1) J=4 ~ 10 の場合、SERDES ブロックが使用されます。
- (2) J=1 または 2 の場合、SERDES ブロックはバイパスされます。
- (3) 入力クロック周波数および係数 W は、以下の fast PLL VCO 仕様を満足しなければなりません。150 & 163; 入力クロック周波数 $\times W \leq 1,040$
- (4) 最小値仕様は、クロック・ソース (fast PLL、enhanced PLL、クロック・ピンなど) および使用されるクロック配線リソース (グローバル、リージョナル、またはローカル) に依存します。差動 I/O バッファおよび入力レジスタには、最小トグル・レートはありません。

PLL タイミング規格

表 4-116 および 4-117 に、コマーシャル・ジャンクション温度範囲 (0 ~ 85 C) およびインダストリアル・ジャンクション温度範囲 (-40 ~ 100 C) の両方で動作するときの、クロック・スイッチオーバーおよび位相シフト・ステッピング機能を除く Arria GX の PLL 規格を示します。これら 2 つの機能は、0 ~ 100 C のジャンクション温度範囲でのみサポートされています。

表 4-116. Enhanced PLL 規格 (1 / 3)

シンボル	説明	Min	Typ	Max	単位
f_{IN}	入力クロック周波数	2		500	MHz
f_{INPFD}	PFD への入力周波数	2		420	MHz
f_{INDUTY}	入力クロックのデューティ・サイクル	40		60	%
f_{ENDUTY}	外部フィードバック入力のデューティ・サイクル	40		60	%

表 4-116. Enhanced PLL 規格 (2 / 3)					
シンボル	説明	Min	Typ	Max	単位
$t_{INJITTER}$	周期ジッタについての入力または外部フィードバック・クロック入力ジッタの許容差。 帯域幅 ≤ 0.85 MHz		0.5		ns (ピーク・ツー・ピーク)
	周期ジッタについての入力または外部フィードバック・クロック入力ジッタの許容差。 帯域幅 > 0.85 MHz		1.0		ns (ピーク・ツー・ピーク)
$t_{OUTJITTER}$	専用クロック出力の周期ジッタ			(3)	ps (p-p)
t_{FCOMP}	外部フィードバック補償時間			10	ns
f_{OUT}	内部グローバル・クロックまたはリージョナル・クロックの出力周波数	1.5 (2)		550	MHz
$f_{SCANCLK}$	Scanclk 周波数			100	MHz
$t_{CONFIGEPPLL}$	EPLL のスキャン・チェーンをリコンフィギュレーションするのに必要な時間		$174/f_{SCANCLK}$		ns
f_{OUT_EXT}	PLL 外部クロック出力周波数	1.5 (2)		(1)	MHz
$f_{OUTDUTY}$	外部クロック出力のデューティ・サイクル	45	50	55	%
t_{LOCK}	PLL がイネーブルされた時点またはデバイス・コンフィギュレーション終了時から PLL がロックするのに必要な時間		0.03	1	ms
t_{DLOCK}	PLL が 2 つの同一クロック周波数間での自動クロック・スイッチオーバー後にダイナミックにロックするのに必要な時間			1	ms
$f_{SWITCHOVER}$	クロック・スイッチオーバーが正しく動作する周波数範囲	1.5	1	500	MHz
f_{CLBW}	PLL のクローズド・ループ帯域幅	0.13	1.2	16.9	MHz
f_{VCO}	PLL VCO 動作範囲	300		840	MHz
f_{SS}	スペクトラム拡散変調周波数	100		500	kHz
% spread	所定のクロック周波数のダウン拡散率	0.4	0.5	0.6	%
t_{PLL_PSERR}	PLL 位相シフトの精度			± 30	ps
t_{ARESET}	areset 信号の最小パルス幅	10			ns
$t_{ARESET_RECONFIG}$	PLL リコンフィギュレーション使用時の areset 信号の最小パルス幅。 scandone が High になった後で PLL をリセット。	500			ns

表 4-116. Enhanced PLL 規格 (3 / 3)

シンボル	説明	Min	Typ	Max	単位
$t_{\text{RECONFIGWAIT}}$	リコンフィギュレーションが実行され areset が印加された後、必要な待ち時間			2	us

表 4-116 の注:

- (1) I/O f_{MAX} で制限されます。
- (2) PLL のカウンタ・カスケード接続機能を使用する場合、最小出力クロック周波数は存在しません。
- (3) 100 MHz 以上の outclk では 250 ps。100 MHz 未満の outclk では 250 mUI。

表 4-117. Fast PLL 規格

シンボル	説明	Min	Typ	Max	単位
f_{IN}	入力クロック周波数	16.08		640	MHz
f_{INPFD}	PFD への入力周波数	16.08		500	MHz
f_{INDUTY}	入力クロックのデューティ・サイクル	40		60	%
t_{NJITTER}	周期ジッタとしての入力クロックジッタの許容差。帯域幅 ≤ 2 MHz		0.5		ns (p-p)
	周期ジッタとしての入力クロックジッタの許容差。帯域幅 > 0.2 MHz		1.0		ns (p-p)
f_{VCO}	VCO 周波数範囲の上限値	300		840	MHz
	VCO 周波数範囲の下限値	150		420	MHz
f_{OUT}	GCLK または RCLK への PLL 出力周波数	4.6875		550	MHz
	LVDS または DPA クロックへの PLL 出力周波数	150		840	MHz
$f_{\text{OUT_EXT}}$	通常の I/O への PLL クロック出力周波数	4.6875		(1)	MHz
$t_{\text{CONFIGPLL}}$	fast PLL のスキャン・チェインをリコンフィギュレーションするのに必要な時間		$75/f_{\text{SCANCLK}}$		ns
f_{CLBW}	PLL のクローズド・ループ帯域幅	1.16	5	28	MHz
t_{LOCK}	PLL がイネーブルされた時点またはデバイス・コンフィギュレーション終了時から PLL がロックするのに必要な時間		0.03	1	ms
$t_{\text{PLL_PSERR}}$	PLL 位相シフトの精度			± 30	ps
t_{ARESET}	areset 信号の最小パルス幅	10			ns
$t_{\text{ARESET_RECONFIG}}$	PLL リコンフィギュレーション使用時の areset 信号の最小パルス幅。scandone が High になった後で PLL をリセット。	500			ns

表 4-117 の注:

- (1) I/O f_{MAX} で制限されます。

外部メモリ・ インタフェース 仕様

表 4-118 から 4-122 に、外部メモリデバイスとのインタフェースに使用される専用回路に対する Arria GX デバイス仕様を示します。

周波数モード	周波数範囲 (MHz)
0	100 ~ 175
1	150 ~ 230
2	200 ~ 310

DQS 遅延バッファ・ステージ数 (2)	コマーシャル (ps)	インダストリアル (ps)
1	80	110
2	110	130
3	130	180
4	160	210

表 4-119 の注:

- (1) 位相シフト DQS クロック上のピーク・ツー・ピーク周期ジッタ。例えば、コマーシャル・デバイスの使用条件における 2 つの遅延ステージのジッタは、200 ps ピーク・ツー・ピークまたは 100 ps です。
- (2) 要求される DQS 位相シフトに使用される遅延ステージは、Quartus II ソフトウェアのプロジェクトのコンパイル・レポートに示されます。

DQS 遅延バッファ・ステージ数	-6 スピード・グレード (ps)
1	35
2	70
3	105
4	140

表 4-121. DQS バス・クロック・スキュー・アダー仕様 ($t_{DQS_CLOCK_SKEW_ADDER}$)	
モード	DQS クロック・スキュー・アダー (ps)
4 DQ/DQS	40
9 DQ/DQS	70
18 DQ/DQS	75
36 DQ/DQS	95

表 4-122. ステージあたりの DQS 位相オフセット遅延 (ps) 注 (1)、(2)、(3)				
スピード・グレード	正のオフセット		負のオフセット	
	Min	Max	Min	Max
-6	10	16	8	12

表 4-122 の注:

- (1) 遅延設定はリニアです。
- (2) 位相オフセットの有効設定値は、-32 ~ +31 です。
- (3) 標準値は、最小値と最大値の平均に等しくなります。

JTAG タイミング仕様

図 4-13 に、JTAG 信号に対するタイミング要件を示します。

図 4-13. Arria GX の JTAG 信号波形

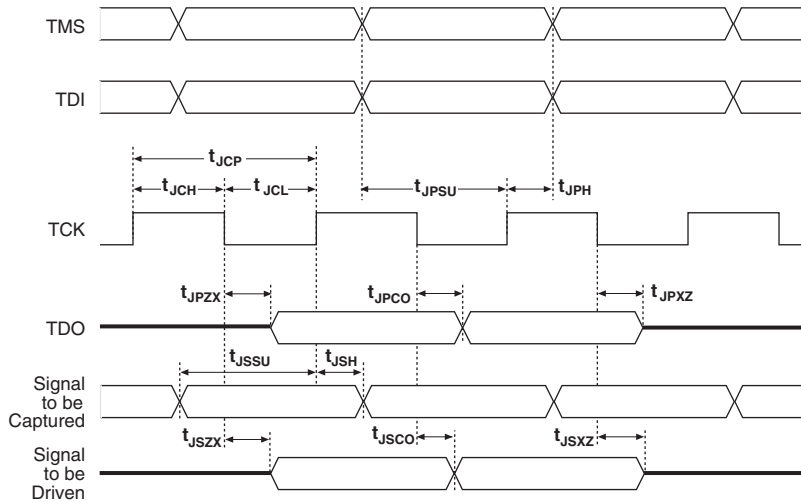


表 4-123 に、Arria GX デバイスの JTAG タイミング・パラメータとその値を示します。

シンボル	パラメータ	Min	Max	単位
t_{JCP}	TCK クロックの周期	30		ns
t_{JCH}	TCK クロックの High 時間	12		ns
t_{JCL}	TCK クロックの Low 時間	12		ns
t_{JPSU}	JTAG ポートのセットアップ時間	4		ns
t_{JPH}	JTAG ポートのホールド時間	5		ns
t_{JPCO}	JTAG ポートの Clock-to-Output		9	ns
t_{JPZX}	JTAG ポートのハイ・インピーダンスから有効出力まで		9	ns
t_{JPXZ}	JTAG ポートの有効出力からハイ・インピーダンスまで		9	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	4		ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	5		ns
t_{JSCO}	アップデート・レジスタの Clock-to-Output 遅延		12	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		12	ns
t_{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		12	ns

参考資料

この章では以下のドキュメントを参照しています。

- [「Arria GX アーキテクチャ」](#)の章 (Arria GX デバイス・ハンドブック Volume 1)
- [「Arria GX デバイス・ファミリー・データシート」](#)の章 (Arria GX デバイス・ハンドブック Volume 1)
- [「PowerPlay Early Power Estimator and PowerPlay Power Analyzer」](#)
- [「PowerPlay による電力解析」](#)の章 (Quartus II ハンドブック Volume 3)

改訂履歴

表 4-124 に、本資料の改訂履歴を示します。

表 4-124. 改訂履歴		
日付および ドキュメント・ バージョン	変更内容	概要
2008 年 5 月 v1.3	更新： <ul style="list-style-type: none"> ● 表 4-5 ● 表 4-7 ● 表 4-8 ● 表 4-9 ● 表 4-10 ● 表 4-11 ● 表 4-12 ● 表 4-13 ● 表 4-14 ● 表 4-15 ● 表 4-16 ● 表 4-17 ● 表 4-43 ● 表 4-116 ● 表 4-117 	—
	更新： <ul style="list-style-type: none"> ● 図 4-4 	—
	テキストのマイナーな編集。	—
2007 年 8 月 v1.2	各ページから「暫定版」を削除。	—
	表 4-44、4-45、および 4-47 から、「暫定版」の注を削除。	—
	「参考資料」の項を追加。	—
2007 年 6 月 v1.1	表 4-99 を更新。	—
	GIGE 情報を追加。	—
2007 年 5 月 v1.0	初版	—