

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX51003-1.0

### IEEE Std. 1149.1 JTAG バウンダリ・ スキュアの サポート

すべての Arria™ GX デバイスは、IEEE Std.1149.1 に準拠した JTAG BST 回路を搭載しています。JTAG バウンダリ・スキュア・テストは、コンフィギュレーションの実行前または完了後に行うことができますが、コンフィギュレーションの実行中に行うことはできません。Arria GX デバイスでは、Quartus® II ソフトウェア、または Jam ファイル (.jam) または Jam Byte-Code ファイル (.jbc) を使用したハードウェアによるコンフィギュレーションにも JTAG ポートが使用可能です。

Arria GX デバイスは、JTAG BST チェインを通じて I/O エlement (IOE) に設定されている I/O 規格のリコンフィギュレーションをサポートします。JTAG チェインは、ユーザ・モードの前またはユーザ・モード中はいずれでも、CONFIG\_IO 命令を通じてすべての入力ピンおよび出力ピンに対する I/O 規格をアップデートできます。Arria GX デバイスの複数のピンが電圧リファレンス形式の規格でボード上の他のデバイスをドライブしているか、これらのデバイスから信号を受信している場合は、この機能をコンフィギュレーション前の JTAG テストに使用できます。Arria GX デバイスは JTAG テストの前にコンフィギュレーションされていないかもしれないため、チップ間通信に適した電気規格で I/O ピンにコンフィギュレーションされていないかもしれません。JTAG チェインを通じて特定の I/O 規格をプログラムすることにより、他のデバイスへの I/O 接続を完全にテストすることができます。

JTAG モードで動作するデバイスは、TDI、TDO、TMS、および TCK の 4 本の専用ピン、および TRST の 1 本のオプション・ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えています。TDI ピン、TMS ピンおよび TRST ピンは内部ウィーク・プルアップ抵抗を備えています。JTAG 入力ピンは、3.3 V  $V_{CCPD}$  ピンで駆動します。TDO 出力ピンは、I/O バンク 4 の  $V_{CCIO}$  電源で駆動します。

また、Stratix II GX デバイスは、SignalTap® II エンベデッド・ロジック・アナライザでデバイスのロジック動作をモニタする時にも JTAG ポートを使用します。Arria GX デバイスは、表 3-1 に示されている JTAG インストラクションをサポートしています。


 Arria GX, Stratix<sup>®</sup>, Stratix II, Stratix GX, Stratix II GX, Cyclone<sup>®</sup> II, および Cyclone デバイスは、JTAG チェインで最初の 8 デバイス以内にならなくてはなりません。これらのデバイスはすべて、同一の JTAG コントローラを備えています。これらのデバイスのいずれかが、JTAG チェイン内で 8 番目のデバイスより後に現れた場合は、コンフィギュレーションに失敗します。これは、SignalTap II エンベデッド・ロジック・アナライザには影響を与えません。

表 3-1. Arria GX JTAG インストラクション (1 / 2)

JTAG 命令	命令コード	説明
SAMPLE/PRELOAD	00 0000 0101	通常動作中のデバイスのピンから信号を取り込んでテストすることができる。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。SignalTap II エンベデッド・ロジック・アナライザにも使用される。
EXTEST (1)	00 0000 1111	出力ピンにテスト・パターンを強制的に与え、入力ピンでテスト結果を取り込むことによって、外部回路との接続とボード・レベルの配線がテストできる。
BYPASS	11 1111 1111	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながら BST データが選択されたデバイスをバイパスして、隣接したデバイスに同期転送させることができる。
USERCODE	00 0000 0111	32 ビットの USERCODE レジスタを選択して TDI ピンと TDO ピンの間に配置することによって、USERCODE を TDO にシリアルにシフト・アウトさせることができる。
IDCODE	00 0000 0110	IDCODE レジスタを選択して TDI ピンと TDO ピンの間に配置することによって、IDCODE が TDO にシリアルにシフト・アウトさせることができる。
HIGHZ (1)	00 0000 1011	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、すべての I/O ピンをトライ・ステートにした状態で、デバイスに通常の動作をさせながら BST データが選択されたデバイスをバイパスして、隣接したデバイスに同期転送させることができる。
CLAMP (1)	00 0000 1010	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、I/O ピンをバウンダリ・スキャン・レジスタ内のデータで定義される状態に保持し、デバイスに通常の動作をさせながら BST データが指定したデバイスをバイパスして、隣接したデバイスに同期転送させることができる。

表 3-1. Arria GX JTAG インストラクション (2 / 2)

JTAG 命令	命令コード	説明
ICR instructions	—	JTAG ポートを通じて Arria GX デバイスを USB-Blaster™、MasterBlaster™、ByteBlasterMV™、または ByteBlaster II ダウンロード・ケーブルでコンフィギュレーションするとき、またはエンベデッド・プロセッサまたは Jrunner™ から .jam または .jbc でコンフィギュレーションするときを使用される。
PULSE_NCONFIG	00 0000 0001	nCONFIG ピンに物理的な影響を与えることなく、Low のパルスが与えられ、リコンフィギュレーションが行なわれる状態をエミュレーションする。
CONFIG_IO (2)	00 0000 1101	JTAG テストのため、ユーザ I/O ピンの I/O 規格は JTAG チェインによって変更可能。この命令はコンフィギュレーション中または前後に実行可能であるが、コンフィギュレーション中に実行されると、コンフィギュレーション動作は停止する。CONFIG_IO 命令が実行されると、nSTATUS は Low に保持され、コンフィギュレーション・デバイスがリセットされる。IOE コンフィギュレーション・レジスタがロードされるまで nSTATUS は Low のまま保持され、TAP コントローラ・ステート・マシンは UPDATE_DR ステートに遷移される。
SignalTap II instructions	—	Signal Tap II エンベデッド・ロジック・アナライザでデバイス内部の動作をモニタするときを使用される。

表 3-1 の注：

(1) バス・ホールドおよびウィーク・プルアップ抵抗の機能を設定すると、HIGHZ のハイ・インピーダンス・ステート、CLAMP、EXTEST ではその機能が生きたままとなります。

(2) CONFIG\_IO インストラクションについて詳しくは、「MorphIO: An I/O Reconfiguration Solution for Altera Devices White Paper」を参照してください。

Arria GX デバイスのインストラクション・レジスタの長さは 10 ビットです。また、USERCODE レジスタの長さは 32 ビットです。表 3-2 および表 3-3 は、Arria GX デバイスのバウンダリ・スキャン・レジスタの長さ と IDCODE を示したものです。

表 3-2. Arria GX のバウンダリ・スキャン・レジスタの長さ

デバイス	バウンダリ・スキャン・レジスタの長さ
EP1AGX20	1320
EP1AGX35	1320
EP1AGX50	1668
EP1AGX60	1668
EP1AGX90	2016

表 3-3. Arria GX デバイスの 2 ビット IDCODE

デバイス	IDCODE (32 ビット)			
	バージョン (4 ビット)	パート番号 (16 ビット)	メーカーの ID (11 ビット)	LSB (1 ビット)
EP1AGX20	0000	0010 0001 0010 0001	000 0110 1110	1
EP1AGX35	0000	0010 0001 0010 0001	000 0110 1110	1
EP1AGX50	0000	0010 0001 0010 0010	000 0110 1110	1
EP1AGX60	0000	0010 0001 0010 0010	000 0110 1110	1
EP1AGX90	0000	0010 0001 0010 0011	000 0110 1110	1

## SignalTap II エンベデッド・ ロジック・ アナライザ

Arria GX デバイスは、IEEE Std.1149.1 (JTAG) 回路を通じて一定の期間デバイス内部の動作をモニタする SignalTap II エンベデッド・ロジック・アナライザを搭載しています。ユーザは内部信号を I/O ピンに出力させることなく、内部ロジックの状態を実際のスピードで解析することができます。FineLine BGA® (FBGA) パッケージのような最先端パッケージでは、ボード設計および製造後のデバック工程でモニタするピンに対する接続を追加することが困難であるため、この機能は特に重要となります。

## コンフィギュ レーション

Arria GX アーキテクチャのロジック、回路、配線は、CMOS SRAM エレメントでコンフィギュレーションされます。アルテラの FPGA デバイスはリコンフィギュレーション可能であり、すべてのデバイスは広範な生産テスト・プログラムが実施されているため、ユーザは故障検出テストをする必要がなく、シミュレーションおよびデザインの検証に専念できます。

Arria GX デバイスは、システム起動時にアルテラのコンフィギュレーション・デバイスに格納されたデータまたは外部コントローラ (MAX® II デバイスまたはマイクロプロセッサなど) から供給されるデータによってコンフィギュレーションされます。Arria GX デバイスは、ファースト・パッシブ・パラレル (FPP)、アクティブ・シリアル (AS)、パッシブ・シリアル (PS)、パッシブ・パラレル非同期 (PPA)、および JTAG コンフィギュレーション手法を使用してコンフィギュレーションできます。各 Arria GX デバイスには最適化されたインタフェースがあり、マイクロプロセッサからのシリアルまたはパラレル・データによって、

Arria GX デバイスを同期的または非同期的にコンフィギュレーションすることができます。また、このインタフェースによって、マイクロプロセッサは Arria GX デバイスをメモリとして取り扱うことができるため、仮想メモリ位置にデータを書き込む動作でデバイスをコンフィギュレーションすることができ、リコンフィギュレーションも容易に実行できます。

サポートされたコンフィギュレーション手法に加えて、Arria GX デバイスは圧縮復元、およびリモート・システム・アップグレードの機能も提供しています。圧縮復元機能により、Arria GX FPGA は圧縮されたコンフィギュレーション・ビットストリームを受け取り、このデータをリアルタイムで復元し、必要メモリおよびコンフィギュレーション時間を低減します。リモート・システム・アップグレード機能は、Arria GX のデザインに対して遠隔地からのリアルタイム・システム・アップグレードを行います。詳しくは、3-7 ページの「[コンフィギュレーション手法](#)」を参照してください。

## 動作モード

Arria GX のアーキテクチャには、回路に電源が投入されるごとにロードする必要があるコンフィギュレーション・データのストアに SRAM のコンフィギュレーション・エレメントが使用されています。SRAM のデータをデバイスに物理的にロードするプロセスは、コンフィギュレーションと呼ばれます。デバイスはコンフィギュレーションの完了直後にイニシャライズの動作に入り、レジスタをリセットし、I/O ピンをイネーブルにしてロジック・デバイスとしての動作を開始します。I/O ピンは、電源投入時およびコンフィギュレーションの実行前と実行中にトライ・ステートとなります。このコンフィギュレーションおよびイニシャライズのプロセスをまとめてコマンド・モードと呼びます。通常のデバイス動作はユーザ・モードと呼ばれます。

Arria GX デバイスは SRAM のコンフィギュレーション・エレメントを使用しているため、新しいコンフィギュレーション・データをデバイスにロードすることによってイン・サーキットでのリコンフィギュレーションを行うことができます。リアル・タイム・リコンフィギュレーションの場合、特定のピンを使用してデバイスを強制的にコマンド・モードにします。コンフィギュレーション・プロセスによって、別のコンフィギュレーション・データがロードされ、デバイスが再度イニシャライズされた後、ユーザ・モード動作が再開します。ユーザは、新しいコンフィギュレーション・ファイルをシステム内またはリモートで供給することによって、フィールドでシステムをアップグレードすることができます。

PORSEL は、電源投入時に 12 ms または 100 ms のパワー・オン・リセット (POR) 遅延時間を切り替える専用ピンです。PORSEL ピンをグラウンドに接続した場合、POR 時間は 100 ms です。PORSEL ピンを  $V_{CC}$  に接続した場合、POR 時間は 12 ms です。

nIO\_PULLUPピンは、コンフィギュレーションの実行前および実行中に、ユーザ I/O ピンおよび兼用コンフィギュレーション I/O ピン (nCSO、ASDO、DATA[7..0]、nWS、nRS、RDYnBSY、nCS、CS、RUnLU、PGM[2..0]、CLKUSR、INIT\_DONE、DEV\_OE、DEV\_CLR) の内部プルアップ・レジスタがオンまたはオフになるかを選択する専用入力です。ロジック High (1.5 V、1.8 V、2.5 V、3.3 V) は内部ウィーク・プルアップ抵抗をオフにし、ロジック Low はオンにします。

また、Arria GX デバイスは、コンフィギュレーション入力ピンおよび JTAG ピンで 3.3 V/2.5 V バッファを動作するために 3.3 V に接続する必要のある新しい電源  $V_{CCPD}$  を使用します。 $V_{CCPD}$  は、すべての JTAG 入力ピン (TCK、TMS、TDI、および TRST) およびコンフィギュレーション・ピン (nCONFIG、DCLK (入力として使用されるとき)、nIO\_PULLUP、DATA[7..0]、RUnLU、nCE、nWS、nRS、CS、nCS、および CLKUSR) に適用します。 $V_{CCSEL}$  ピンを使用すれば、(コンフィギュレーション入力が存在するバンクの)  $V_{CCIO}$  設定をコンフィギュレーション入力で要求される電圧から独立させることができます。したがって、 $V_{CCIO}$  電圧を選択するときに、コンフィギュレーション入力にドライブされる VIL および VIH レベルを気にする必要はありません。コンフィギュレーション入力ピン (nCONFIG、DCLK (入力として使用されるとき)、nIO\_PULLUP、RUnLU、nCE、nWS、nRS、CS、nCS、および CLKUSR) は 3.3 V/2.5 V 入力バッファおよび 1.8 V/1.5 V 入力バッファのデュアル・バッファ・デザインを備えています。 $V_{CCSEL}$  入力ピンのレベルにより、どちらの入力バッファが使用されるか決定されます。1.8 V/1.5 V 入力バッファが  $V_{CCIO}$  で動作する間、3.3 V/2.5 V 入力バッファは  $V_{CCPD}$  で動作します。

$V_{CCSEL}$  は、電源投入時にサンプリングされます。そのため、 $V_{CCSEL}$  設定は進行中またはリコンフィギュレーション中には変更できません。 $V_{CCSEL}$  入力バッファは、 $V_{CCINT}$  で動作し、 $V_{CCSEL}$  ピンは  $V_{CCPD}$  またはグラウンドに直結されていなくてはなりません。ロジック High  $V_{CCSEL}$  接続は、1.8 V/1.5 V 入力バッファを選択し、ロジック Low は 3.3 V/2.5 V 入力バッファを選択します。 $V_{CCSEL}$  は、コンフィギュレーション・デバイスまたは MAX II マイクロプロセッサをドライブするロジック・レベルに適合していません。

3.3 V/2.5 Vのコンフィギュレーション入力電圧をサポートする必要があるデザインでは、 $V_{CCSEL}$  をロジック Low に設定しなければなりません。コンフィギュレーション入力を持つ I/O バンクの  $V_{CCIO}$  電圧は、任意のサポートされている電圧に設定できます。1.8 V/1.5 V のコンフィギュレーション入力電圧をサポートする必要があるデザインでは、 $V_{CCSEL}$  をロジック High に、コンフィギュレーション入力を持つバンクの  $V_{CCIO}$  を 1.8 V/1.5 V に設定しなければなりません。



多電源システムにおける TDO および nCEO の使用に関する情報を含む多電源サポートについて詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「Arria GX アーキテクチャ」の章を参照してください。

## コンフィギュレーション手法

Arria GX デバイスのコンフィギュレーション・データは、5 種類のコンフィギュレーション・モード (表 3-4 を参照) のいずれかでデバイスへロードすることができ、ターゲットとなるアプリケーションに応じて選択できます。設計者は、Arria GX デバイスをコンフィギュレーションするために、コンフィギュレーション・デバイス、インテリジェント・コントローラ、または JTAG ポートを使用することができます。コンフィギュレーション・デバイスは、システムの電源投入時に Arria GX デバイスを自動的にコンフィギュレーションできます。

各デバイスのコンフィギュレーション・イネーブル (nCE) ピンおよびコンフィギュレーション・イネーブル出力 (nCEO) ピンを接続することにより、5 種類のコンフィギュレーション・モードのいずれかで複数の Arria GX デバイスをコンフィギュレーションすることができます。Arria GX FPGA は、次の機能を備えています。

- コンフィギュレーション・ファイル・ストレージを低減するコンフィギュレーション・データ圧縮復元
- Arria GX デザインを遠隔地からアップデートするリモート・システム・アップグレード

表 3-4 に各コンフィギュレーション手法で使用可能なコンフィギュレーション機能を示します。



Arria GX デバイスのコンフィギュレーション手法について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスのコンフィギュレーション」の章を参照してください。

表 3-4. Arria GX のコンフィギュレーション機能			
コンフィギュレーション・モード	コンフィギュレーション方法	圧縮復元	リモート・システム・アップグレード
FPP	MAX II デバイスまたはマイクロプロセッサおよび Flash デバイス	√(1)	√
	エンハンスド・コンフィギュレーション・デバイス	√(2)	√
AS	シリアル・コンフィギュレーション・デバイス	√	√(3)
PS	MAX II デバイスまたはマイクロプロセッサおよび Flash デバイス	√	√
	エンハンスド・コンフィギュレーション・デバイス	√	√
	ダウンロード・ケーブル (4)	√	—
PPA	MAX II デバイスまたはマイクロプロセッサおよび Flash デバイス	—	√
JTAG	ダウンロード・ケーブル (4)	—	—
	MAX II デバイスまたはマイクロプロセッサおよび Flash デバイス	—	—

表 3-4 の注:

- (1) これらのモードでは、ホスト・システムは 4 倍のデータ・レートの DCLK を送信する必要があります。
- (2) Arria GX デバイスの圧縮復元機能が有効でない間、エンハンスド・コンフィギュレーション・デバイスの圧縮復元機能は有効です。
- (3) AS コンフィギュレーション手法では、リモート・アップデート・モードのみサポートされます。ローカル・アップデート・モードはサポートされていません。
- (4) サポートされたダウンロード・ケーブルは、アルテラの USB-Blaster ユニバーサル・シリアル・バス (USB) ポート・ダウンロード・ケーブル、MasterBlaster シリアル /USB 通信ケーブル、ByteBlaster II パラレル・ポート・ダウンロード・ケーブル、および ByteBlasterMV パラレル・ポート・ダウンロード・ケーブルを含みます。

## デバイス・コンフィギュレーション・データ圧縮復元

Arria GX FPGA は、コンフィギュレーション・メモリおよび時間を節減するコンフィギュレーション・データの圧縮復元をサポートします。この機能により、圧縮されたコンフィギュレーション・データをコンフィギュレーション・デバイスまたはその他のメモリに格納し、この圧縮されたビットストリームを Arria GX FPGA に送信することができます。コンフィギュレーション時に、Arria GX FPGA はリアルタイムでビットストリームを復元し、SRAM セルをプログラムします。Arria GX FPGA では、FPP (MAX II デバイス / マイクロプロセッサおよび Flash メモリ)、

AS、および PS コンフィギュレーション手法で圧縮復元をサポートしています。圧縮復元は PPA コンフィギュレーション手法または JTAG ベースのコンフィギュレーションではサポートされていません。

## リモート・システム・アップグレード機能

デザイン・サイクルの短縮化、規格の進化、および遠隔地でのシステムの展開は、システム設計者が直面している課題です。Arria GX デバイスは、固有のリプログラマビリティとリモート・システム・アップデートを実行する専用回路により、これらの課題への効率的な対応を支援します。リモート・システム・アップグレードは、経費のかかる製品回収を行わずに機能強化やバグ修正を配信することができ、製品の迅速な市場投入や製品寿命の延長に役立ちます。

Arria GX FPGA は、専用のリモート・システム・アップグレード回路を備えており、リモート・システム・アップデートを容易に行うことができます。Arria GX デバイスにソフト・ロジック (Nios® II プロセッサまたはユーザ・ロジック) を実装することで、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、さらに専用リモート・システム・アップグレード回路にリコンフィギュレーション・サイクルの開始を指示することもできます。この専用回路は、コンフィギュレーション・プロセス中およびプロセス後にエラー検出を実行し、安全なコンフィギュレーション・イメージに戻ることによってエラー状態から回復し、エラー・ステータス情報を提供します。この専用リモート・システム・アップグレード回路はシステム・ダウンタイムを回避することができ、リモート・システム・アップグレードを正常に実行するための重要なコンポーネントです。

Arria GX では、リモート・システム・コンフィギュレーションは FPP、AS、PS、および PPA コンフィギュレーション手法でサポートされています。また、効率的なフィールド・アップグレードを実現するためのコンフィギュレーション・データのリアルタイム圧縮復元などの Arria GX 機能と併用して実装することも可能です。



Arria GX デバイスのリモート・コンフィギュレーションについて詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスのリモート・システム・アップグレード」の章を参照してください。

## JRunnerによるArria GX FPGAのコンフィギュレーション

JRunner は、JTAG モードの ByteBlaster II または ByteBlasterMV ケーブルを通じて、Arria GX を含むアルテラの FPGA をコンフィギュレーションするソフトウェア・ドライバです。プログラミング入力ファイルは Raw Binary File (.rbf) フォーマットをサポートします。また、JRunner は Quartus II ソフトウェアで生成された Chain Description File (.cdf)

も必要とします。JRunner は、エンベデッド JTAG コンフィギュレーションをターゲットにしています。ソース / コードは、Windows NT のオペレーティング・システム (OS) 向けに開発されていますが、その他のプラットフォーム・フォームで動作するようカスタマイズすることができます。



JRunner ソフトウェア・ドライバについて詳しくは、「JRunner Software Driver: An Embedded Solution to the JTAG Configuration White Paper」およびアルテラ・ウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) のソース・ファイルを参照してください。

### SRrunner によるシリアル・コンフィギュレーション・デバイスのプログラミング

シリアル・コンフィギュレーション・デバイスは、SRrunner™ を使用した外部マイクロプロセッサにより、イン・システムでプログラムすることができます。SRrunner は、異なるエンベデッド・システムにフィットするよう簡単にカスタマイズ可能なエンベデッド・シリアル・コンフィギュレーション・デバイス・プログラミングを構築するコンフィギュレーションソフトウェア・ドライバです。SRrunner は、ロウ・プログラミング・データ・ファイル (.rpd) を読み込むことができ、シリアル・コンフィギュレーション・デバイスを書き込むことができます。SRrunner を使用してのシリアル・コンフィギュレーション・デバイスのプログラミング時間は、Quartus II ソフトウェアを使用してのプログラミング時間に相当します。



SRrunner について詳しくは、「SRrunner: An Embedded Solution for Serial Configuration Device Programming White Paper」またはアルテラ・ウェブサイトのソース・コードを参照してください。



シリアル・コンフィギュレーション・デバイスのプログラミングについて詳しくは、「コンフィギュレーション・ハンドブック」の「シリアル・コンフィギュレーション・デバイス (EPCS1、EPCS4、EPCS16 & EPCS64) データシート」を参照してください。

### MicroBlaster Driver による Arria GX FPGA のコンフィギュレーション

MicroBlaster™ ソフトウェア・ドライバは、ロウ・バイナリ・ファイル (RBF) プログラミング入力ファイルをサポートし、エンベデッド FPP または PS コンフィギュレーションに最適です。ソース・コードは Windows NT オペレーティング・システム向けに開発されていますが、他のオペレーティング・システムで動作するようカスタマイズ可能です。



MicroBlaster ソフトウェア・ドライバについて詳しくは、アルテラ・ウェブサイトの「Configuring the MicroBlaster Fast Passive Parallel Software Driver White Paper」または「Configuring the MicroBlaster Passive Serial Software Driver White Paper」を参照してください。

## PLL リコンフィギュレーション

Arria GX デバイス・ファミリの PLL (Phase-Locked Loop) は、デバイス全体のリコンフィギュレーションなしの乗算、分周、VCO 位相選択、および帯域幅選択のコンフィギュレーションをサポートしています。ユーザはロジック・アレイまたは標準 I/O ピンからのシリアル・データを使用して、シリアル・チェーンにある PLL のカウンタの設定値をプログラムすることができます。このオプションによって周波数生成の柔軟性が大幅に向上し、PLL の周波数および遅延のリアルタイム変動が許容されます。デバイスの残りの部分は、PLL をリコンフィギュレーションしている間も機能します。



Arria GX の PLL について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの PLL」の章を参照してください。

## 温度検知 ダイオード

Arria GX デバイスは、パワー・マネージメントで温度センサとして使用するダイオードが接続されたトランジスタを内蔵しています。このダイオードは、Maxim Integrated Products 社の MAX1617A または MAX1619 などの外部デジタル・サーモメータ・デバイスと共に使用されます。これらのデバイスは、Arria GX デバイスのダイオードを通してバイアス電流をステアリングし、順方向電圧を測定してこの測定値を 8 ビット符号付き数値 (7 ビット + 1 符号ビット) の形式で温度に変換します。外部デバイスの出力は、Arria GX デバイスのジャンクション温度を表し、インテリジェント電源管理に使用することができます。

図 3-1 に示すように、このダイオードは外部温度検知デバイスに接続するために、Arria GX デバイスの 2 本のピン (tempdiodep および tempdioden) が必要です。温度検知ダイオードはパッシブ・エレメントであるため、Arria GX デバイスに電源を投入する前に使用することができます。

図 3-1. 外部温度検知ダイオード

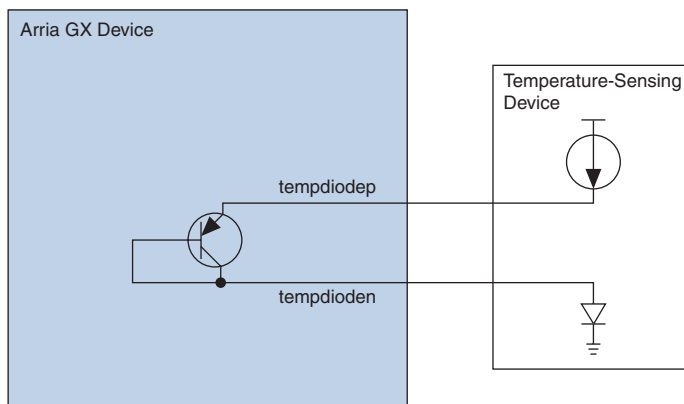


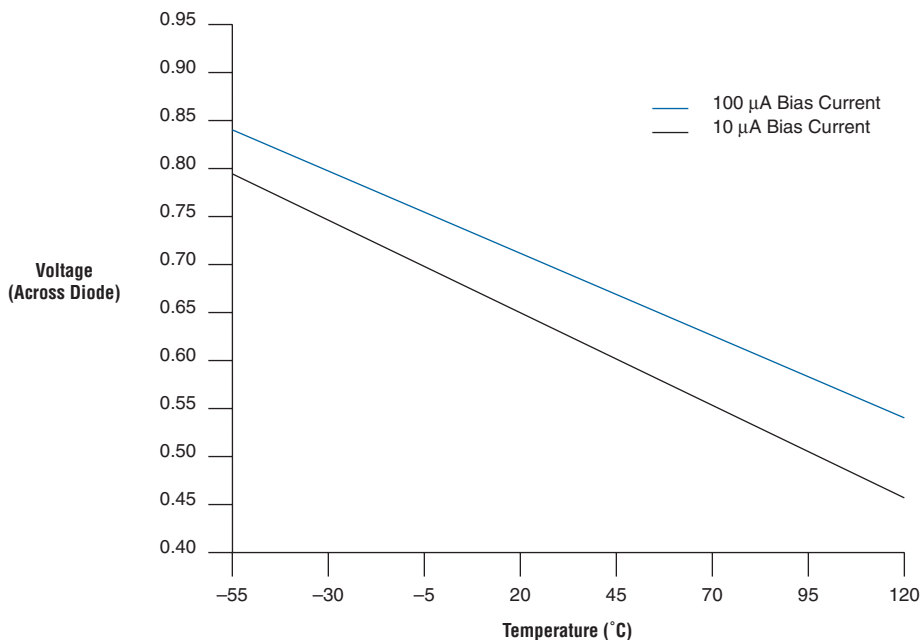
表 3-5 に、Arria GX の温度検知ダイオードのバイアス電圧および電流の特性を示します。

表 3-5. 温度検知ダイオードの電気的特性

パラメータ	Min	Typ	Max	単位
IBIAS (High)	80	100	120	μA
IBIAS (Low)	8	10	12	μA
VBP - VBN	0.3	—	0.9	V
VBN	—	0.7	—	V
直列抵抗値	—	—	3	Ω

温度検知ダイオードは、図 3-2 に示す全動作範囲で機能します。

図 3-2. 温度対温度検知ダイオード電圧



## SEU の 自動検出

Arria GX デバイスは、SEU (Single Event Upset) 検出の自動チェック回路を内蔵しています。高地や地球の北極または南極付近で、デバイスにエラーのない動作を要求するアプリケーションでは、継続的なデータの完全性を確保するために定期的なチェックが必要です。Quartus II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスによって制御されるエラー検出 CRC (Cyclic Redundancy Check) 機能は、32 ビット CRC 回路を使用してデータの信頼性を確保しており、SEU を軽減するために最良の選択肢の 1 つです。

このエラー検出 CRC 機能は、Arria GX デバイス内の既存の回路を用いて実装できるため、外部ロジックは必要ありません。Arria GX デバイスは、コンフィギュレーション中に CRC を算出します。通常動作中に自動的に算出された CRC をチェックします。コンフィギュレーション SRAM が破壊されると、CRC\_ERROR ピンがソフト・エラーをレポートし、デバイスのリコンフィギュレーションをトリガすることができます。

## カスタム・ビルト回路

Arria GX デバイスには専用回路が組み込まれており、自動的にエラー検出を実行します。デバイスがユーザー・モードの間、この回路はコンフィギュレーション SRAM セル内のエラーを継続的にチェックします。ユーザは、エラー用に 1 本の外部ピンをモニタし、それを使用してリコンフィギュレーション・サイクルをトリガできます。また、内蔵クロック分周期を調整して、希望するチェック間隔の時間を選択できます。

## ソフトウェア・インタフェース

Quartus II ソフトウェアのバージョン 7.1 以降から、ユーザが **Device and Pin Options** ダイアログ・ボックスで自動エラー検出 CRC 機能をオンにすることができます。このダイアログ・ボックスでは、この機能をイネーブルし、CRC の内部周波数を 400 kHz ~ 50 MHz の間で設定できます。これにより、CRC 回路が Arria GX FPGA の内部コンフィギュレーション SRAM ビットを検証するレートを制御します。



CRC について詳しくは、「AN 357: Error Detection Using CRC in Altera FPGAs」を参照してください。

## 改訂履歴

表 3-6 に、本資料の改訂履歴を示します。

表 3-6. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 5 月 v1.0	初版	—