

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AGX51002-1.3

### トランシーバ

Arria™ GX デバイスは、Stratix® II GX デバイス・ファミリの成功をベースに構築された高速シリアル・トランシーバ・チャンネルを最大 12 本内蔵しています。Arria GX トランシーバは、デバイスの右側にある、トランシーバ・ブロックと呼ばれる全二重 (トランスミッタおよびレシーバ) 4 チャンネル・グループ内に構築されます。トランシーバ・ブロックは、以下のシリアル接続プロトコル (機能モード) をサポートするようにコンフィギュレーションできます。

- PCI Express (PIPE)
- ギガビット・イーサネット (GIGE)
- XAUI
- Basic (600 Mbps ~ 3.125 Gbps)
- SDI (HD、3G)
- Serial RapidIO (1.25 Gbps、2.5 Gbps、3.125 Gbps)

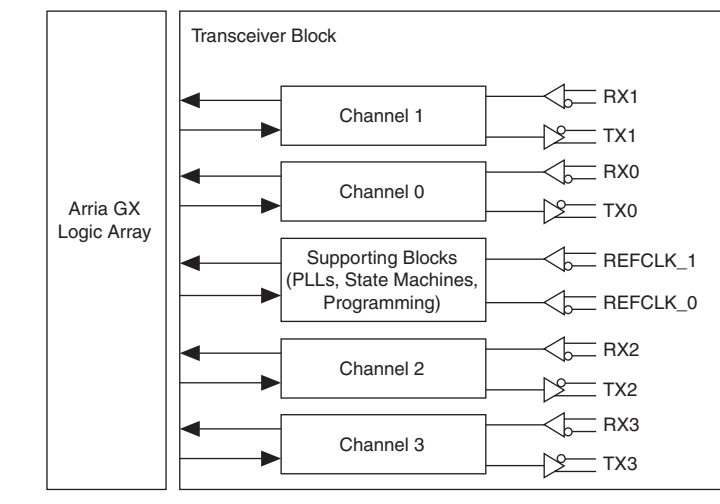
各ブロック内のトランシーバは独立しており、独自のドライバ・セットを備えています。したがって、各トランシーバは異なる周波数で動作することができます。各ブロックは 2 つのリファレンス・クロックから選択して、各トランシーバが選択可能な 2 つのクロック・ドメインを提供できます。

表 2-1 に、Arria GX ファミリの各デバイスのトランシーバ・チャンネル数を示します。

表 2-1. Arria GX トランシーバ・チャンネル数	
デバイス	トランシーバ・チャンネル数
EP1AGX20C	4
EP1AGX35C	4
EP1AGX35D	8
EP1AGX50C	4
EP1AGX50D	8
EP1AGX60C	4
EP1AGX60D	8
EP1AGX60E	12
EP1AGX90E	12

図 2-1 に、4 本のチャンネルに分割されたトランシーバ・ブロック・アーキテクチャの上位レベルのブロック図を示します。

図 2-1. トランシーバ・ブロック



各トランシーバ・ブロックは、以下のものを備えています。

- 専用のフィジカル・コーディング・サブレイヤ (PCS) およびフィジカル・メディア・アタッチメント (PMA) 回路を備えた 4 本のトランシーバ・チャンネル
- 基準クロックを取り込み、機能モードに応じて高速シリアル・クロックを生成する 1 個のトランスミッタ PLL
- 4 個のレシーバ PLL、および受信したシリアル・データ・ストリームからクロックおよびデータを復元するためのクロック・リカバリ・ユニット (CRU)
- ステート・マシン、および各プロトコルをサポートするために必要な特殊機能を実装するためのその他のロジック

図 2-2 に、トランシーバ・チャンネルを構成する機能ブロックを示します。

図 2-2. Arria GX トランシーバ・チャンネル・ブロック図

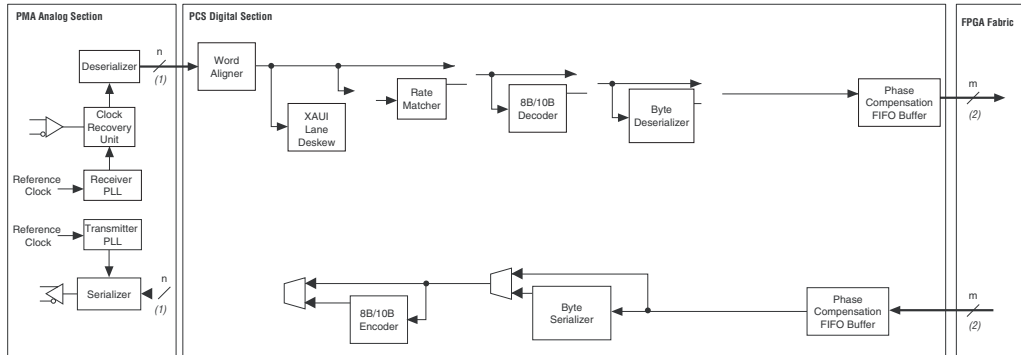


図 2-2 の注:

- (1) “n” は、PMA のトランスミッタ部分でシリアル化する必要がある各ワードのビット数を表します。n = 8 または 10 です。
- (2) “m” は、トランシーバの FPGA ロジックと PCS 部分の間で引き渡すワード内のビット数を表します。m = 8、10、16、または 20 です。

各トランシーバ・チャンネルは、全二重で、トランシーバ・チャンネルとレシーバ・チャンネルで構成されています。

トランスミッタ・チャンネルには、以下のサブ・ブロックが含まれています。

- トランスミッタ位相補償 FIRO (First-In First-out) バッファ
- バイト・シリアライザ (オプション)
- 8 B/10 B エンコーダ (オプション)
- シリアライザ (パラレル - シリアル変換)
- トランスミッタ差動出力バッファ

レシーバ・チャンネルには、以下が含まれています。

- レシーバ差動入力バッファ
- レシーバ・ロック検出およびラン・レングス・チェッカー
- クロック・リカバリ・ユニット (CRU)
- デシリアライザ
- パターン検出器
- ワード・アライナ
- レーン・デスクュー
- レート・マッチャ (オプション)
- 8 B/10 B デコーダ (オプション)

- バイト・デシリアライザ (オプション)
- レシーバ位相補償 FIFO バッファ

Quartus® II MegaWizard Plug-in Manager の Arria GX デバイス・ファミリ用の ALT2GXB MegaCore インスタンスを使用して、トランシーバ・チャンネルを希望する機能モードにコンフィギュレーションすることができます。Quartus II ソフトウェアは、選択された機能モードに応じて、自動的にトランシーバ・チャンネルをコンフィギュレーションして、上記のサブ・ブロックのサブセットを使用します。

### トランスミッタ・パス

この項では、Arria GX トランスミッタを通過するデータ・パスについて説明します。サブ・ブロックは、PLD- トランスミッタ・パラレル・インタフェースからシリアル・トランスミッタ・バッファへの順に記載されています。

### クロック・マルチプライヤ・ユニット

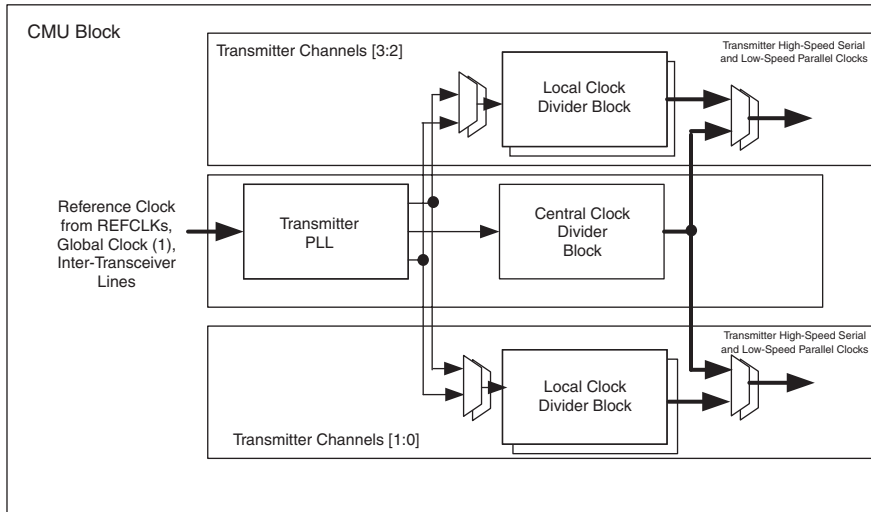
各トランシーバ・ブロックは、リファレンス・クロックを取り込み、以下の 2 つのクロックを合成するクロック・マルチプライヤ・ユニット (CMU) を備えています。データをシリアル化するための高速シリアル・クロック、およびトランスミッタのデジタル・ロジック (PCS) をクロックするための低速パラレル・クロック

CMU はさらに以下の 3 つのサブ・ブロックに分けられます。

- 1 個のトランスミッタ PLL
- 1 個のセントラル・クロック・ディバイダ・ブロック
- 4 個のローカル・クロック・ディバイダ・ブロック (1 チャンネルあたり 1 個)

図 2-3 に、クロック・マルチプライヤ・ユニットのブロック図を示します。

図 2-3. クロック・マルチプライヤ・ユニット



トランスミッタ PLL は、入力基準クロックを逡倍して、目的のプロトコルをサポートするのに必要な高速シリアル・クロックを生成します。トランスミッタ PLL は、コンフィギュレーションに対応するシリアル・データ・レートの半分の周波数でクロックを生成するハーフレート電圧制御発振器 (VCO) を実装しています。

図 2-4 に、トランスミッタ PLL のブロック図を示します。

図 2-4. トランスミッタ PLL

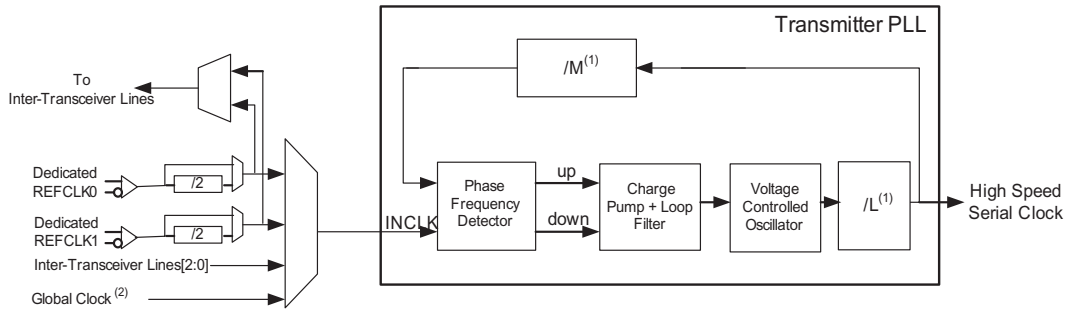


図 2-4 の注：

- (1) 唯一必要なことは、ALTGX MegaWizard Plug-In Manager でプロトコルと使用可能な入力基準クロックの周波数を選択することです。MegaWizard Plug-In Manager は、この選択に基づいて、必要な /M および /L デバイダ (クロック通倍係数) を自動的に選択します。
- (2) グローバル・クロック・ラインは、入力ピンからのみドライブしなければなりません。

トランスミッタ PLL への基準クロック入力は、以下から得ることができます。

- 関連するトランシーバ・ブロックの2本の使用可能な専用基準クロック入力ピン (REFCLK0 または REFCLK1) のうちの 1 本
- PLD グローバル・クロック・ネットワーク (これは、入力クロック・ピンから直接ドライブする必要があり、ユーザー・ロジックまたは enhanced PLL でドライブすることはできません。)
- 他のトランシーバ・ブロックの基準クロック入力ピンによってドライブされるトランシーバ間ブロック・ライン



アルテラでは、専用基準クロック入力ピン (REFCLK0 または REFCLK1) を使用して、トランスミッタ PLL に基準クロックを供給することを推奨しています。

表 2-2 に、トランスミッタ PLL の調整可能なパラメータを示します。

表 2-2. トランスミッタ PLL 仕様 ( 1 / 2 )	
パラメータ	仕様
入力基準周波数範囲	50 MHz ~ 622.08 MHz

表 2-2. トランスミッタ PLL 仕様 (2 / 2)

パラメータ	仕様
データ・レート・サポート	600 Mbps ~ 3.125 Gbps
帯域幅	Low、Medium、または High

トランスミッタ PLL 出力は、セントラル・クロック・ディバイダ・ブロックおよびローカル・クロック・ディバイダ・ブロックに供給されます。これらのクロック・ディバイダ・ブロックは、高速シリアル・クロックを分周して、トランシーバ PCS ロジック用の低速パラレル・クロック、および PLD- トランシーバ・インタフェース・クロックを生成します。

### トランスミッタ位相補償 FIFO バッファ

トランスミッタ位相補償 FIFO は、各トランスミッタ・チャンネルのロジック・アレイ・インタフェースにあります。これは、トランスミッタ PCS クロックとローカル PLD クロック間の位相差を補正します。トランスミッタ位相補償 FIFO は、サポートされているすべての機能モードで使用されます。トランスミッタ位相補償 FIFO バッファの深さは、PCI Express (PIPE) モードでは 8 ワード、その他のモードでは 4 ワードです。



アーキテクチャおよびクロッキングについては詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「[Arria GX トランシーバ・アーキテクチャ](#)」の章を参照してください。

### バイト・シリアライザ

バイト・シリアライザは、トランスミッタ位相補償 FIFO バッファから 2 バイト幅のデータを取り込み、それを 2 倍の速度で 1 バイト幅のデータにシリアル化します。バイト・シリアライザ後のトランスミッタ・パスは、8 ビットまたは 10 ビットです。これにより、PLD- トランシーバ・インタフェースを、トランスミッタ PCS ロジックと比べて半分の速度でクロックすることができます。バイト・シリアライザは GIGE モードではバイパスされます。シリアル化が終了すると、バイト・シリアライザは、最初に最下位バイト (LSByte) を、最後に最上位バイト (MSByte) を送信します。

図 2-5 に、バイト・シリアライザの入力および出力を示します。datain[15:0]はトランスミッタ位相補償FIFOからバイト・シリアライザへの入力であり、dataout[7:0]はバイト・シリアライザの出力です。

図 2-5. バイト・シリアライザの動作 注 (1)

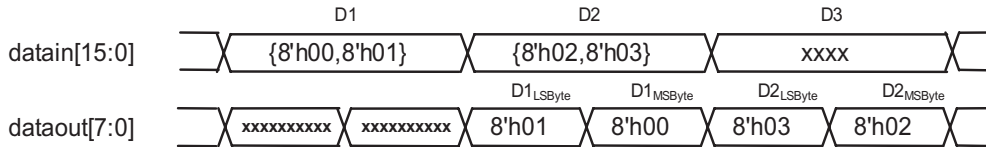


図 2-5 の注:

(1) datain は 16 ビットまたは 20 ビットになります。dataout は 8 または 10 ビットになります。

## 8 B/10 B エンコーダ

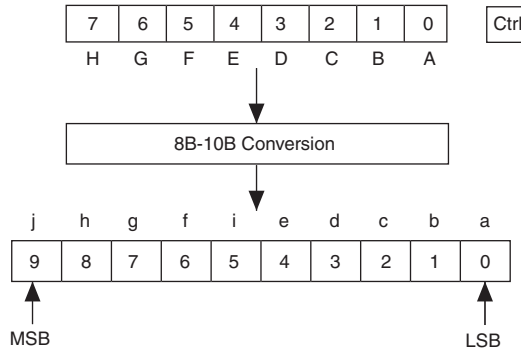
8 B/10 B エンコーダ・ブロックは、サポートされているすべての機能モードで使用されます。8 B/10 B エンコーダ・ブロックは、バイト・シリアライザまたはトランスミッタ位相補償 FIFO バッファから 8 ビット・データを取り込みます。これは、8 ビット・キャラクタと 1 ビット・コントロール識別子 (tx\_ctrlenable) から、適切なランニング・デイスパリティを含む 10 ビット・コード・グループを生成します。tx\_ctrlenable が Low のとき、8 ビット・キャラクタはデータ・コード・グループ (Dx.y) としてエンコードされます。tx\_ctrlenable が High のとき、8 ビット・キャラクタはコントロール・コード・グループ (Kx.y) としてエンコードされます。10 ビット・コード・グループはシリアライザに供給されます。8 B/10 B エンコーダは、IEEE 802.3 1998 edition 規格に適合しています。

図 2-6 に、8 B/10 B 変換フォーマットを示します。



8 B/10 B エンコーディング・ルールについて詳しくは、「[Arria GX デバイス・ハンドブック Volume 2](#)」の「仕様および追加情報」の章を参照してください。

図 2-6. 8 B/10 B エンコーダ



リセット (`tx_digitalreset`) の間、ランニング・ディスパリティおよびデータ・レジスタがクリアされ、8 B/10 B エンコーダは RD- カラムから連続して K28.5 パターンを出力します。リセット状態から抜けると、8 B/10 B エンコーダは負の不一致 (RD-) で開始し、同期化のために 3 つの K28.5 コード・グループを送信してから、入力データまたはコントロール・キャラクタのエンコーディングを開始します。

### トランスミッタ・ステート・マシン

トランスミッタ・ステート・マシンは、使用されるプロトコルに応じて、PCI Express (PIPE) モード、XAUI モード、または GIGE モードのいずれかで動作します。

### GIGE モード

GIGE モードでは、送信ステート・マシンはすべてのアイドル・オーダ・セット (`/K28.5/`、`/Dx.y/`) を `/I1/` または `/I2/` オーダ・セットに変換します。`/I1/` セットは、負終了不一致 `/K28.5/` (`/K28.5/-` で表される) と、それに続く中立 `/D5.6/` で構成されています。`/I2/` セットは、正終了不一致 `/K28.5/` (`/K28.5/+` で表される) と負終了不一致 `/D16.2/` (`/D16.2/-` で表される) で構成されています。送信ステート・マシンは、いかなるオーダ・セットも `/C1/` または `/C2/` に一致するように変換しません。これらはコンフィギュレーション・オーダ・セットです。`/C1/`

および /C2/ はそれぞれ [/K28.5/, /D21.5/] および [/K28.5/, /D2.2/] で定義されます)。/I1/ および /I2/ オーダ・セットは両方とも各オーダ・セットの後で、負終了不一致を保証しています。

#### XAUI モード

送信ステート・マシンは、XAUI XGMII コード・グループを XAUI PCS コード・グループに変換します。表 2-3 に、コード変換を示します。

XGMII TXC	XGMII TXD	PCS コード・グループ	説明
0	00 through FF	Dxx.y	通常データ
1	07	K28.0 または K28.3 または K28.5	におけるアイドル
1	07	K28.5	T   におけるアイドル
1	9C	K28.4	シーケンス
1	FB	K27.7	開始
1	FD	K29.7	終了
1	FE	K30.7	エラー
1	IEEE 802.3 予約コード・グループを参照。	IEEE 802.3 予約コード・グループを参照。	予約コード・グループ
1	その他の値	K30.7	無効な XGMII キャラクタ

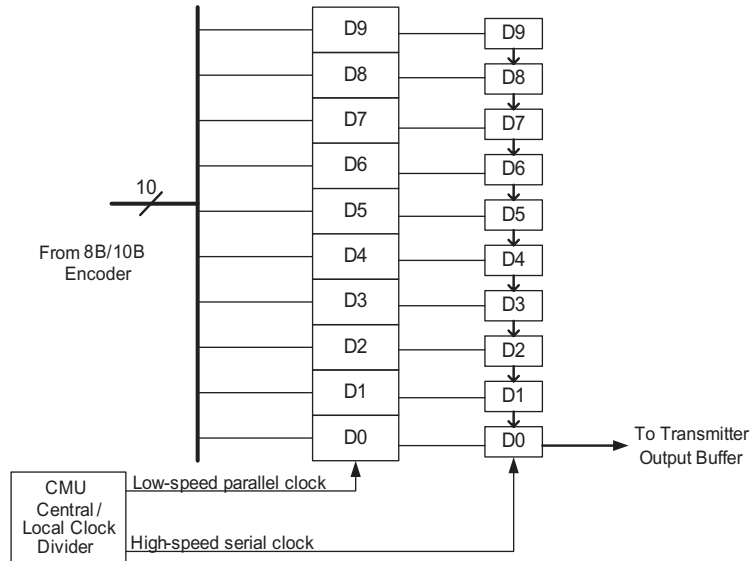
XAUI PCS アイドル・コード・グループ、/K28.0/ (/R/) および /K28.5/ (/K/) は、 $x^7 + x^6 + 1$  多項式による PRBS7 パターンに基づいて自動的にランダム化されます。/K28.3/ (/A/) コード・グループは、16 および 31 アイドル・コード・グループの間で自動的に生成されます。/A/, /K/, および /R/ コード・グループのアイドル・ランダム化は、送信ステート・マシンで自動的に行われます。

#### シリアライザ (パラレル - シリアル変換)

シリアライザ・ブロックは、低速パラレル・クロックを使用して、8 B/10 B エンコーダからの 8 ビットまたは 10 ビットのエンコードされたデータをクロック・インし、セントラル・クロック・ディバイダ・ブロックまたはローカル・クロック・ディバイダ・ブロックからの高速シリアル・クロックを使用して、シリアル・データをクロック・アウトします。シリアライザは、LSB から MSB までのデータをトランスミッタ出力バッファに供給します。

図 2-7 に、シリアライザのブロック図を示します。

図 2-7. シリアライザ



### トランスミッタ・バッファ

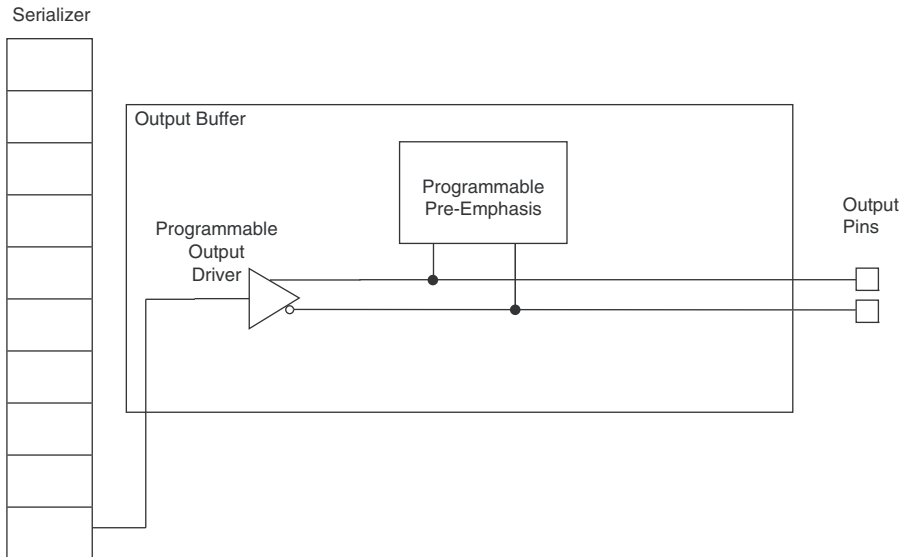
Arria GX トランシーバ・バッファは、最大 3.125 Gbps のレートで、1.2- および 1.5-V PCML I/O 規格をサポートします。出力ドライバのコモン・モード電圧 ( $V_{CM}$ ) は、600 または 700 mV に設定できます。



「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX トランシーバ・アーキテクチャ」の章を参照してください。

図 2-8 に示すとおり、出力バッファは高速データ・シリアライザで直接ドライブされ、プログラマブル出力ドライバ、プログラマブル・プリエンファシス回路、および OCT 回路で構成されています。

図 2-8. 出力バッファ



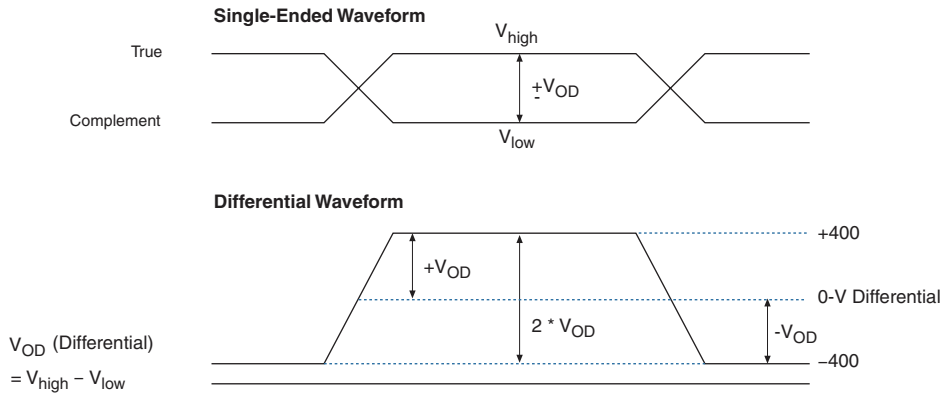
#### プログラマブル出力ドライバ

プログラマブル出力ドライバは、400 ~ 1200 mV の差動電圧をドライブ・アウトするように設定できます。差動出力電圧 ( $V_{OD}$ ) は、ALTGX B メガファンクションを使用して、スタティックに設定できます。

出力ドライバは、100  $\Omega$  の On-Chip Termination (チップ内終端) または外部終端を使用してコンフィギュレーションすることができます。

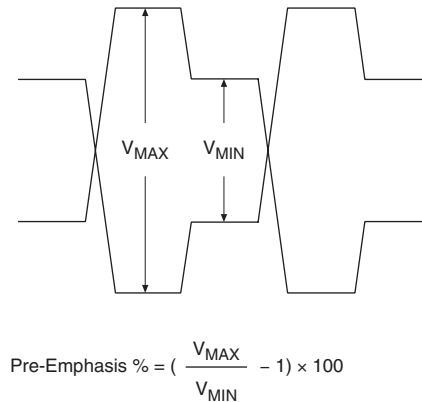
差動信号変換を図 2-9 に示します。差動振幅は真の信号と相補信号の間の電圧値を表します。ピーク・トゥ・ピーク差動電圧は、 $2(V_{HIGH} - V_{LOW}) = 2$  シングルエンド電圧振幅として定義されます。コモン・モード電圧は、 $V_{HIGH}$  と  $V_{LOW}$  の平均です。

図 2-9. 差動信号



プログラマブル・プリエンファシス  
 プログラマブル・プリエンファシス・モジュールは、出力ドライバを制御して、高周波成分を増幅し、送信媒体における損失を補償します (図 2-10 を参照)。プリエンファシスは ALTGXB メガファンクションを使用して、スタティックに設定されます。

図 2-10. プリエンファシス信号



プリエンファシスの割合は、 $(V_{MAX}/V_{MIN} - 1) \times 100$  として定義されます。ここで、 $V_{MAX}$  は、差動エンファシス電圧 (ピーク・トゥ・ピーク)、 $V_{MIN}$  は差動安定状態電圧 (ピーク・トゥ・ピーク) です。

### PCI Express (PIPE) 信号検出

Arria GX トランスミッタ・バッファは、PCI Express (PIPE) モードで使用するためのビルトイン・レシーバ検出回路を備えています。この回路では、チャンネル上にパルスを出力して反射をモニタすることによって、レシーバ・ダウンストリームの有無を検出できます。このモードでは、トランスミッタ・バッファをトライステートにすること（電氣的アイドル・モード）が必要です。

### PCI Express (PIPE) 電氣的アイドル（または個別トランスミッタ・トライ・ステート）

Arria GX トランスミッタ・バッファは、PCI Express (PIPE) 電氣的アイドルをサポートしています。この機能は PCI Express (PIPE) モードでのみアクティブです。tx\_forceelecidle ポートは、トランスミッタ・バッファを電氣的アイドル・モードにします。このポートは、すべての PCI Express (PIPE) パワーダウン・モードで使用でき、それぞれのモードにおいて特定の用途があります。

### レシーバ・パス

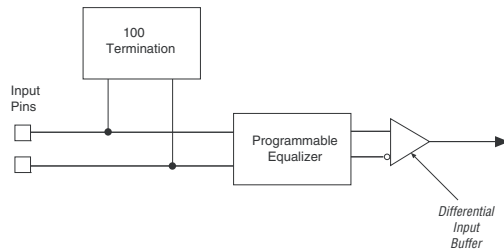
この項では、Arria GX レシーバを通過するデータ・パスについて説明します。サブ・ブロックは、レシーバ・バッファから PLD レシーバ・パラレル・インタフェースへの順に記載されています。

### レシーバ・バッファ

Arria GX レシーバ入力バッファは、3.125 Gbps までのレートで、1.2 V および 1.5 V PCML I/O 規格をサポートします。レシーバ入力バッファのコモン・モード電圧は、0.85 V ~ 1.2 V の範囲でプログラムできます。AC および DC 結合 PCML リンクに対しては 0.85 V のコモン・モード電圧、DC 結合 LVDS リンクに対しては 1.2 V のコモン・モード電圧を選択する必要があります。

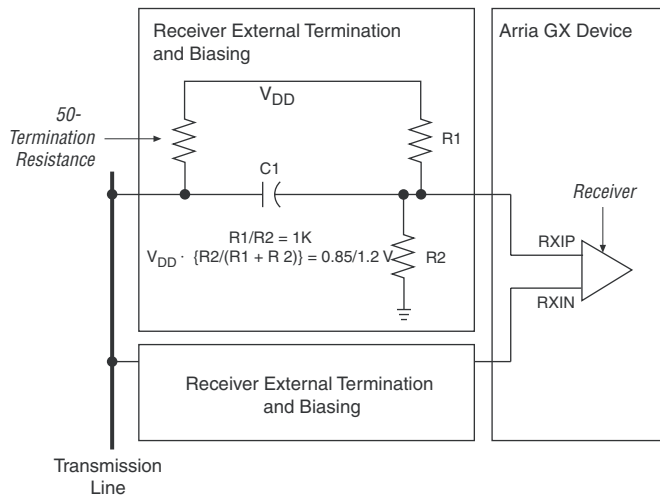
レシーバには、多様なプロトコルに対応するためのオンチップ 100 Ω 差動終端があります（図 2-11 を参照）。レシーバの内部終端は、外部終端とバイアスが提供される場合はディセーブルできます。レシーバおよびトランスミッタの差動終端方法は、互いに独立して設定できます。

図 2-11. レシーバ入力バッファ



デザインが外部終端を使用する場合、レシーバは外部で終端して、0.85 V または 1.2 V にバイアスしなければなりません。図 2-12 に外部終端およびバイアス回路の例を示します。

図 2-12. 外部終端およびバイアス回路



### プログラマブル・イコライザ

Arria GX レシーバは、高速信号方式に対するチャネル減衰の影響を補償する、受信側におけるプログラム可能なイコライザ機能を提供します。これらの高速信号を伝播する PCB トレースは、ロー・パス・フィルタ特性を備えています。境界でのインピーダンス・ミスマッチによっても、信号劣化が生じる可能性があります。受信側におけるイコライザは、高周波での PCB の損失の多い減衰の影響を低減します。

受信側におけるイコライザ回路は、1 個のプログラマブル・アンプで構成されています。各ステージは、異なる中心周波数とプログラマブル・ゲインを持つピーキング・イコライザです。これにより、チャンネル損失の総合的な周波数応答に応じて、変動するゲイン量を印加することができます。チャンネル損失は、物理的リンクに存在する PCB トレース、ビア、コネクタ、およびケーブルで生じるすべての損失の合計として定義されます。Quartus II ソフトウェアにより、Arria GX デバイスでは5つのイコライザ設定が可能になります。

### レシーバ PLL およびクロック・リカバリ・ユニット (CRU)

各トランシーバ・ブロックには4個のPLLとCRUユニットがあり、それぞれレシーバ・チャンネル専用となっています。レシーバPLLには、入力基準クロックから供給されます。レシーバPLLはCRUと連携して、デシリアライザをクロックする高速シリアル・リカバリ・クロックとレシーバのデジタル・ロジックをクロックする低速パラレル・リカバリ・クロックの2つのクロックを生成します。

図 2-13 に、レシーバPLL回路およびCRU回路のブロック図を示します。

図 2-13. レシーバ PLL およびクロック・リカバリ・ユニット

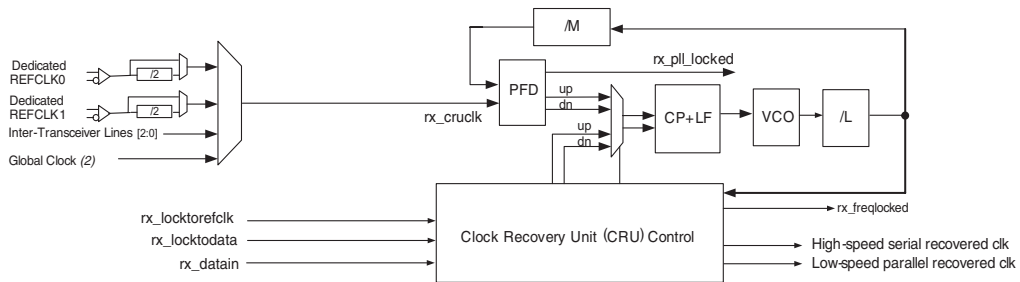


図 2-13 の注:

- (1) 唯一必要なことは、ALTGX MegaWizard Plug-In Manager でプロトコルと使用可能な入力基準クロックの周波数を選択することです。ALTGX MegaWizard Plug-In Manager は、この選択に基づいて、必要な /M および /L デバイダを自動的に選択します。
- (2) グローバル・クロック・ラインは、入力ピンからのみドライブしなければなりません。

レシーバ PLL への基準クロック入力は、以下から得ることができます。

- 関連するトランシーバ・ブロックの2本の使用可能な専用基準クロック入力ピン (REFCLK0 または REFCLK1) のうちの 1 本
- PLD グローバル・クロック・ネットワーク (これは、入力クロック・ピンから直接ドライブする必要があり、ユーザー・ロジックまたは enhanced PLL でドライブすることはできません。)

- 他のトランシーバ・ブロックの基準クロック入力ピンによってドライブされるトランシーバ間ブロック・ライン

リストされているすべてのパラメータは、Quartus II ソフトウェアでプログラム可能です。レシーバ PLL は、以下の特長を備えています。

- 600 Mbps ~ 3.125 Gbps のデータ・レートで動作。
- 50 MHz ~ 622.08 MHz のリファレンス・クロックを使用。
- プログラマブル帯域幅設定 :Low、Medium、および High
- プログラム可能な rx\_locktorefclk (レシーバ PLL をリファレンス・クロックにロックするよう強制) および rx\_locktodata (レシーバ PLL をデータにロックするよう強制)。
- 電圧制御発振器 (V<sub>CO</sub>) はハーフ・レートで動作。
- プログラマブル周波数通倍 W:1、4、5、8、10、16、20、および 25。どの周波数でもすべての設定がサポートされているとは限りません。
- 2つのロック表示信号を提供。これらは PFDモード (lock-to-reference クロック) および PD (lock-to-data) に存在。

クロック・リカバリ・ユニットは、レシーバ PLL が入力基準クロックにロックする (lock-to-reference モード) か、または着信シリアル・データにロックする (lock-to-data モード) かを制御します。lock-to-data モードと lock-to-reference モードを自動的にまたは手動で切り替えるように CRU を設定することができます。自動ロック・モードでは、各レシーバ・チャンネル内の位相検出器および専用の周波数誤差 (PPM) 検出器が、あらかじめ設定された条件に基づいて、lock-to-data モードと lock-to-reference モードの切り替えを制御します。マニュアル・ロック・モードでは、rx\_locktorefclk 信号と rx\_locktodata 信号を使用して、手動で切り換えを制御します。



詳細は、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX Transceiver Protocol Support and Additional Features」の章の「Clock Recovery Unit」の項を参照してください。

表 2-4 に、rx\_locktorefclk 信号と rx\_locktodata 信号に対する CRU ブロックの動作を示します。

表 2-4. CRU マニュアル・ロック信号 (1 / 2)		
rx_locktorefclk	rx_locktodata	CRU モード
1	0	Lock-to-reference クロック

表 2-4. CRU マニュアル・ロック信号 (2 / 2)

rx_locktoefclk	rx_locktodata	CRU モード
x	1	Lock-to-data
0	0	自動

rx\_locktoefclkポートとrx\_locktodataポートが使用されない場合、デフォルトは自動ロック・モードです。

### デシリアライザ

デシリアライザ・ブロックは、高速シリアル・リカバリ・クロックを使用して、レシーバ・バッファからのシリアル入力データをクロック・インし、低速パラレル・リカバリ・クロックを使用して8ビットまたは10ビット・パラレル・データにパラレル変換します。シリアル・データは、LSBが最初に受信され、続いてMSBが受信されるものと仮定しています。デシリアライザ・ブロックは、パラレル変換された8ビットまたは10ビット・データを図 2-14 に示すワード・アライナに供給します。

図 2-14. デシリアライザ 注 (1)

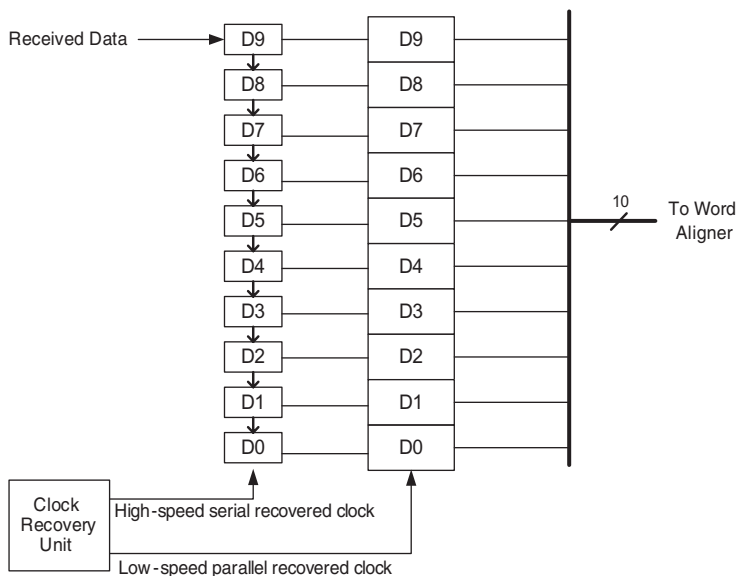


図 2-14 の注:

(1) これは10ビットのデシリアライザです。デシリアライザは8ビットのデータを変換することもできます。

## ワード・アライナ

デシリアライザ・ブロックは 8 ビットまたは 10 ビット・パラレル・データを作成します。デシリアライザはこのデータを変換する際に、プロトコル・シンボル境界を無視します。したがって、転送されたワードの境界には制限がありません。ワード・アライナは、特定のバイトまたはワード境界に基づいて着信データを揃えます。ワード・アライメント・モジュールは、通常動作中にローカル・レシーバ・リカバリ・クロックによってクロックされます。すべてのデータおよびプログラムされたパターンは、「ビッグ・エンディアン」（最上位ワードの後に最下位ワードが続く）として定義されます。最上位ビットを先頭とするプロトコルでは、プログラムされたワード・アライメント・パターンのビット順序を逆にする必要があります。

このモジュールは 8 B/10 B ベース・プロトコルのワード境界を検出します。このモジュールは、PRBS7/23 テスト・モードで特定のプログラマブル・パターンにアライメントするのにも使用されます。

### パターン検出

プログラマブル・パターン検出ロジックは、単一 7 ビットまたは 10 ビット・パターンを使用して、ワード境界にアライメントするようにプログラムできます。パターン検出器は完全一致、または正確なパターンおよびパターンの補数の一致のいずれかを実行することができます。プログラムされたパターンが見つかったと、データ・ストリームはデータ出力バスの LSB 部分のパターンを持つようにアライメントされます。

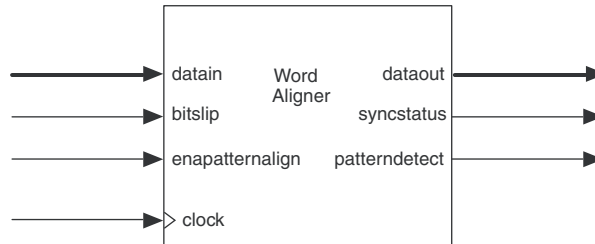
XAUI、GIGE、PCI Express (PIPE)、および Serial RapidIO 規格は、シンボル境界同期化のためのエンベデッド・ステート・マシンを備えています。これらの規格は K28.5 を 10 ビットのプログラムされたコマ・パターンとして使用します。各規格は、シンボル境界の取り込みを FPGA に通知する前に異なるアルゴリズムを使用します。

パターン検出ロジックは、LSB から最上位ビット (MSB) まで検索します。サーチ・ウィンドウ内で複数のパターンが見つかった場合、データ・ストリームの低い部分のパターン（早期に受信したパターンに対応）がアライメントされ、マッチング・パターンの残りは無視されます。

パターンが検出されると、データ・バスがアライメントされ、ワード境界はロックされます。2 つの検出ステータス信号 (`rx_syncstatus` および `rx_patterndetect`) は、アライメントが完了したことを示します。

図 2-15 に、ワード・アライナのブロック図を示します。

図 2-15. ワード・アライナ



#### コントロールおよびステータス信号

rx\_enapatternalign 信号は、非自動モードでのワード・アラインメントをイネーブルする FPGA コントロール信号です。rx\_enapatternalign 信号は、自動モード (PCI Express [PIPE], XAUI, GIGE、および Serial RapidIO) では使用されません。

手動アラインメント・モードでは、rx\_enapatternalign 信号がアクティブになった後、rx\_syncstatus 信号が 1 パラレル・クロック・サイクルの間 High になり、アラインメント・パターンが検出され、ワード境界がロックされたことを示します。rx\_enapatternalign がデアクティブになった場合、rx\_syncstatus 信号は再同期化信号として動作し、アラインメント・パターンが検出されたが、異なるワード境界でロックされていないことを示します。

同期ステート・マシンを使用するとき、rx\_syncstatus 信号はリンク状態を示します。rx\_syncstatus 信号が High の場合はリンク同期が達成されます。rx\_syncstatus 信号が Low の場合、リンク同期がまだ達成されていないか、同期が失われるほど多数のコード・グループ・エラーが発生したかのいずれかです。



手動アラインメント・モードについて詳しくは、Arria GX デバイス・ハンドブックを参照してください。

rx\_patterndetect 信号は、新しいアラインメント中や現在のワード境界でアラインメント・パターンが発生するたびに High をパルスします。

### プログラマブル・ラン・レンクス違反

ワード・アライナは、プログラマブル RLV (Programmable Run Length Violation) カウンタをサポートしています。連続する '0' (または '1') の数が、ユーザー・プログラマブルな値を超えるたびに、`rx_rlv` 信号が 2 リカバリ・クロック・サイクルの最小パルス幅の間 High になります。サポートされている最大実行値は、8 ビット・シリアライゼーションの 128 UI または 10 ビット・シリアライゼーションの 160 UI です。

### ランニング・デイスパリティのチェック

ランニング・デイスパリティエラー `rx_disperr` およびランニング・デイスパリティ値 `rx_runningdisp` は、8 B/10 B デコーダからのアラインメント・データと一緒に FPGA に送られます。レポートされたランニング・デイスパリティ値およびランニング・デイスパリティエラー信号を無視するか、またはそれに反応することができます。

### ビット・スリップ・モード

ワード・アライナは、パターン検出モードまたはビット・スリップ・モードのいずれかで動作できます。

ビット・スリップ・モードでは、FPGA を通じてワード境界を手動でシフトするオプションを提供します。この機能は以下に対して有効です。

- パターン検出器が対応可能なパターンより長い同期パターン
- スランブルされたデータ・ストリーム
- オーバーサンプリングされたデータより成る入力ストリーム

ワード・アライナは、リセット後にアナログ・レシーバからワード境界を受信するとそれを出力します。FPGA でワードを検査し、その境界を検索することができます。これを行うには、`rx_bitslip` 信号をアサートします。`rx_bitslip` 信号はトグルし、最低 2 FPGA クロック・サイクルの間、一定のまま保持しなければなりません。

`rx_bitslip` 信号の立ち上がりエッジごとに、現在のワード境界の 1 ビットがスリップします。ビットがスリップされる都度、最初に受信したビットが失われます。ビット・スリップングで、バス幅を完全に一周分シフトした場合、ワード境界は元の境界に戻ります。

`rx_syncstatus` 信号はビット・スリップング・モードでは使用できません。

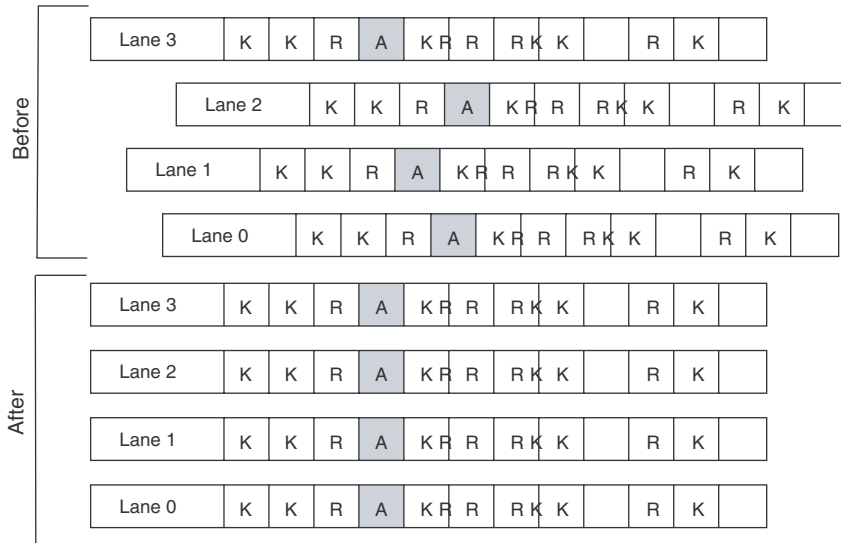
## チャンネル・アライナ

チャンネル・アライナは XAUI モードでのみ使用可能であり、トランシーバ内の 4 本のチャンネルすべての信号を揃えます。チャンネル・アライナは、IEEE 802.3ae の 48 項、チャンネル結合の仕様に従います。

チャンネル・アライナは、チャンネル結合プロセスを制御するステート・マシンを備えた 16 ワードの FIFO バッファです。ステート・マシンは、各チャンネルで /A/ (/K28.3/) を探し、トランシーバ内ですべての /A/ コード・グループのアライメントを行います。/A/ (/A/) で示す) の 4 つのカラムが検出されると、rx\_channelaligned 信号が High になり、トランシーバ内のすべてのチャンネルがアライメントされたことを示します。4 つの連続したミスアライメント /A/ コード・グループを受信すると、チャンネル・アライメント・シーケンスがリスタートされ、Low の rx\_channelaligned 信号を送出します。

図 2-16 に、チャンネル・アライナ前のミスアライメント・チャンネルおよびチャンネル・アライナ後のアライメント・チャンネルを示します。

図 2-16. チャンネル・アライナの前および後



## レート・マッチャ

非同期システムでは、アップストリーム・トランスミッタおよびローカル・レシーバを独立した基準クロック・ソースでクロックすることができます。数百 PPM 程度の周波数差があると、レシーバでデータが破壊される可能性があります。

パケット間ギャップ (IPG) またはアイドル・ストリームにスキップ・キャラクタを挿入またはそれから削除することにより、レート・マッチャはアップストリーム・トランスミッタ・クロックとローカル・レシーバ・クロック間のわずかなクロック周波数の違いを補償します。ローカル・レシーバが、アップストリーム・トランスミッタよりも高速のクロックで動作している場合、レート・マッチャはスキップ・キャラクタを挿入します。ローカル・レシーバが、アップストリーム・トランスミッタよりも低速のクロックで動作している場合、レート・マッチャはスキップ・キャラクタを削除します。Quartus II ソフトウェアは、GIGE モード向けの IEEE 802.3 および PCI Express (PIPE) モード向けの PCI-Express Base Specification に規定された適切なスキップ・キャラクタを自動的にコンフィギュレーションします。レート・マッチャは、Serial RapidIO ではバイパスされ、システム・デザインに応じて、PLD ロジック・アレイまたは外部回路に実装しなければなりません。

表 2-5 に、レート・マッチャが XAUI、PCI Express (PIPE)、GIGE、および Basic 機能モードで許容可能な最大周波数差を示します。

機能モード	PPM
XAUI	± 100
PCI Express (PIPE)	± 300
GIGE	± 100
Basic	± 300

### XAUI モード

XAUI モードでは、レート・マッチャは、IEEE 802.3ae の 48 項、クロック・レート補償の仕様に準拠します。レート・マッチャは、//R// で示される /R/ (/K28.0/) のカラムでクロック補償を実行します。FIFO バッファのワード数に応じて、//R// が自動的に追加または削除されます。

### PCI Express (PIPE) モード・レート・マッチャ

PCI Express (PIPE) モードでは、レート・マッチャは、アップストリーム・トランスミッタとレシーバ間の周波数差を ±300 PPM (合計 600 PPM) まで補償します。レート・マッチャ・ロジックは、/K28.5/


カンマとそれに続く 3 つの /K28.0/ スキップ・キャラクタを含むスキップ・オーダー・セット (SOS) を探します。レート・マッチャ・ロジックは、必要に応じて、/K28.0/ スキップ・キャラクタをレート・マッチャ FIFO から削除するか、それに挿入します。

PCI Express (PIPE) モードのレート・マッチャは、FIFO バッファ・オーバーフローおよびアンダーフロー保護を備えています。FIFO バッファ・オーバーフローが生じた場合、レート・マッチャはオーバーフロー状態を検出した後、レート・マッチャが満杯でなくなるまで、データを削除して FIFO ポインタが破壊されるのを防止します。アンダーフロー状態では、レート・マッチャは FIFO バッファが空でなくなるまで、9'h1FE (K30.7/) を挿入します。これらの対策によって、FIFO バッファはリセットすることなく、オーバーフローおよびアンダーフロー状態から穏やかに抜け出すことができます。レート・マッチャ FIFO オーバーフローおよびアンダーフロー状態は、pipestatus ポートに示されます。

アップストリーム・トランスミッタおよびローカル・レシーバが、同じソースからリファレンス・クロックを得ている同期システムを持っている場合は、PCI Express (PIPE) モードでのレート・マッチャをバイパスできます。

#### GIGE モード・レート・マッチャ

GIGE モードでは、レート・マッチャはアップストリーム・トランスミッタとレシーバ間の周波数差を ±100 PPM (合計 200 PPM) まで補償できます。レート・マッチャ・ロジックは、フレーム間またはパケット間ギャップ (IFG または IPG) 時に、/I2/ アイドル・オーダー・セットをレート・マッチャ FIFO から削除するか、それに挿入します。ランニング・デイスパリティを変更する /I1/ とは異なり、/I2/ はランニング・デイスパリティを維持するので、レート・マッチング・オーダー・セットとして選択されます。/I2/ オーダー・セットには、2 つの 10 ビットのコード・グループ (/K28.5/、/D16.2/) が含まれているため、レート・マッチングのために一度に 20 ビットが挿入または削除されます。

 MegaWizard Plug-In Manager で「GIGE Enhanced」モードがサブプロトコルとして選択されたとき、レート・マッチャ・ロジックは、/C1/ または /C2/ コンフィギュレーション・オーダー・セットを挿入または削除することができます。

アップストリーム・トランスミッタとローカル・レシーバの間の周波数 PPM の差異が高い場合、またはパケット・サイズが大きすぎる場合、レート・マッチャ FIFO バッファはオーバーフローまたはアンダーフローに直面する可能性があります。

### Basic モード

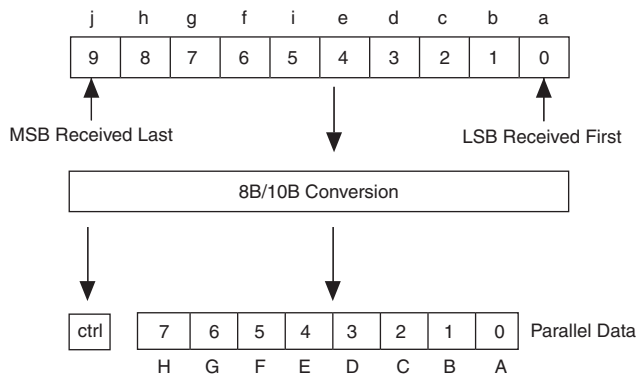
Basic モードでは、スキップをプログラムして、レート・マッチングのためのパターンを制御できます。クラスタでのスキップ・キャラクタの削除に関する制約はありません。レート・マッチャは、スキップ・キャラクタがある限りそれを削除できます。挿入の場合、レート・マッチャはレート・マッチャの出力でのスキップ・キャラクタ数が6以上にならないように、スキップ・キャラクタを挿入します。

### 8 B/10 B デコーダ

8 B/10 B デコーダは、サポートされているすべての機能モードで使用されます。8 B/10 B デコーダは、レート・マッチャからの 10 ビット・データを取り込み、それを 8 ビット・データと 1 ビットのコントロール識別子にデコードし、それによってオリジナルの送信データをレシーバで復元します。8 B/10 B デコーダは、rx\_ctrldetect ポートを介して受信された 10 ビット・キャラクタがデータかコントロール・コードかを示します。受信した 10 ビット・コード・グループが、コントロール・キャラクタ (Kx.y) の場合は、rx\_ctrldetect 信号が High にドライブされ、データ・キャラクタ (Dx.y) の場合は、rx\_ctrldetect 信号が Low にドライブされます。

図 2-17 に、8 ビット・データと 1 ビットのコントロール識別子にデコードされる 10 ビット・コード・グループを示します。

図 2-17. 10 ビットから 8 ビットへの変換



受信した 10 ビット・コードが有効な Dx.y または Kx.y コード・グループではない場合、8 B/10 B デコーダ・ブロックは rx\_errdetect ポートでエラー・フラグをアサートします。受信した 10 ビット・コードが不

正なランニング・デイスパリティと併せて検出された場合、8 B/10 B デコーダ・ブロックは `rx_disperr` ポートおよび `rx_errdetect` ポートでエラー・フラグをアサートします。エラー・フラグ信号 (`rx_errdetect` および `rx_disperr`) には、不正なコード・グループと同じ 8 B/10 B デコーダから PLD トランシーバ・インタフェースまでのデータ・パス遅延があります。

### レシーバ・ステート・マシン

レシーバ・ステート・マシンは、Basic、GIGE、PCI Express (PIPE)、および XAUI モードで動作します。GIGE モードでは、レシーバ・ステート・マシンは無効なコード・グループを K30.7 に置き換えます。XAUI モードでは、レシーバ・ステート・マシンは XAUI PCS コード・グループを XAUI XGMII コード・グループに変換します。

### バイト・デシリアライザ

バイト・デシリアライザは、8 B/10 B デコーダから 1 バイト幅のデータを取り込み、それを半分の速度で 2 バイト幅のデータにパラレル変換します。これにより、レシーバ PCS ロジックと比べて半分の速度で、PLD-レシーバ・インタフェースをクロックすることができます。バイト・デシリアライザは GIGE モードではバイパスされます。

レシーバ出力におけるバイト・オーダリングは、送信されたものと異なることがあります。これは、上記のバイト・オーダリングが PLL のロック時間およびリンク遅延に依存するため非決定的なスワップです。必要に応じて、PLD にバイト・オーダリング・ロジックを実装して、この状況を是正しなければなりません。



詳細は、「Arria GX デバイス・ハンドブック Volume 2」の「[Arria GX トランシーバ・アーキテクチャ](#)」の章を参照してください。

### レシーバ位相補償 FIFO バッファ

レシーバ位相補償 FIFO バッファは、各レシーバ・チャネルのロジック・アレイ・インタフェースにあります。これは、レシーバ PCS クロックとローカル PLD レシーバ・クロック間の位相差を補正します。レシーバ位相補償 FIFO は、サポートされているすべての機能モードで使用されます。レシーバ位相補償 FIFO バッファの深さは、PCI Express (PIPE) モードでは 8 ワード、その他のモードでは 4 ワードです。



アーキテクチャおよびクロッキングについては、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX トランシーバ・アーキテクチャ」の章を参照してください。

## ループバック・モード

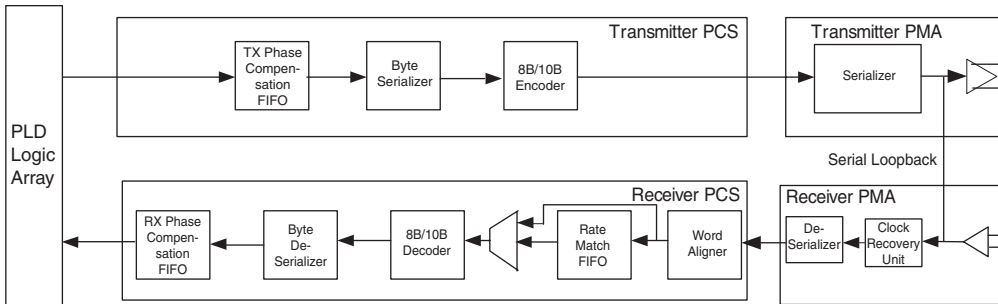
Arria GX トランシーバは、以下の診断用のループバック・コンフィギュレーションをサポートしています。

- シリアル・ループバック
- リバース・シリアル・ループバック
- リバース・シリアル・ループバック (pre-CDR)
- PCI Express (PIPE) リバース・パラレル・ループバック ([PIPE] モードでのみ使用可能)

## シリアル・ループバック

図 2-18 に、シリアル・ループバック内のトランシーバ・データ・パスを示します。


図 2-18. シリアル・ループバック内のトランシーバ・データ・パス



GIGE および Serial RapidIO モードでは、rx\_serial1pbken ポートを制御することによって、各トランシーバ・チャネルをシリアル・ループバックで個別にダイナミックに配置できます。rx\_serial1pbken ポートが High のとき、トランシーバはシリアル・ループバックに配置されます。このポートが Low のときには、トランシーバはシリアル・ループバックを抜け出します。

図 2-18 に示すように、トランスミッタ・シリアライザからのシリアル・データ出力は、シリアル・ループバック内の CRU にループバックされます。シリアル・ループバックでの PLD インタフェースからシリアライ

ザまでのトランスミッタ・データ・パスは、非ループバック・モードの場合と同じです。シリアル・ループバックでのクロック・リカバリ・ユニットから PLD インタフェースまでのレシーバ・データ・パスは、非ループバック・モードの場合と同じです。シリアル・ループバックではトランシーバ・データ・パス全体を使用できるため、このオプションはデータ・パスを考えられるリンク・エラーの原因として診断するために使用することがよくあります。

 シリアル・ループバックがイネーブルされると、トランスミッタ出力バッファはアクティブのまま、tx\_dataout ポートからシリアル・データをドライブ・アウトします。

### リバース・シリアル・ループバック

リバース・シリアル・ループバック・モードは、トランシーバのアナログ部分を使用します。外部ソース（パターン・ジェネレータまたはトランシーバ）はソース・データを生成します。高速差動レシーバ入力バッファに到着する高速シリアル・ソース・データは、CRU ユニットを通過し、リタイミングされたシリアル・データがループ・バックされ、高速差動トランスミッタ出力バッファを通じて送信されます。


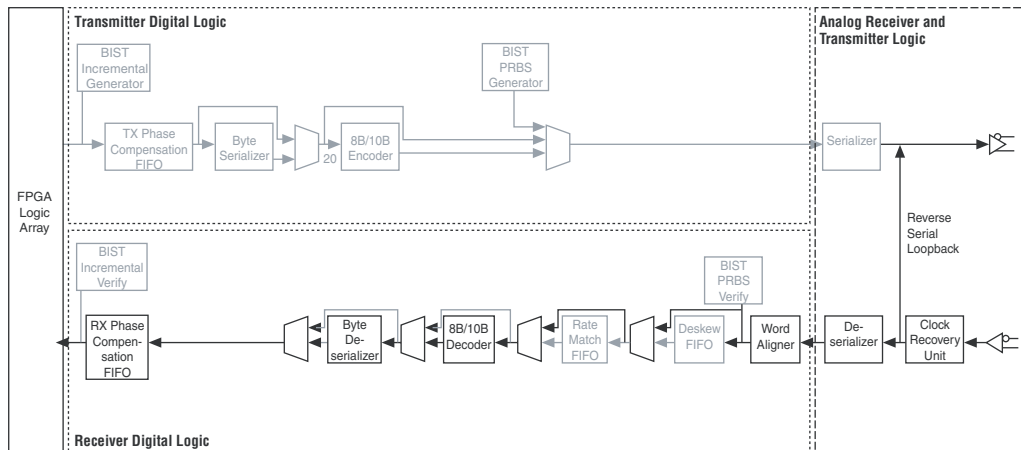
 図 2-19 に、リバース・シリアル・ループバック・モードのデータ・パスを示します。

図 2-19. リバース・シリアル・ループバック・モードの Arria GX ブロック

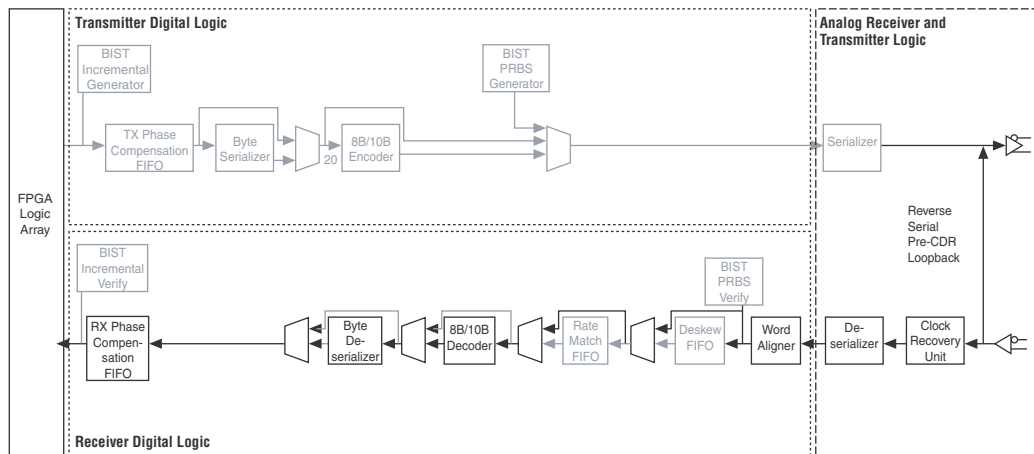


## リバース・シリアル Pre-CDR ループバック

リバース・シリアル Pre-CDR ループバック・モードは、トランシーバのアナログ部分を使用します。外部ソース（パターン・ジェネレータまたはトランシーバ）はソース・データを生成します。高速差動レシーバ入力バッファに到着する高速シリアル・ソース・データは、CRUユニットの前にループバックし、高速差動トランスミッタ出力バッファを通じて送信されます。これは入力バッファのゲインやイコライゼーションを改善した後で、受信中の信号を検証するためのテストまたは検証にのみ使用します。信号は出力バッファを通過し、 $V_{OD}$  は  $V_{OD}$  設定レベルに変化するため、出力の信号は受信信号とは正確に同じではありません。プリアンファシス設定は無効です。

図 2-20 に、リバース・シリアル pre-CDR ループバック・モードの Arria GX ブロックを示します。

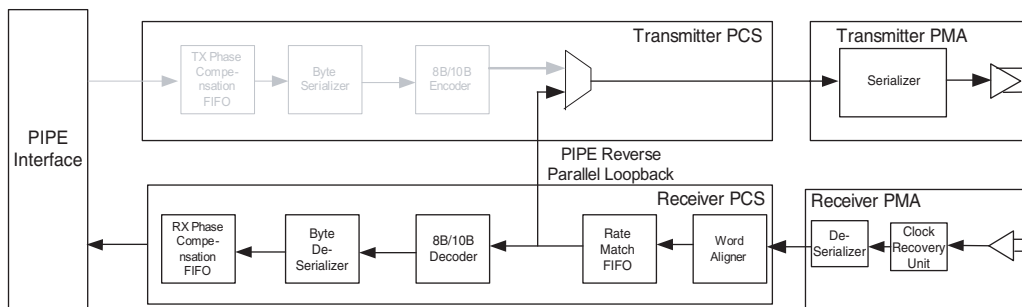
図 2-20. リバース・シリアル Pre-CDR ループバック・モードの Arria GX ブロック



## PCI Express (PIPE) リバース・パラレル・ループバック

図 2-21 に、PCI Express (PIPE) リバース・パラレル・ループバックのデータ・パスを示します。リバース・パラレル・ループバック・コンフィギュレーションは、PCI Express (PIPE) 仕様に適合しており、PCI Express (PIPE) モードのみで使用可能です。

図 2-21. PCI Express (PIPE) リバース・パラレル・ループバック



MegaWizard Plug-In Managerでインスタンス化されたtx\_detectrxloopbackポートを制御することによって、PCI Express (PIPE) モードのトランシーバをリバース・パラレル・ループバック内に動的に配置することができます。P0パワー・ステートでtx\_detectrxloopbackポートがHighのとき、トランシーバはリバース・パラレル・ループバック内に配置されます。その他の電力ステートでは、tx\_detectrxloopbackポートがHighのときにトランシーバがリバース・パラレル・ループバック内に配置されることはありません。

図 2-21 に示すように、リバース・パラレル・ループバックのrx\_datainポートで受信したシリアル・データは、CRU、デシリアライザ、ワード・アライナ、およびレート・マッチャの各ブロックを通過します。レシーバ・レート・マッチャ・ブロックの出力におけるパラレル・データは、トランスミッタ・シリアライザ・ブロックの入力にループバックされます。シリアライザは、パラレル・データをシリアル・データに変換し、それをトランスミッタ出力バッファに供給します。トランスミッタ出力バッファは、このデータをtx\_dataoutポートでドライブ・アウトします。レート・マッチャの出力におけるデータも、8B/10Bデコーダ、バイト・デシリアライザ、およびレシーバ位相補償FIFOを通過し、rx\_dataoutポートでPLDに供給されます。

## リセットおよびパワーダウン

Arria GX トランシーバは、不要なファンクションをシャットオフする能力を備えており、省電力の利点を提供します。

1本のトランシーバ・チャンネルごとに以下の3つのリセット信号を使用でき、これらを使用して各チャンネル内のデジタル部とアナログ部を個別にリセットすることができます。

- tx\_digitalreset
- rx\_analogreset

- rx\_digitalreset

1つのトランシーバ・ブロックごとに以下の2つのパワーダウン信号を使用でき、これらによって未使用のトランシーバ・ブロック全体をシャットダウンすることができます。

- gxb\_powerdown
- gxb\_enable

表 2-6 に、Arria GX デバイスで使用可能なリセット信号、および各信号の影響を受けるトランシーバ回路を示します。

リセット信号	トランスミッタ位相補償 FIFO モジュール/バイト・シリアライザ	トランスミッタ 8b/10B エンコーダ	トランスミッタ・シリアライザ	トランスミッタ・アナログ回路	トランスミッタ PLL	トランスミッタ XAUI ステート・マシン	BIST ジェネレータ	レシーバ・デシリアライザ	レシーバ・ワード・アライナ	レシーバ・デスキュー FIFO モジュール	レシーバ・レート・マッチャ	レシーバ 8B/10B デコーダ	レシーバ位相補償 FIFO モジュール/バイト・デシリアライザ	レシーバ PLL/CRU	レシーバ XAUI ステート・マシン	BIST ベリファイア	レシーバ・アナログ回路
rx_digitalreset								✓			✓	✓	✓		✓		
rx_analogreset								✓						✓			✓
tx_digitalreset	✓	✓				✓	✓										
gxb_powerdown	✓	✓	✓	✓	✓	✓	✓	✓	✓		✓	✓	✓	✓	✓	✓	✓
gxb_enable	✓	✓	✓	✓	✓	✓	✓	✓	✓		✓	✓	✓	✓	✓	✓	✓

## キャリブレーション・ブロック

Arria GX デバイスはキャリブレーション・ブロックを使用して、PLL およびそれらの関連する出力バッファの On-Chip Termination とトランシーバの終端抵抗をキャリブレートします。キャリブレーション・ブロックはプロセス、電圧、および温度 (PVT) の影響を緩和します。キャリブレーション・ブロックは、Arria GX デバイスの On-Chip Termination 抵抗をキャリブレートするために、外部リファレンス抵抗の両端で得られる電圧を参照します。キャリブレーション・ブロックはパワーダウンできます。ただし、動作中にキャリブレーション・ブロックをパワーダウンすると、送信および受信データ・エラーが発生することがあります。

## トランシーバのクロッキング

この項では、Arria GX トランシーバ・チャンネル内でのクロック分配、およびトランシーバ・ブロックによる PLD クロック・リソースの利用について説明します。

### トランシーバ・チャンネルでのクロック分配

各トランシーバ・ブロックには、1 個のトランスミッタ PLL と 4 個のレシーバ PLL があります。

トランスミッタ PLL は、入力基準クロックを逡倍して、コンフィギュレーションされた機能モードのデータ・レートの半分の周波数で高速シリアル・クロックを生成します。この高速シリアル・クロック (または機能モードでバイト・シリアライザを使用している場合は、その ÷ 2 バージョン) は、CMU クロック・ディバイダ・ブロックに供給されます。コンフィギュレーションされた機能モードに応じて、CMU クロック・ディバイダ・ブロックは、高速シリアル・クロックを分周して、関連するチャンネル内のトランシーバ PCS ロジックをクロックする低速パラレル・クロックを生成します。低速パラレル・クロックは、tx\_clkout ポートまたは coreclkout ポートの PLD ロジック・アレイにも転送されます。

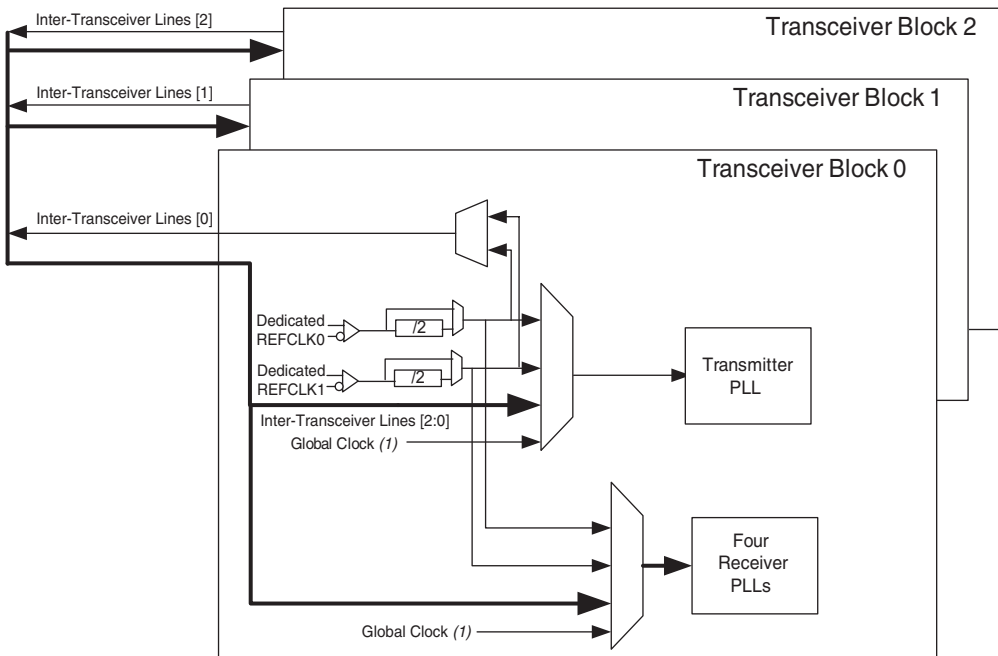
各チャンネルのレシーバ PLL にも入力基準クロックが供給されます。レシーバ PLL は、クロック・リカバリ・ユニットと共に、高速シリアル・リカバリ・クロックおよび低速パラレル・リカバリ・クロックを生成します。低速パラレル・リカバリ・クロックは、レート・マッチャまでのレシーバ PCS ロジックに供給されます。CMU 低速パラレル・クロックは、レート・マッチャからレシーバ位相補償 FIFO までのロジック部分に供給されます。レート・マッチャを使用しないモードでは、レシーバ位相補償 FIFO までのレシーバ PCS ロジックにリカバリ・クロックが供給されます。

トランスミッタ PLL およびレシーバ PLL への入力基準クロックは、以下から得ることができます。

- 関連するトランシーバ・ブロックの2本の使用可能な専用基準クロック入力ピン (REFCLK0 または REFCLK1) のうちの 1 本
- PLD クロック・ネットワーク (これは、入力クロック・ピンから直接ドライブする必要があり、ユーザー・ロジックまたは enhanced PLL でドライブすることはできません)。
- 他のトランシーバ・ブロックの基準クロック入力ピンによってドライブされるトランシーバ間ブロック・ライン

図 2-22 に、トランスミッタ PLL およびレシーバ PLL の入力基準クロック・ソースを示します。

図 2-22. 入力基準クロック・ソース



サポートされているすべての機能モードのトランシーバ・クロッキングについて詳しくは、「[Arria GX デバイス・ハンドブック Volume 2](#)」の「[Arria GX トランシーバ・アーキテクチャ](#)」の章を参照してください。

### トランシーバ・ブロックによる PLD クロックの利用

Arria GX デバイスは、トランシーバ・クロックの配線に使用されるグローバル・クロック (GCLK) ラインとリージョナル・クロック (RCLK) ラインを最大 16 本ずつ備えています。以下のトランシーバ・クロックは、使用可能なグローバルおよびリージョナル・クロック・ソースを利用します。

- pll\_inclk (FPGA の入力ピンからドライブされる場合)
- rx\_cruclk (FPGA 入力ピンからドライブされる場合)
- tx\_clkout/coreclkout (PLD に送られる CMU 低速パラレル・クロック)
- 非レート・マッチャ・モードでの各チャネル (rx\_clkout) からの復元クロック
- キャリブレーション・クロック (cal\_blk\_clk)
- 固定クロック (PCI Express [PIPE] モードでのみレシーバ検出回路に使用される fixedclk)

図 2-23 および図 2-24 に、Arria GX デバイスの使用可能なグローバルおよびリージョナル・クロック・リソースを示します。

図 2-23. Arria GX デバイスのグローバル・クロック・リソース

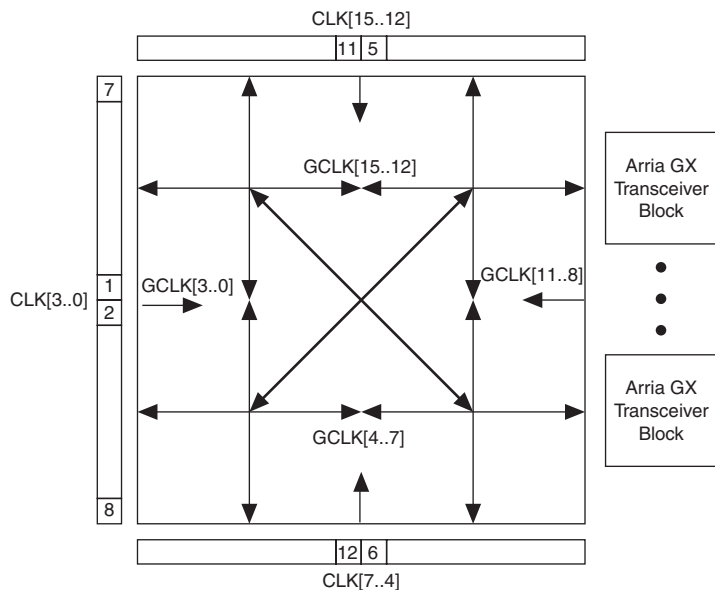
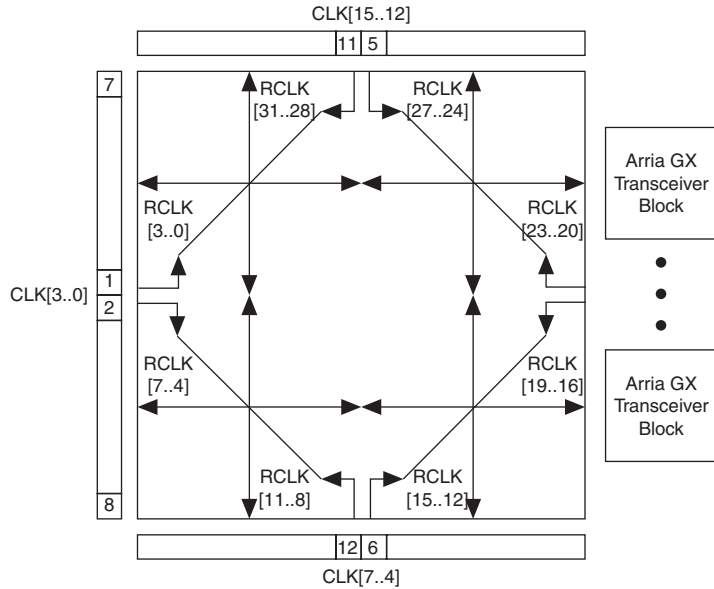


図 2-24. Arria GX デバイスのリージョナル・クロック・リソース



トランシーバに配線されるリージョナルまたはグローバル・クロック・ネットワークには、ローカル配線 I/O (LRIO) が必要です。各 LRIO クロック領域には最大 8 つのクロック・パスがあり、また各トランシーバ・ブロックには LRIO クロックと接続するためのクロック・パスが最大 8 つあります。これらのリソースは、有限であり、PLD とトランシーバ・ブロック間で使用可能なクロック数を決定します。表 2-7 および図 2-8 に、異なる数のトランシーバ・ブロックを備えた Arria GX デバイスに使用できる LRIO リソース数を示します。

表 2-7. EP1AGX35D、EP1AGX50D、および EP1AGX60D のトランシーバに使用可能なクロッキング接続

ソース	クロック・リソース		トランシーバ	
	グローバル・クロック	リージョナル・クロック	バンク 13 8 クロック I/O	バンク 14 8 クロック I/O
領域 0 8 LRIO クロック	✓	RCLK 20-27	✓	
領域 1 8 LRIO クロック	✓	RCLK 12-19		✓

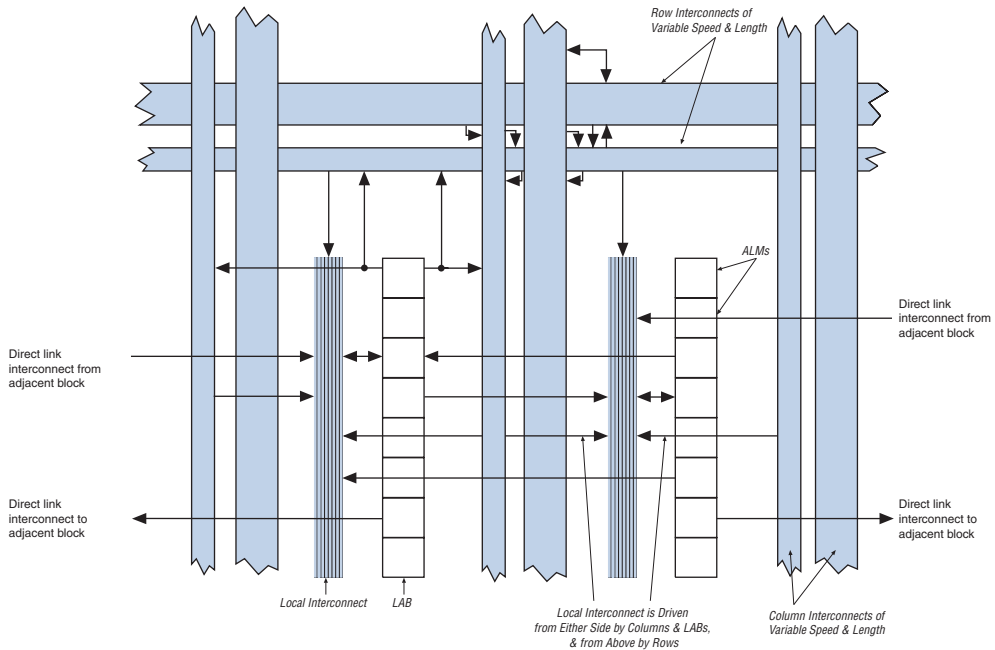
ソース	クロック・リソース		トランシーバ		
	グローバル・クロック	リージョナル・クロック	バンク 13 8 クロック I/O	バンク 14 8 クロック I/O	バンク 15 8 クロック I/O
領域 0 8 LRIO クロック	√	RCLK 20-27	√		
領域 1 8 LRIO クロック	√	RCLK 20-27	√	√	
領域 2 8 LRIO クロック	√	RCLK 12-19		√	√
領域 3 8 LRIO クロック	√	RCLK 12-19			√

## ロジック・アレイ・ブロック

各ロジック・アレイ・ブロック (LAB) は、8 個のアダプティブ・ロジック・モジュール (ALM)、キャリア・チェイン、共有演算チェイン、LAB コントロール信号、ローカル・インタコネク、およびレジスタ・チェイン接続ラインで構成されています。ローカル・インタコネクは、同一 LAB 内で ALM 間の信号を転送します。レジスタ・チェイン接続は、ALM レジスタの出力を LAB 内の隣接する ALM レジスタに転送します。Quartus II Compiler は、接続されるロジックを 1 つの LAB または隣接する LAB 内に配置し、ローカル、共有演算チェイン、およびレジスタ・チェイン接続を使用して、性能と面積効率を向上させます。表 2-9 に、Arria GX のデバイス・リソースを示します。図 2-25 には、Arria GX の LAB 構造を示します。

デバイス	M512 RAM カラム数 / ブロック数	M4K RAM カラム数 / ブロック数	M-RAM ブロック 数	DSP ブロック カラム数 / ブロック数
EP1AGX20	166	118	1	10
EP1AGX35	197	140	1	14
EP1AGX50	313	242	2	26
EP1AGX60	326	252	2	32
EP1AGX90	478	400	4	44

図 2-25. Arria GX LAB 構造

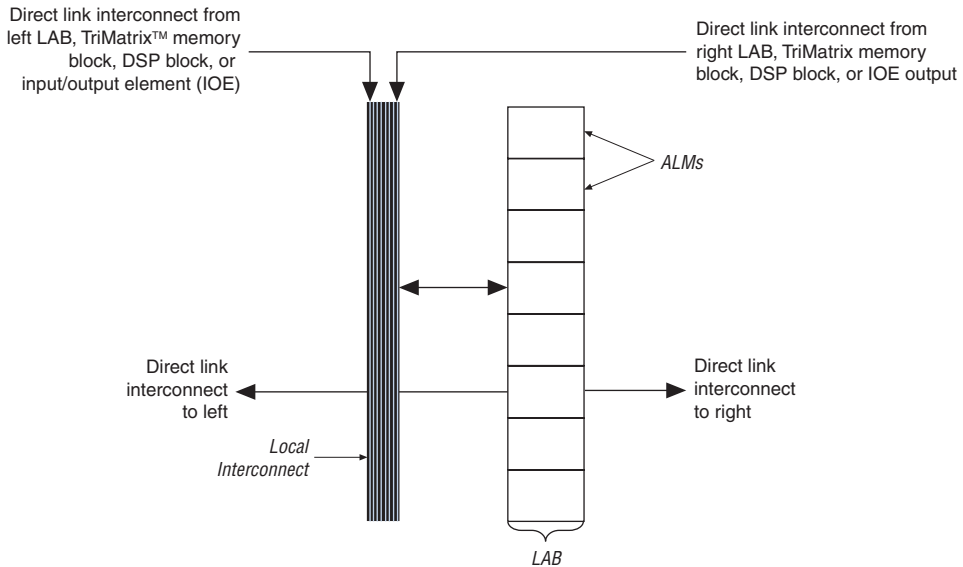


## LAB インタコネクト

LAB ローカル・インタコネクトは、同一 LAB 内の 8 個の ALM すべてをドライブできます。LAB ローカル・インタコネクトは、同一 LAB 内のカラムとロウのインタコネクトおよび ALM 出力によってドライブされます。ダイレクト・リンク・インタコネクトを通して、左側または右側の隣接 LAB、M512 RAM ブロック、M4K RAM ブロック、M-RAM ブロックまたはデジタル信号処理 (DSP) ブロックが LAB のローカル・インタコネクトをドライブすることもできます。このダイレクト・リンクによる接続機能は、ロウおよびカラム・インタコネクトの使用が最小限で済むため、さらに高い性能と柔軟性を提供します。各 ALM は高速ローカル・インタコネクトとダイレクト・リンク・インタコネクトを介して、24 個の ALM をドライブすることができます。

図 2-26 に、ダイレクト・リンク・インタコネクトを示します。

図 2-26. ダイレクト・リンク接続



## LAB コントロール信号

各 LAB には、各 ALM に対するコントロール信号をドライブするための専用ロジックが内蔵されています。コントロール信号は、一度に最大 11 本のコントロール信号を提供する 3 本のクロック、3 本のクロック・イネーブル、2 本の非同期クリア、同期クリア、非同期プリセット / ロード、および同期ロードの各コントロール信号が含まれます。一般に同期ロード信号および同期クリア信号は、カウンタを実装する際に使用されますが、他のファンクションでも使用できます。

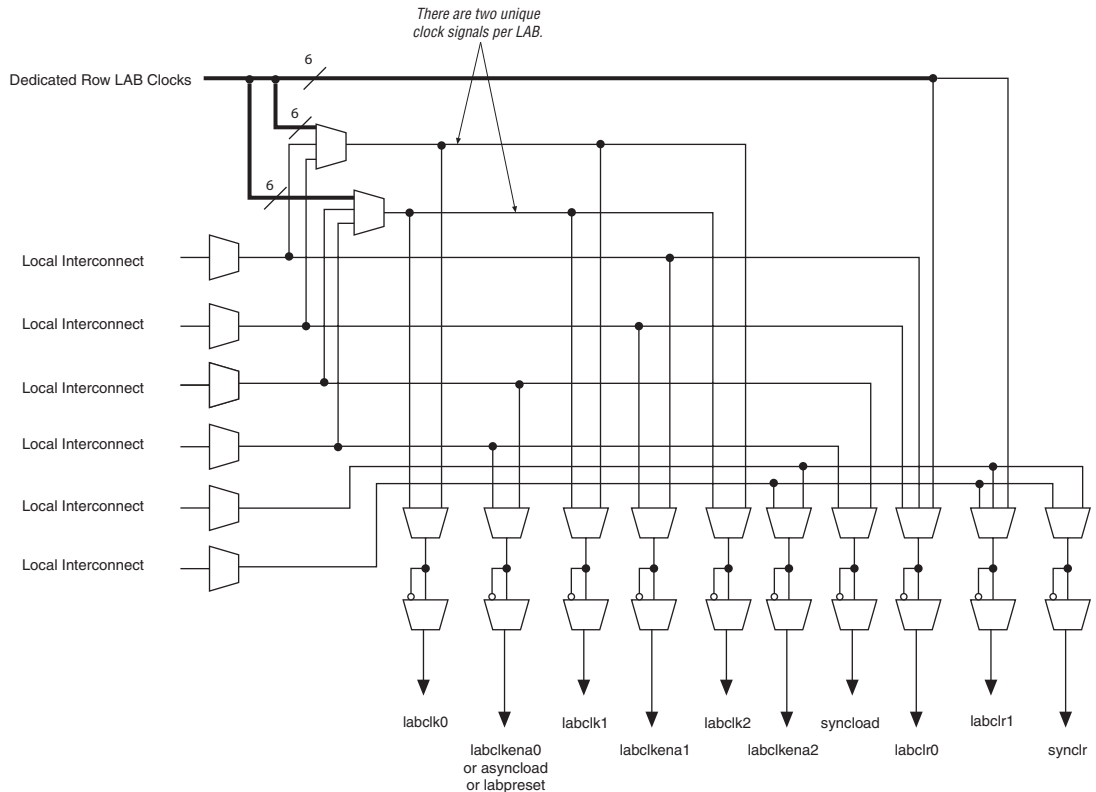
各 LAB では、3 本のクロック信号と 3 本のクロック・イネーブル信号を使用できます。ただし、図 2-27 の LAB コントロール信号生成回路に示すように、固有のクロック信号は LAB ごとに最大 2 本しか使用できません。各 LAB のクロック信号とクロック・イネーブル信号はリンクされています。例えば、`labclk1` 信号を使用する特定の LAB の ALM は、`labclk1` 信号も使用します。クロックの立ち上がりとしち下がりの双方のエッジを LAB 内で使用する場合、LAB ワイドのクロック信号を 2 本とも使用します。クロック・イネーブル信号がディアサートされると、対応する LAB ワイドのクロック信号はオフになります。各 LAB は 2 本の非同期クリア信号と 1 本の非同期ロード / プリセット信号を使用でき

ます。非同期ロード信号は、非同期ロード・データ入力を High に接続するとプリセットとしての機能を果たします。非同期ロード / プリセット信号が使用されている場合、labclkena0 信号は使用できなくなります。

LAB ロウ・クロック [5..0] および LAB ローカル・インタコネク트는、LAB ワイドのコントロール信号を生成します。MultiTrack インタコネク트는本質的にスキューが小さくなっています。この低スキューにより、MultiTrack インタコネク트는データの他にクロックとコントロール信号を分配することができます。

図 2-27 に、LAB コントロール信号の生成回路を示します。

図 2-27. LAB ワイド・コントロール信号



## アダプティブ・ロジック・モジュール

Arria GX アーキテクチャのロジックの基本的なビルディング・ブロックは ALM です。ALM は効率的なロジック利用を可能にする最新機能を提供します。各 ALM には、2 個の ALUT (Adaptive LUT) 間で分割できる各種ルック・アップ・テーブル (LUT) をベースにしたリソースが含まれています。2 個の ALUT への最大 8 本の入力により、1 個の ALM で 2 つのファンクションの様々な組み合わせを実装できます。この適応性により、ALM は 4 入力 LUT アーキテクチャとの完全な下位互換性を提供します。1 個の ALM で、最大 6 本の入力を持つ任意のファンクションおよび特定の 7 入力ファンクションを実装することも可能です。

アダプティブ LUT ベースのリソースに加えて、各 ALM には 2 個のプログラマブル・レジスタ、2 個の専用の全加算器、1 本のキャリー・チェーン、1 本の共有演算チェーン、および 1 本のレジスタ・チェーンも含まれています。これらの専用リソースにより、ALM は様々な演算ファンクションやシフト・レジスタを効率的に実装することができます。各 ALM は、ローカル、ロウ、カラム、キャリー・チェーン、共有演算チェーン、レジスタ・チェーン、およびダイレクト・リンク・インタコネクトを含むあらゆるタイプのインタコネクトをドライブします。図 2-28 は Arria GX ALM の上位レベルのブロック図を示し、図 2-29 は ALM におけるすべての接続の詳細図です。

図 2-28. Arria GX ALM の上位レベルのブロック図

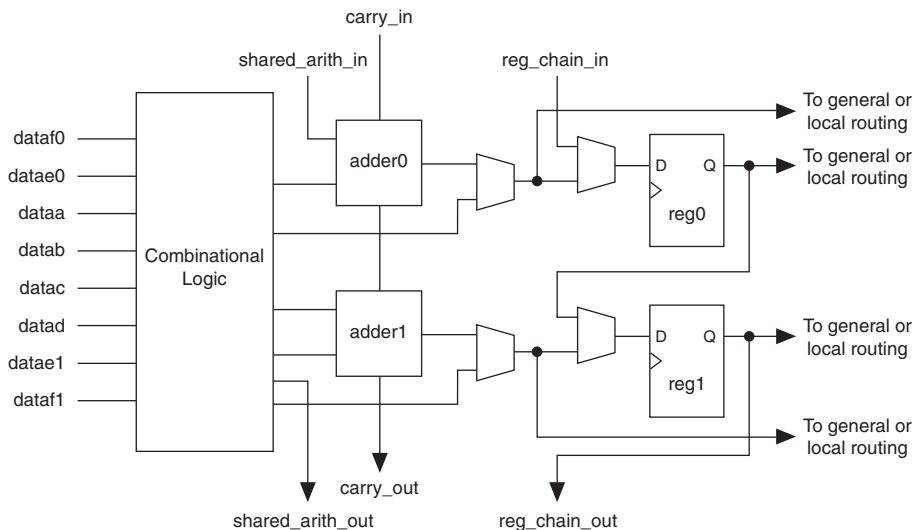
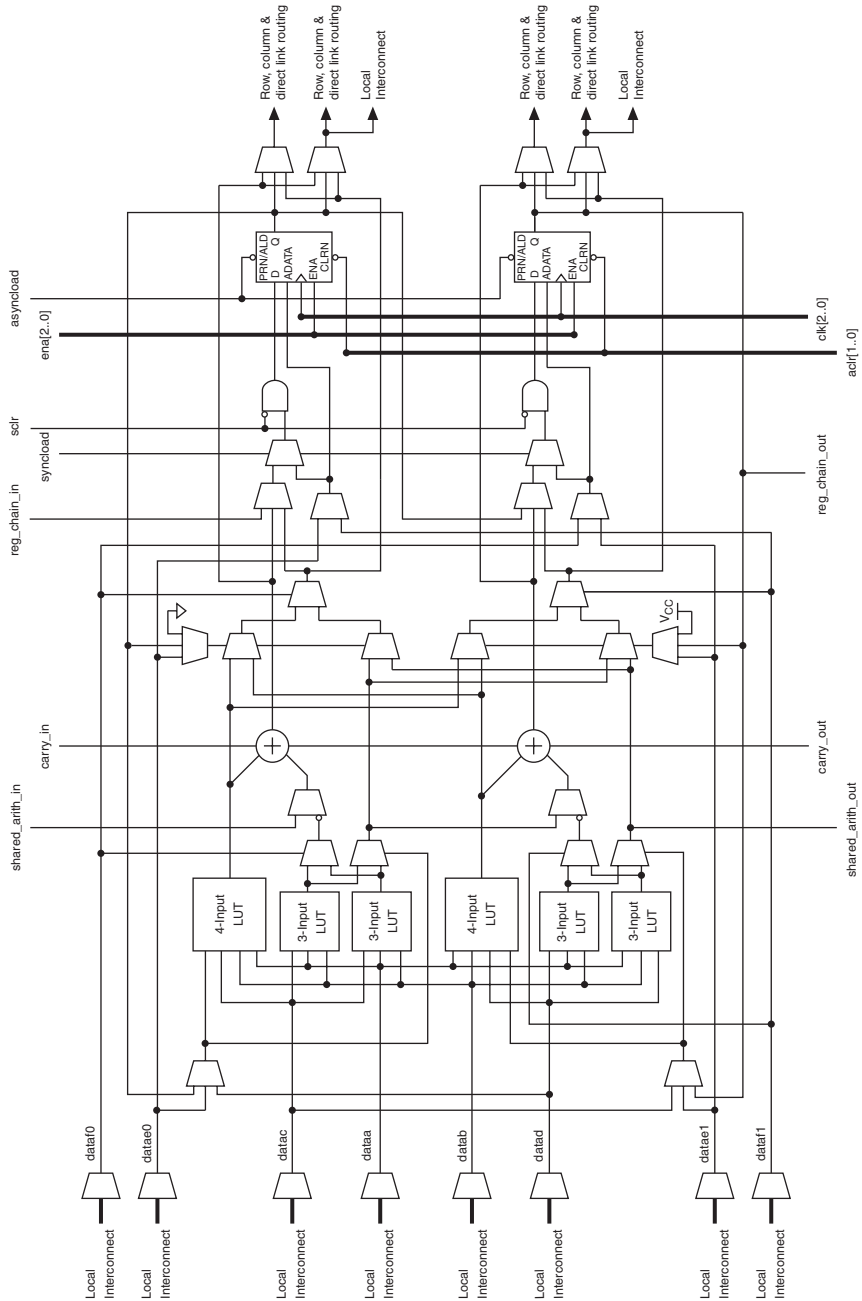


図 2-29. Arria GX の ALM の詳細



1 個の ALM には 2 個のプログラマブル・レジスタが含まれています。各レジスタには、データ、クロック、クロック・イネーブル、同期および非同期クリア、非同期ロード・データ、同期および非同期ロード / プリセットの各入力があります。

グローバル信号、汎用 I/O ピン、または任意の内部ロジックでレジスタのクロック・コントロール信号とクリア・コントロール信号をドライブすることができます。汎用 I/O ピンまたは内部ロジックのいずれかが、クロック・イネーブル、プリセット、非同期ロード、および非同期データをドライブできます。非同期ロード・データ入力は、レジスタ・バッキングに使用できる入力と同じ ALM の datae または dataf 入力から供給されます。組み合わせファンクションを実現するときには、レジスタがバイパスされ、LUT の出力が ALM の出力を直接ドライブします。

各 ALM には、ローカル、ロウ、およびカラム配線リソースをドライブする 2 セットの出力があります。LUT、加算器、またはレジスタ出力は、これらの出力を個別にドライブできます (図 2-29 を参照)。出力ドライブの各セットについて、2 本の ALM 出力がカラム、ロウ、またはダイレクト・リンク配線接続をドライブできます。これらの ALM 出力の 1 本はローカル・インタコネクタ・リソースもドライブできます。これにより、レジスタがある出力をドライブしている状態で、LUT が別の出力をドライブすることが可能になります。この機能はレジスタ・バッキングと呼ばれ、デバイスの稼働率を向上させます。これはレジスタと組み合わせロジックを全く別の機能として使用できるからです。別の特殊バッキング・モードでは、レジスタ出力を同一 ALM の LUT にフィードバックさせて、レジスタに独自のファンアウト LUT をバッキングすることができます。これにより、フィッティング機能を向上させる別のメカニズムが提供されます。また、ALM はラッチされた出力およびラッチされていない出力の両方の LUT 出力もドライブ・アウト可能です。

## ALM 動作モード

Arria GX ALM は次のいずれかのモードで動作することができます。

- ノーマル・モード
- 拡張 LUT モード
- 演算モード
- 共有演算モード

各モードでは、ALM のリソースがそれぞれ異なる形で使用されます。各モードで、ALM (図 2-28 参照) への 11 入力 (すなわち、LAB ローカル・インタコネクタからの 8 つのデータ入力、前の ALM または LAB からの carry-in、前の ALM または LAB からの共有演算チェーン、そして

レジスタ・チェイン接続) が異なるデスティネーションに転送され、目的のロジック機能を実装します。LAB ワイドの信号として供給可能なものは、レジスタへのクロック、非同期クリア、非同期プリセット / ロード、同期クリア、同期ロード、およびクロック・イネーブル・コントロールの各信号です。このような LAB ワイドの信号は、すべての ALM モードで使用できます。LAB ワイド・コントロール信号について詳しくは、[2-38 ページの「LAB コントロール信号」](#)を参照してください。

Quartus II ソフトウェアおよびサポートされているサードパーティ合成ツールは、LPM(Library of Parameterized Modules) などのパラメータ化されたファンクションと併用することによって、カウンタ、加算器、減算器、および演算ファンクションなどの一般的なファンクションに対して適切なモードを自動的に選択します。また、必要に応じて、ユーザーが特別なファンクションを作成して、各デザインに最適な性能が得られる ALM 動作モードを指定することもできます。

### ノーマル・モード

ノーマル・モードは、汎用のロジック・アプリケーションや組み合わせファンクションに適しています。このモードでは、LAB ローカル・インタコネクトからの最大 8 本のデータ入力組み合わせロジックの入力になります。ノーマル・モードでは、1 個の Arria GX ALM に 2 つのファンクションを実装するか、または 1 個の ALM に最高 6 入力のファンクションを 1 つ実装できます。ALM は、完全に独立したファンクションの特定の組み合わせおよび共通の入力を持つファンクションの様々な組み合わせをサポートできます。[図 2-30](#)に、ノーマル・モードでサポートされる LUT の組み合わせを示します。

図 2-30. ノーマル・モードの ALM 注 (1)

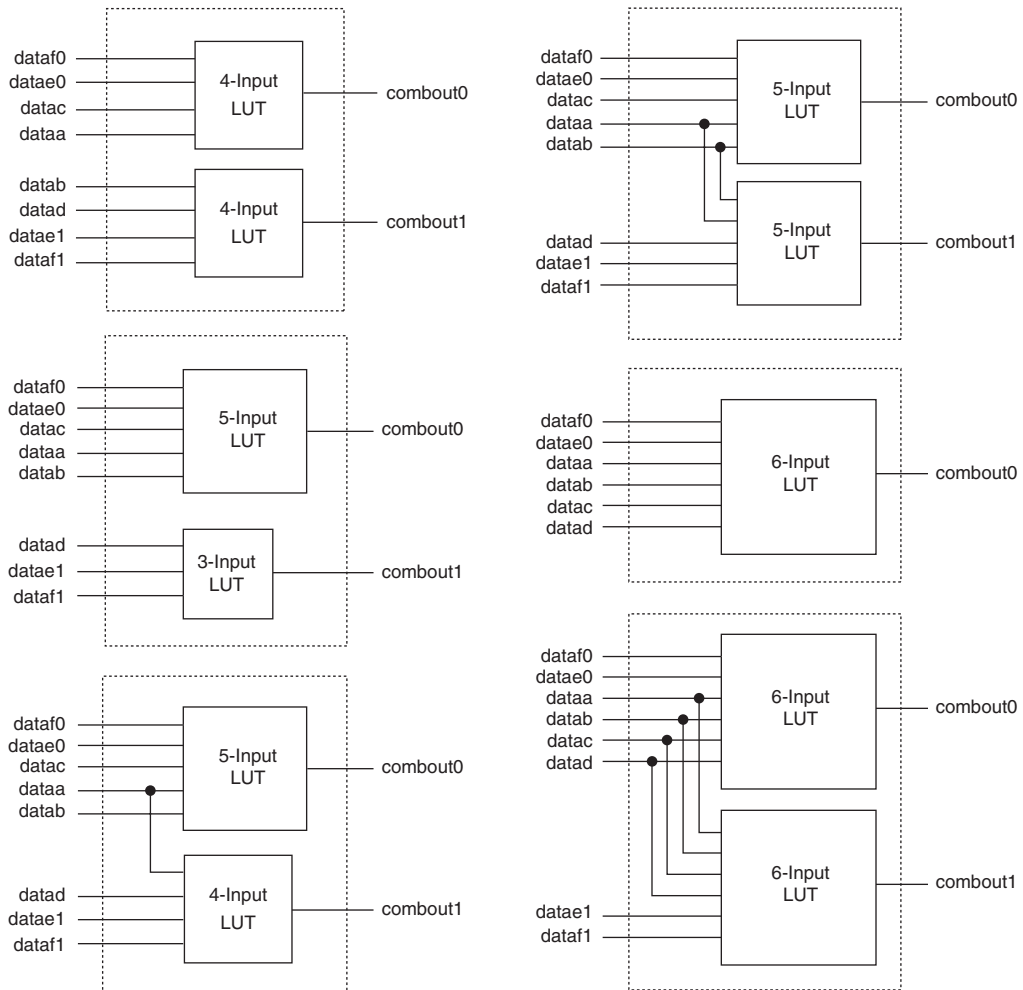


図 2-30 の注:

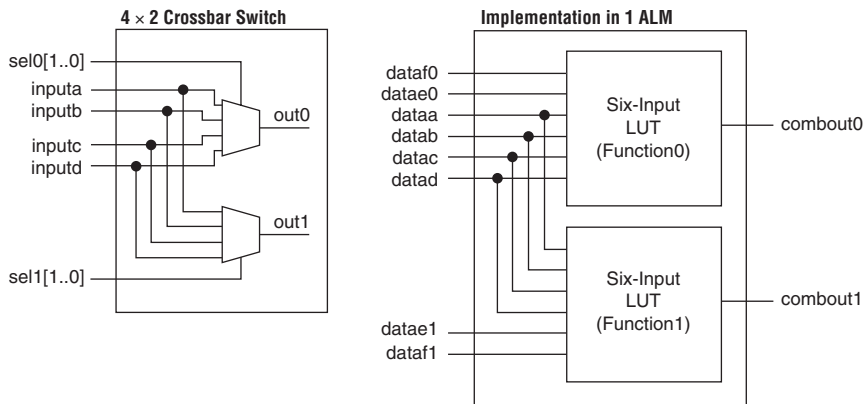
- (1) 図に示すよりも少ない入力を持つファンクションの組み合わせもサポートされます。例えば、4 と 3、3 と 3、3 と 2、5 と 2 などの入力数を持つファンクションの組み合わせがサポートされます。

ノーマル・モードでは、4 入力 LUT アーキテクチャとの完全な下位互換性が提供されます。1 個の Arria GX ALM に、2 つの独立した 4 入力以下のファンクションを実装できます。さらに、5 入力ファンクションおよび独立した 3 入力ファンクションを、入力を共有しないで実装することができます。

1 個の ALM に 2 つの 5 入力ファンクションをパックするには、これらのファンクションが最低 2 本の共通入力を持っている必要があります。共通入力は、dataa および datab です。4 入力ファンクションと 5 入力ファンクションの組み合わせには、1 本の共通入力 (dataa または datab のいずれか) が必要です。

1 個の ALM に 2 つの 6 入力ファンクションを実装するには、4 本の入力を共有し、組み合わせファンクションが同じでなければなりません。例えば、4×2 クロスバー・スイッチ (共通入力と固有選択ラインを持つ 2 個の 4-to-1 マルチプレクサ) を 1 個の ALM に実装できます (図 2-31 を参照)。共有入力は dataa、datab、datac、および datad で、固有選択ラインは function0 に対する datae0 および dataf0、また function1 に対する datae1 および dataf1 です。このクロスバー・スイッチは、4 入力 LUT ベースのアーキテクチャにおいて 4 個の LUT を使用します。

図 2-31. 4 × 2 クロスバー・スイッチ例



あまり使用されていないデバイスでは、1 個の ALM に収まるファンクションは個別の ALM に実装できます。Quartus II のコンパイラは、デザインを展開して可能な最高の性能を引き出します。デバイスの使用率が高くなり始めると、Quartus II ソフトウェアは自動的に Arria GX ALM の潜在能力を最大限に活用します。Quartus II のコンパイラは、共通入力を持つファンクションまたは完全に独立したファンクションを自動的にサーチし、それらを 1 つの ALM に配置してデバイス・リソースを効率的に使用します。さらに、位置の割り当てを設定することにより、リソース使用量を手動でコントロール可能です。dataa、datab、datac、datad、および datae0 と dataf0 または datae1 と dataf1 の入力を利用して、任意の 6 入力ファンクションを実装できます。datae0 と dataf0

を使用する場合、出力は register0 にドライブされるか、あるいは register0 がバイパスされ、データが出力ドライバのトップ・セットを使用してインタコネクต์に出力されます (図 2-32 を参照)。datae1 と dataf1 を使用する場合、出力は register1 にドライブされるか、register1 をバイパスし出力ドライバのボトム・セットを使用してインタコネクต์にドライブされます。Quartus II のコンパイラは、LUT への入力を自動的に選択します。レジスタの非同期ロード・データは ALM の datae または dataf 入力から供給されます。ノーマル・モードの ALM は、レジスタ・パッキングの機能をサポートします。

図 2-32. ノーマル・モードの 6 入力ファンクション 注 (1)、(2)

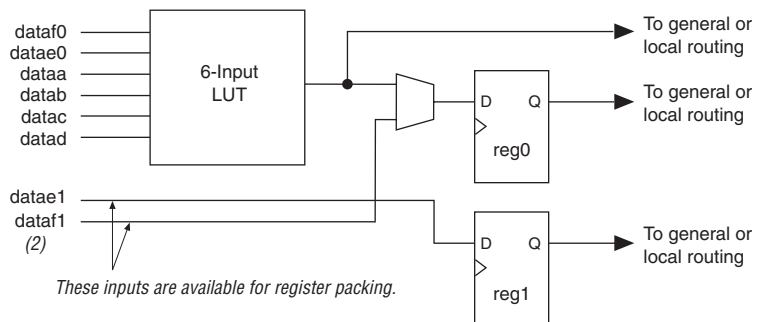


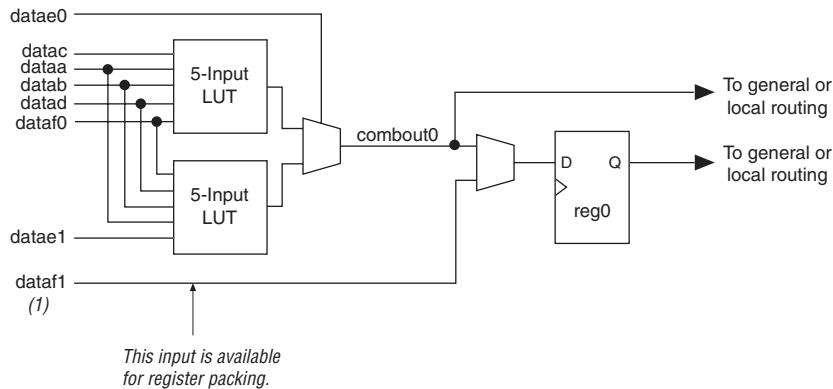
図 2-32 の注:

- (1) datae1 と dataf1 が 6 入力ファンクションの入力として使用される場合、datae0 と dataf0 はレジスタ・パッキングに使用できます。
- (2) 6 入力ファンクションがラッチされない場合に限り、dataf1 入力はレジスタ・パッキングに使用できます。

## 拡張 LUT モード

拡張 LUT モードは、特定の 7 入力ファンクションのセットの実装に使用されます。このセットは、4 入力を共有する任意の 2 つの 5 入力ファンクションから信号が供給される 2 対 1 マルチプレクサでなければなりません。図 2-33 に、拡張 LUT モードを使用してサポートされる 7 入力ファンクションのテンプレートを示します。このモードでは、7 入力ファンクションがラッチされない場合は、未使用の 8 番目の入力をレジスタ・パッキングに使用できます。図 2-33 に示すテンプレートに適合するファンクションは、デザインで自然に生じます。これらのファンクションは多くの場合、デザインに Verilog HDL または VHDL コードの “if-else” 文として現れます。

図 2-33. 拡張 LUT モードでサポートされる 7 入力ファンクションのテンプレート



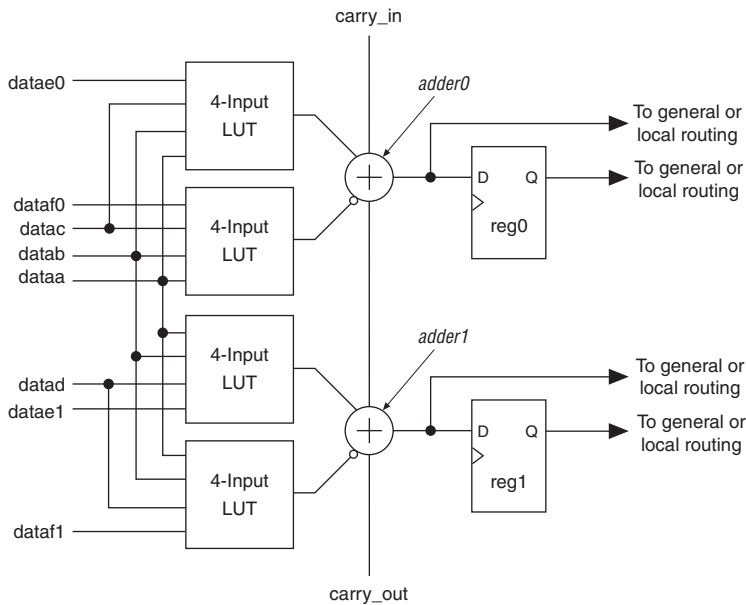
## 図 2-33 の注:

- (1) 7 入力ファンクションがラッチされない場合は、未使用の 8 番目の入力をレジスタ・パッキングに使用できます。第 2 のレジスタ reg1 は使用できません。

## 演算モード

演算モードは、加算器、カウンタ、乗算累積器、幅広いパリティ・ファンクション、およびコンパレータの構成に最適です。演算モードの ALM は、2 個の専用全加算器と共に 2 個の 4 入力 LUT を 2 組使用します。専用加算器によって、LUT は加算器前ロジックを実行できるため、各加算器は 2 つの 4 入力ファンクションの出力を加算することができます。4 個の LUT は、dataa および datab 入力を共有します。図 2-34 に示すように、キャリー・イン信号は adder0 に供給され、adder0 からのキャリー・アウト信号は adder1 の carry-in に供給されます。adder1 からのキャリー・アウト信号は、LAB 内の次の ALM の adder0 にドライブされます。また、演算モードの ALM では、ラッチされた加算器出力とラッチされていない加算器出力のいずれか一方、または両方をドライブアウトできます。

図 2-34. 演算モードの ALM

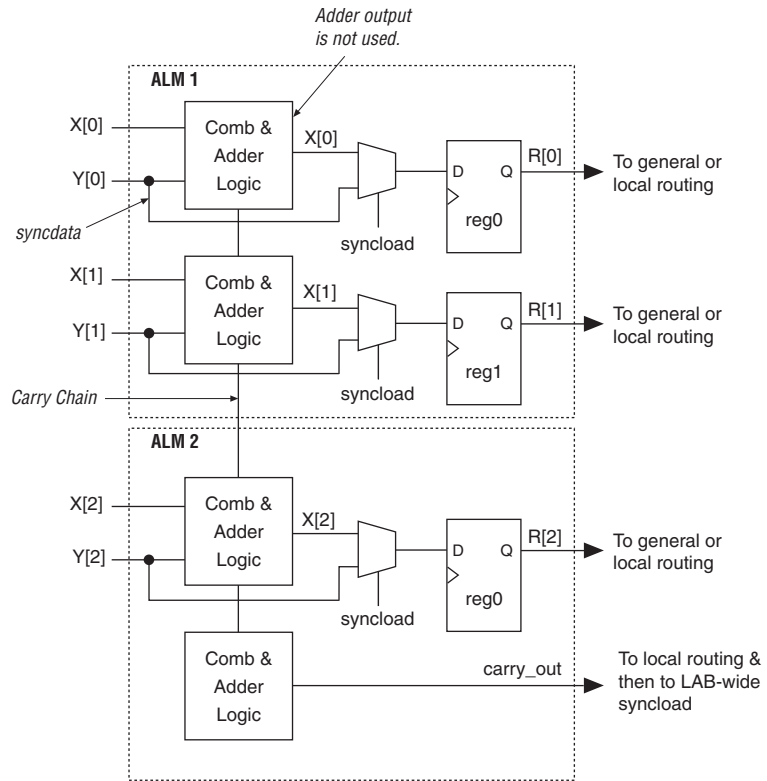


演算モードで動作している間、ALM は組み合わせロジックの出力と加算器のキャリ出力の同時使用をサポートできます。この動作では加算器の出力は無視されます。このように加算器と組み合わせロジックの出力を併用すると、この機能を使用可能なファンクションのリソースが最大 50% 節約されます。このような機能の一例として、図 2-35 に示す条件付動作があります。この例の等式は次の通りです。

$$R = (X < Y) ? Y : X$$

このファンクションを実装するために、加算器を使用して 'X' から 'Y' を減算しています。'X' が 'Y' より小さい場合、carry\_out 信号は '1' になります。carry\_out 信号は加算器に送られ、LAB ローカル・インタコネクタにドライブ・アウトされます。その後、LAB ワイドの syncload 信号に供給されます。syncload がアサートされた場合、syncdata 入力を選択されます。この場合、データ 'Y' は syncdata 入力をレジスタにドライブします。'X' が 'Y' より大きいか、または等しい場合、syncload 信号はディアサートされ、'X' がレジスタのデータ・ポートをドライブします。

図 2-35. 条件付き動作の例



演算モードではクロック・イネーブル、カウンタ・イネーブル、同期アップ / ダウン・コントロール、加算 / 減算コントロール、同期クリアおよび同期ロードの各信号も提供されています。クロック・イネーブル、カウンタ・イネーブル、同期アップ / ダウン・コントロール、および加算 / 減算コントロール各信号は、LAB ローカル・インタコネクタからのデータ入力により生成されます。これらのコントロール信号は、ALM 内の 4 つの LUT の間で共有される入力に使用できます。同期クリアと同期ロードのオプション信号は、LAB ワイドの信号であるため、LAB 内のすべてのレジスタに影響を与えます。Quartus II ソフトウェアは、カウンタに使用されていないレジスタを自動的に他の LAB に配置します。

## キャリー・チェーン

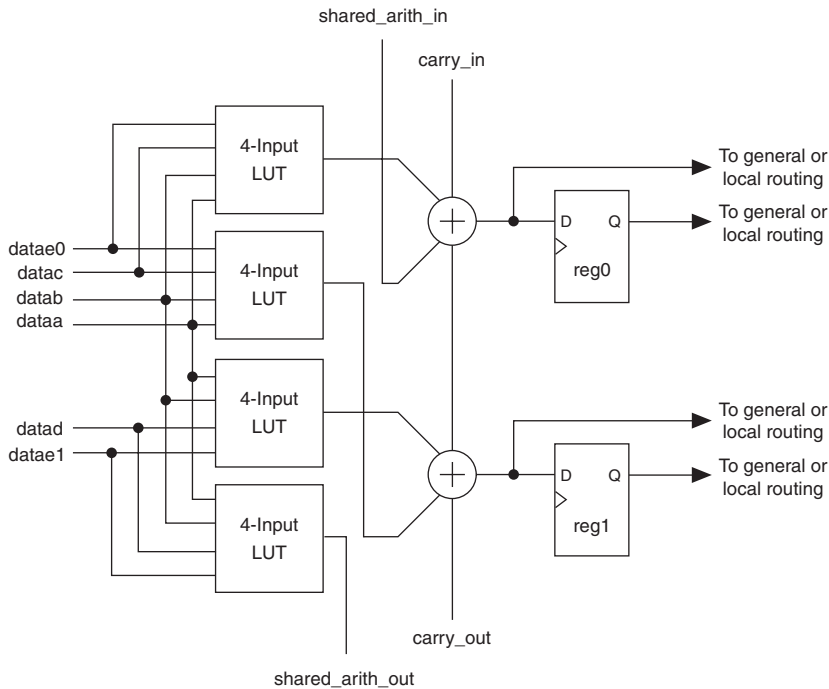
演算モードまたは共有演算モードにおいて、キャリー・チェーンは、専用加算器間でのキャリー・ファンクションを高速化します。キャリー・チェーンは、LAB 内の最初の ALM または 5 番目の ALM から開始できます。最後のキャリー・アウト信号は ALM に接続され、そこでローカル、ロウ、カラムのいずれかのインタコネクต์に供給されます。

Quartus II Compiler は、コンパイル中にキャリー・チェーン・ロジックを自動的に作成しますが、ユーザーがデザインの入力時に手動で作成することもできます。LPM ファンクションなどのパラメータ化されたファンクションは、キャリー・チェーンの利点を自動的に活用して、適切な機能を実現します。Quartus II Compiler は、複数の LAB を自動的にリンクさせることにより、16 個（演算モードまたは共有演算モードでは 8 個）を超える ALM で構成される長いキャリー・チェーンを作成します。フィッティング機能を強化するため、長いキャリー・チェーンは垂直に並べ、TriMatrix メモリおよび DSP ブロックへの水平方向の接続を高速化することができます。キャリー・チェーンはカラム全体に延長できます。高ファンイン演算ファンクションが実装されたときにデバイス内の 1 つの小さな領域で配線が密集するのを防ぐために、LAB は次の LAB に接続する前に LAB の上半分または下半分のいずれかのみを使用するキャリー・チェーンをサポートできます。LAB 内の ALM の残り半分は、ノーマル・モードでより狭いファンイン・ファンクションを実装するのに利用できます。最初の LAB 内の上位 4 個の ALM を使用するキャリー・チェーンは、カラム内で次の LAB 内の ALM の上半分に取り込みます。最初の LAB 内の下位 4 個の ALM を使用するキャリー・チェーンは、カラム内で次の LAB 内の ALM の下半分に取り込みます。LAB カラムは 1 つおきに上半分がバイパス可能で、他の LAB カラムは下半分がバイパス可能です。キャリー・チェーン・インタコネクต์について詳しくは、[2-55 ページの「MultiTrack インタコネクต์」](#)を参照してください。

## 共有演算モード

共有演算モードでは、ALM で 3 入力加算を実装できます。このモードでは、ALM は 4 個の 4 入力 LUT で構成されます。各 LUT は、3 本の入力の和または 3 本の入力のキャリーのいずれかを計算します。キャリー計算の出力は、共有演算チェーンと呼ぶ専用の接続を使用して、次の加算器（同じ ALM の adder1 または LAB 内の次の ALM の adder0）に供給されます。この共有演算チェーンは、加算器ツリーの実装に必要なサメーション・ステージの数を減らすことによって、加算器ツリーの性能を大幅に向上させることができます。[図 2-36](#) に、共有演算モードの ALM を示します。

図 2-36. 共有演算モードの ALM

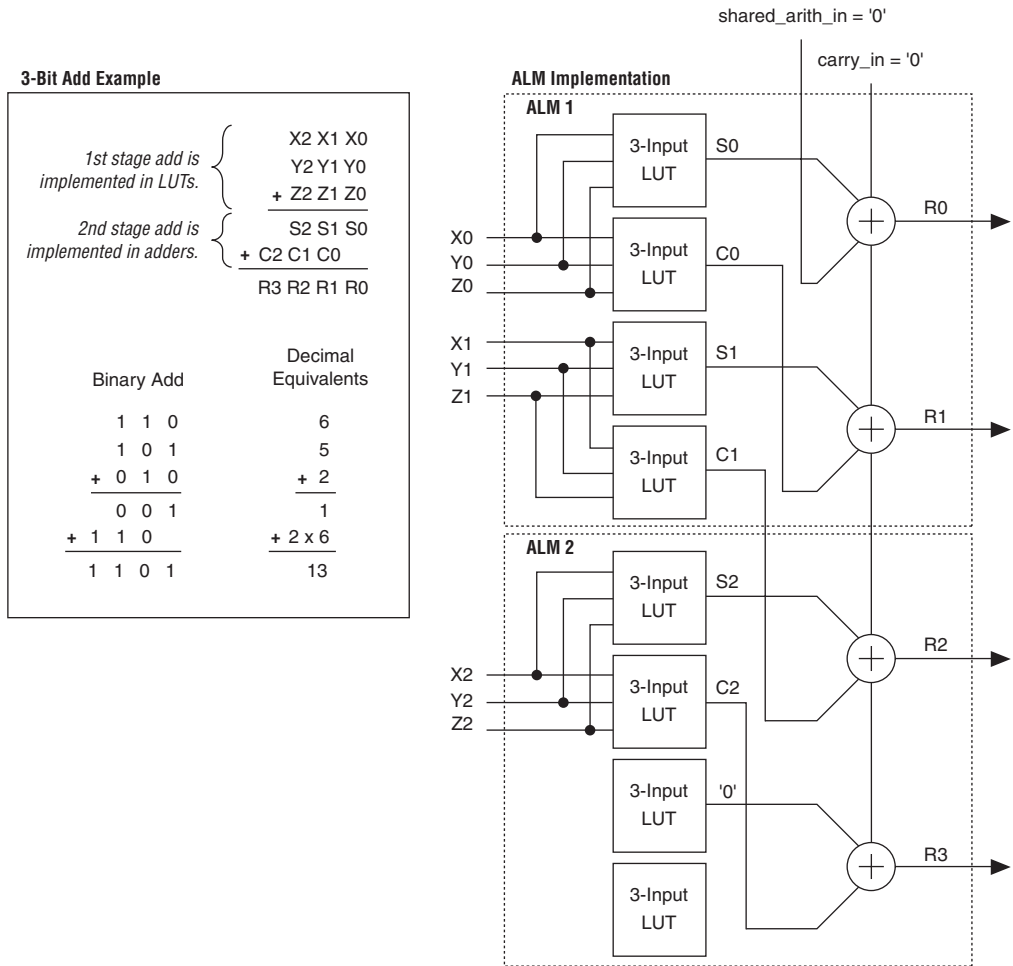


## 図 2-36 の注:

- (1) 共有演算モードのレジスタ・パッキングに、dataf0 および dataf1 入力を利用できます。

多様なアプリケーションに加算器ツリーが使用されます。例えば、ロジック・ベースの乗算器での部分積の合計をツリー構造で実装することができます。別の例は、スペクトラム拡散テクノロジーを使用して送信されたデータを回復またはデスペレッドするために、大きな加算器ツリーを使用して一定時間内のフィルタされたデータ・サンプルの和をとることができる相関器ファンクションです。共有演算モードを使用した3ビット加算動作の例を図 2-37 に示します。部分和 (s[2..0]) および部分キャリー (c[2..0]) は LUT を使用して取得でき、結果 (R[2..0]) は専用の加算器を使用して計算されます。

図 2-37. 共有演算モードを使用した 3 ビット加算の例



### 共有演算チェーン

専用のキャリー・チェーン配線に加えて、共有演算モードで使用可能な共有演算チェーンにより、ALM は 3 入力の加算を実装できるため、大きな加算器ツリーや相関器ファンクションを実装するのに必要なリソースを大幅に削減できます。共有演算チェーンは、LAB 内の最初の ALM または 5 番目の ALM から開始できます。Quartus II Compiler は、LAB を自動的にリンクさせて、16 個（演算モードまたは共有演算モードでは 8 個）を超える ALM で構成される共有演算チェーンを作成します。フィッ

ディング機能を強化するため、長い共有演算チェーンは垂直に並べ、TriMatrix メモリおよび DSP ブロックへの水平方向の接続を高速化することができます。共有演算チェーンはカラム全体に延長できます。キャリー・チェーンと同様に、共有演算チェーンも上半分または下半分をバイパス可能です。この機能により、共有演算チェーンを LAB 内の ALM の半分でカスケード接続し、別の半分を幅の狭いファンイン・ファンクションに使用できます。LAB カラムは 1 つおきに上半分がバイパス可能で、他の LAB カラムは下半分がバイパス可能です。共有演算チェーン・インタコネクタについて詳しくは、2-55 ページの「MultiTrack インタコネクタ」を参照してください。

## レジスタ・チェーン

一般配線出力に加えて、LAB 内の ALM にはレジスタ・チェーン出力があります。レジスタ・チェーン配線により、同一 LAB 内のレジスタをカスケード接続できます。レジスタ・チェーン・インタコネクタにより、LAB は LUT を 1 つの組み合わせファンクションに使用しつつ、レジスタを別のシフト・レジスタの実装に使用することができます。これらのリソースは ALM 間の接続を高速化し、同時にローカル・インタコネクタ・ソースの節約を図ります (図 2-38 を参照)。Quartus II Compiler は自動的にこれらのリソースを活用して、稼働率とパフォーマンスの向上を図ります。レジスタ・チェーン・インタコネクタについて詳しくは、2-55 ページの「MultiTrack インタコネクタ」を参照してください。

図 2-38. LAB 内のレジスタ・チェーン 注 (1)

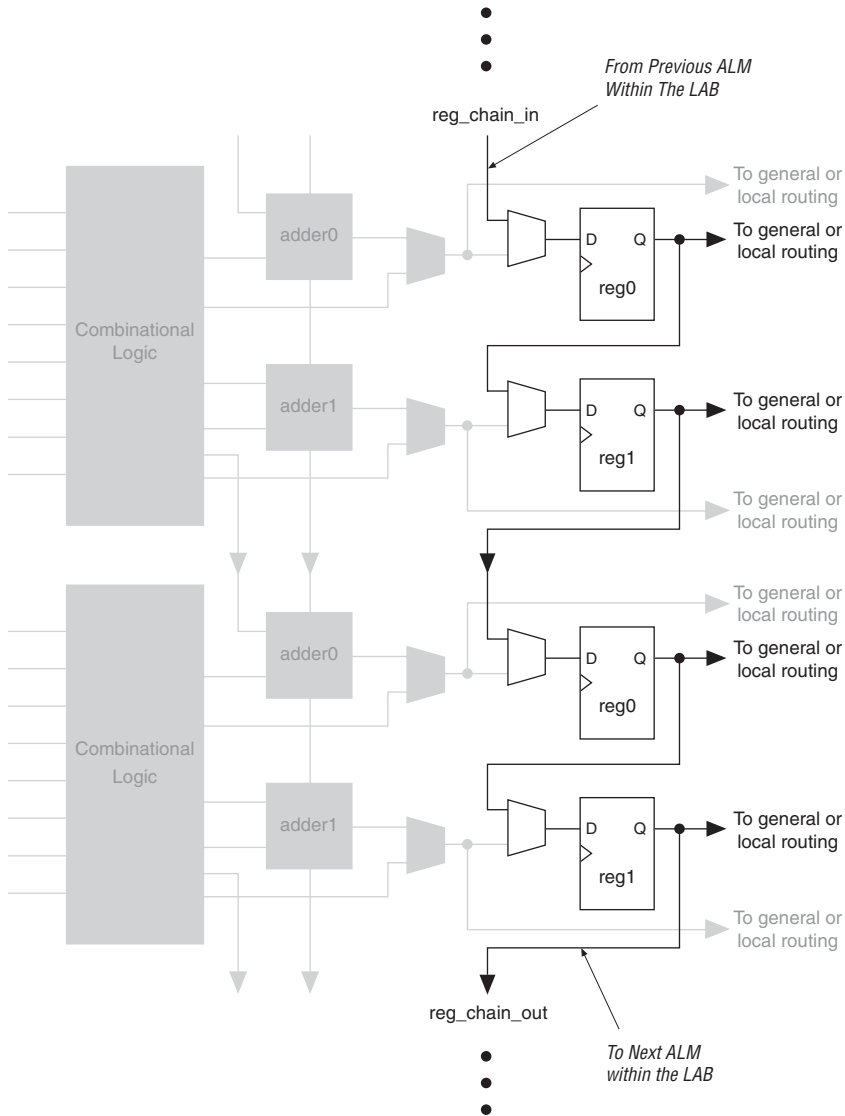


図 2-38 の注 :

- (1) 組み合わせロジックまたはアダー・ロジックを使用して、独立したラッチされないファンクションを実装できます。

## クリアおよびプリセット・ロジック・コントロール

レジスタのクリアとロード / プリセットの信号を実現するロジックは、LAB ワイド信号によって制御されます。ALM は非同期クリアおよびプリセット機能を直接サポートします。レジスタのプリセットは、非同期ロードを High レベルにすることで達成されます。直接入力 of 非同期プリセットでは、NOT gate push-back を使用したテクニックは必要ありません。Arria GX デバイスは、同時非同期ロード / プリセット、およびクリア信号をサポートします。両方の信号が同時にアサートされた場合、非同期クリア信号が優先されます。各 LAB は最大 2 本のクリア信号と 1 本のロード / プリセット信号をサポートします。

Arria GX デバイスは、クリアとロード / プリセット・ポートの他に、デバイス内のすべてのレジスタをリセットするデバイス・ワイドのリセット・ピン (DEV\_CLRn) を備えています。このピンは、Quartus II ソフトウェアでコンパイルを行う前に設定されたオプションによって制御されます。このデバイス・ワイドのリセット信号は、他のすべてのコントロール信号よりも優先されます。

## MultiTrack インタコネク

Arria GX アーキテクチャでは、ALM、TriMatrix メモリ、DSP ブロック、およびデバイス I/O ピン間の接続は、DirectDrive テクノロジによる MultiTrack 配線構造によって提供されます。MultiTrack インタコネクは、デザイン・ブロック間およびデザイン・ブロック内の接続に使用される長さや速度が異なる最適性能の連続配線ラインで構成されます。Quartus II Compiler は、デザインのクリティカル・パスを自動的に高速ラインに配置して、デザイン・パフォーマンスを向上させます。

DirectDrive テクノロジは、任意のファンクションに対して、デバイス内の配置とは無関係に理想的な配線リソース使用量を保証する確定的配線テクノロジーです。MultiTrack インタコネクおよび DirectDrive テクノロジは、一般にデザインの変更や追加に伴う最適化の繰り返しをなくすことによって、ブロック・ベース・デザインの集積化ステージを簡略化します。

MultiTrack インタコネクは、一定間隔で配置されたロウとカラムのインタコネクで構成されています。すべてのデバイスに対して一定した長さのリソースを持つ配線構造のため、集積度の異なるデバイスへの移行時にも予測可能で再現性のある性能を実現します。専用のロウ・インタコネクは、同一ロウ内の LAB、DSP ブロック、および TriMatrix メモリに入出力される信号を接続します。

これらのロウのリソースには以下のものがあります。

- LAB と隣接ブロック間のダイレクト・リンク・インタコネク
- 4つのブロックを右または左に横断する R4 インタコネク

- デバイスの左右に高速でアクセスするための R24 ロウ・インタコネク

ダイレクト・リンク・インタコネクにより、LAB、DSP ブロック、または TriMatrix メモリ・ブロックは、左または右に隣接するローカル・インタコネクをドライブしてから自分自身に戻すことができ、ロウ・インタコネク・リソースを使用することなく、隣接する LAB やブロック間に高速通信を提供します。

R4 インタコネクは、ソース LAB の右側または左側の 4 つの LAB か、3 つの LAB と 1 つの M512 RAM ブロックか、2 つの LAB と 1 つの M4K RAM ブロック、あるいは 2 つの LAB と 1 つの DSP ブロックのいずれかに対応した長さになっています。これらのリソースは、4 つの LAB 領域内の高速ロウ接続に使用されます。どの LAB にも、左側または右側のいずれかにドライブする独自の R4 インタコネクがあります。図 2-39 に、LAB からの R4 インタコネク接続を示します。

R4 インタコネクは DSP ブロック、RAM ブロック、およびロウ IOE をドライブでき、またこれらから R4 インタコネクをドライブすることもできます。LAB インタフェースの場合、基準となる LAB または隣接する LAB が R4 インタコネクをドライブできます。右にドライブする R4 インタコネクの場合、基準となる LAB および右の隣接 LAB がインタコネクをドライブできます。左にドライブする R4 インタコネクの場合、基準となる LAB および左の隣接 LAB がインタコネクをドライブできます。R4 インタコネクは、他の R4 インタコネクをドライブして、ドライブ可能な LAB の範囲を拡張することができます。R4 インタコネクは、1 つのロウを別のロウに接続するときに C4 および C16 インタコネクもドライブ可能です。さらに、R4 インタコネクは R24 インタコネクもドライブできます。

図 2-39. R4 インタコネクタ接続 注 (1)、(2)、(3)

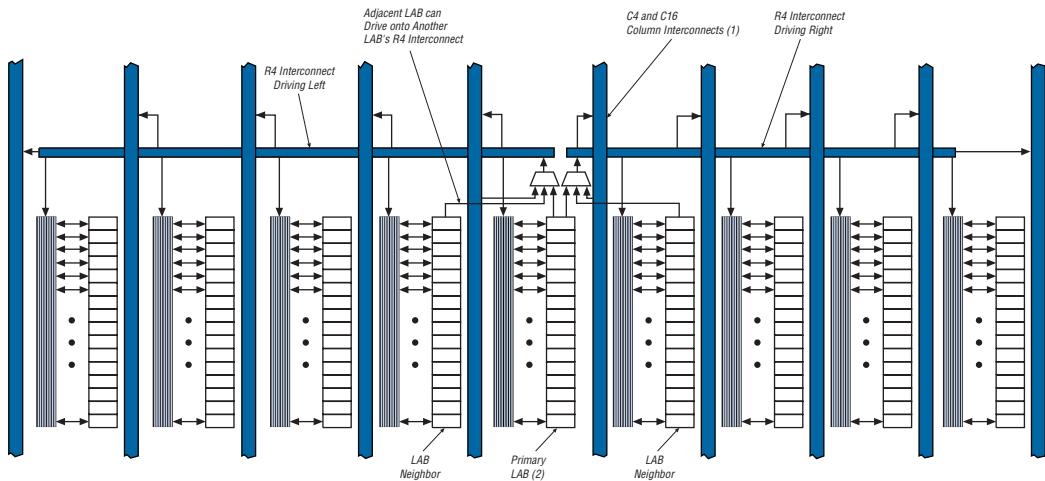


図 2-39 の注:

- (1) C4 および C16 インタコネクタは R4 インタコネクタをドライブできます。
- (2) このパターンは、LAB 内での各 LAB に対して繰り返されています。
- (3) 図 2-39 の LAB は、1 つの LAB あたり 16 の論理出力が可能であることを示しています。

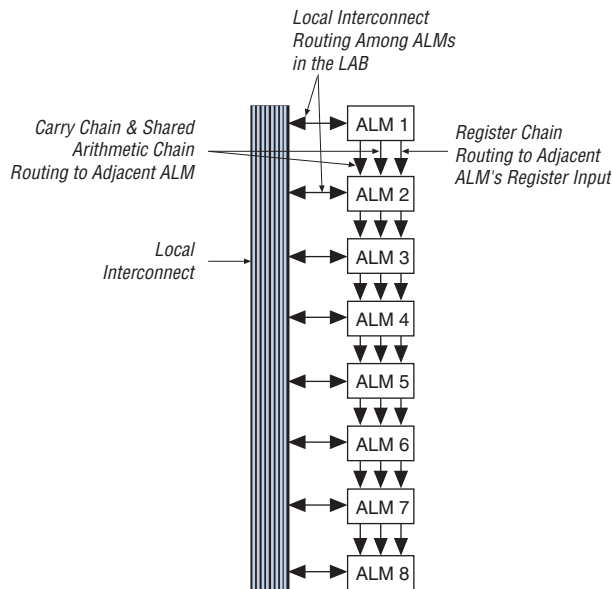
R24 ロウ・インタコネクタは 24 個の LAB に対応した長さになっており、LAB、TriMatrix メモリ、DSP ブロック、およびロウ IOE 間の長いロウ接続に対し、最高速のリソースを提供します。R24 ロウ・インタコネクタは M-RAM ブロックを横切ることができます。R24 ロウ・インタコネクタは、4 個の LAB ごとに別のロウまたはカラム・インタコネクタにドライブし、LAB ローカル・インタコネクタに直接ドライブすることはありません。R24 ロウ・インタコネクタは、R4 および C4 インタコネクタを介して LAB ローカル・インタコネクタをドライブします。R24 インタコネクタは R24、R4、C16、および C4 インタコネクタをドライブできます。カラム・インタコネクタは、ロウ・インタコネクタと類似した機能を果たしており、LAB、TriMatrix メモリ、DSP ブロック、および IOE の信号を垂直に配線します。LAB の各カラムに専用のカラム・インタコネクタが使用されます。

これらのカラムのリソースには以下のものがあります。

- LAB 内の共有演算チェーン・インタコネクタ
- LAB 内および LAB 間のキャリア・チェーン・インタコネクタ
- LAB 内のレジスタ・チェーン・インタコネクタ
- 4 ブロックの距離を上下方向に横断する C4 インタコネクタ
- デバイス内で高速垂直配線を実現する C16 カラム・インタコネクタ

Arria GX デバイスは LAB 内部のインタコネクト構造を拡張し、共有演算チェーンおよびキャリー・チェーンを配線して効率的な演算ファンクションを実現します。レジスタ・チェーン接続により、1つの ALM のレジスタ出力を LAB 内の次の ALM のレジスタ入力に直接接続し、高速シフト・レジスタを実現できます。これらの ALM 間の接続はローカル・インタコネクトをバイパスします。Quartus II Compiler は、自動的にこれらのリソースを利用して使用効率と性能を向上させます。図 2-40 に、共有演算チェーン、キャリー・チェーン、およびレジスタ・チェーンのインタコネクトを示します。

図 2-40. 共有演算チェーン、キャリー・チェーン、およびレジスタ・チェーンのインタコネクト



C4 インタコネクトは、ソース LAB の上または下にある、4つの LAB、M512、または M4K ブロックに対応した長さの配線ラインとなっています。各 LAB には、上または下にドライブする独自の C4 インタコネクトがあります。図 2-41 にカラム内の LAB からの C4 インタコネクト接続を示します。C4 インタコネクトは、DSP ブロック、TriMatrix メモリ・ブロック、カラムおよびロウ IOE を含む、全タイプのアーキテクチャ・ブロックをドライブでき、これらが C4 インタコネクトをドライブすることも可能です。LAB インタコネクトの場合、基準となる LAB または隣接する LAB が与えられた C4 インタコネクトをドライブできます。C4 インタコネクトは、ロウ・インタコネクトをドライブしてカラム間接続を実現するだけでなく、互いをドライブして範囲を拡張することもできます。

図 2-41. C4 インタコネクタ接続 注 (1)

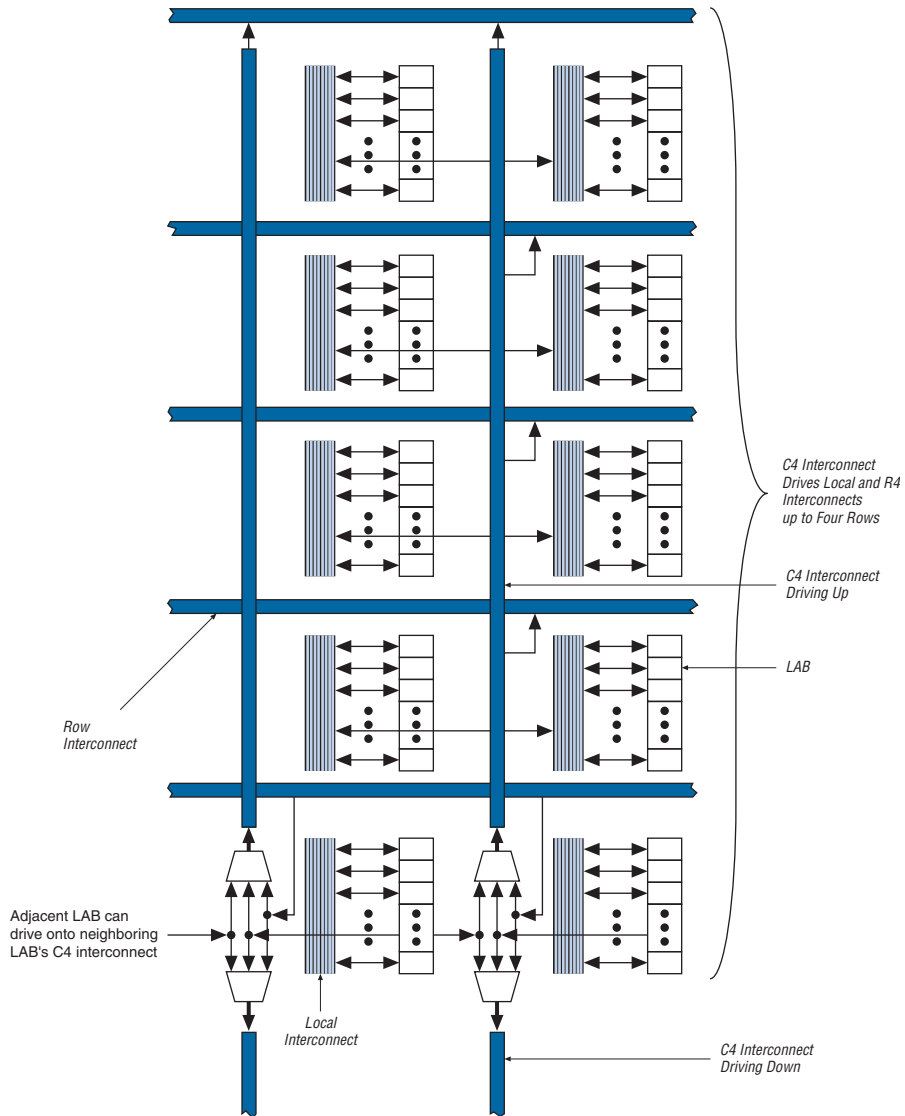


図 2-41 の注:

(1) 各 C4 インタコネクタは、上または下にある 4 本のロウをドライブできます。

C16 カラム・インタコネクは 16 個の LAB に対応した長さになっており、LAB、TriMatrix メモリ・ブロック、DSP ブロック、および IOE 間の長いカラム接続に対して最高速のリソースを提供します。C16 インタコネクは、M-RAM ブロックと交差し、さらに 4 つごとの LAB でロウおよびカラム・インタコネクにドライブすることができます。C16 インタコネクは C4 および R4 インタコネクを介して LAB ローカル・インタコネクをドライブし、LAB ローカル・インタコネクを直接ドライブすることはありません。すべてのエンベデッド・ブロックは、LAB 間のインタフェースに類似したロジック・アレイと通信します。各ブロック（つまり、TriMatrix メモリ・ブロックおよび DSP ブロック）はロウおよびカラム・インタコネクに接続し、ロウおよびカラム・インタコネクによってドライブされるローカル・インタコネク領域が提供されています。これらのブロックには、隣接する LAB との間で高速接続を実現するダイレクト・リンク・インタコネクも提供されています。すべてのブロックにはロウ LAB クロック `labclk[5..0]` が供給されています。

表 2-10 に、Arria GX デバイスの配線方式を示します。

表 2-10. Arria GX デバイスの配線方式 (1 / 2)																
ソース	デスティネーション															
	共有演算チェーン	キャリー・チェーン	レジスタ・チェーン	ローカル・インタコネク	ダイレクト・リンク・インタコネク	R4 インタコネク	R24 インタコネク	C4 インタコネク	C16 インタコネク	ALM	M512 RAM ブロック	M4K RAM ブロック	M-RAM ブロック	DSP ブロック	カラム IOE	ロウ IOE
共有演算チェーン										√						
キャリー・チェーン										√						
レジスタ・チェーン										√						
ローカル・インタコネク										√	√	√	√	√	√	√
ダイレクト・リンク・インタコネク				√												
R4 インタコネク				√		√	√	√	√							

表 2-10. Arria GX デバイスの配線方式 (2 / 2)

ソース	デスティネーション															
	共有演算チェイン	キャリヤー・チェイン	レジスタ・チェイン	ローカル・インタコネク	ダイレクト・リンク・インタコネク	R4 インタコネク	R24 インタコネク	C4 インタコネク	C16 インタコネク	ALM	M512 RAM ブロック	M4K RAM ブロック	M-RAM ブロック	DSP ブロック	カラム IOE	ロウ IOE
R24 インタコネク						√	√	√	√							
C4 インタコネク				√		√		√								
C16 インタコネク						√	√	√	√							
ALM	√	√	√	√	√	√		√								
M512 RAM ブロック				√	√	√		√								
M4K RAM ブロック				√	√	√		√								
M-RAM ブロック					√	√	√	√								
DSP ブロック					√	√		√								
カラム IOE					√			√	√							
ロウ IOE					√	√	√	√								

## TriMatrix メモリ

TriMatrix メモリは、M512、M4K、および M-RAM の 3 つのタイプの RAM ブロックで構成されています。これらのメモリ・ブロックは異なりますが、これらはすべて ツール・デュアル・ポート、シンプル・デュアル・ポート、シングル・ポート RAM、ROM、FIFO (First-In First-Out) バッファなど、様々なタイプのメモリをパリティ付きまたはパリティなしで実装できます。表 2-11 に、各種 RAM ブロックのサイズと特長を示します。

表 2-11. TriMatrix メモリの特長			
メモリの特長	M512 RAM ブロック (32 × 18 ビット)	M4K RAM ブロック (128 × 36 ビット)	M-RAM ブロック (4K × 144 ビット)
最大性能	345 MHz	380 MHz	290 MHz
トゥルー・デュアル・ポート・メモリ		√	√
シンプル・デュアル・ポート・メモリ	√	√	√
シングル・ポート・メモリ	√	√	√
シフト・レジスタ	√	√	
ROM	√	√	
FIFO バッファ	√	√	√
バック・モード		√	√
バイト・イネーブル	√	√	√
アドレス・クロック・イネーブル		√	√
パリティ・ビット	√	√	√
混合クロック・モード	√	√	√
メモリ初期化 (.mif)	√	√	
シンプル・デュアル・ポート・メモリの異なる幅のサポート	√	√	√
トゥルー・デュアル・ポート・メモリの異なる幅のサポート		√	√
パワーアップ時の状態	出力はクリア	出力はクリア	出力は不定
レジスタ・クリア	出力レジスタ	出力レジスタ	出力レジスタ
混在ポートに対する Read-During-Write	不定の出力 / 古いデータ	不定の出力 / 古いデータ	不定の出力
構成	512 × 1 256 × 2 128 × 4 64 × 8 64 × 9 32 × 16 32 × 18	4K × 1 2K × 2 1K × 4 512 × 8 512 × 9 256 × 16 256 × 18 128 × 32 128 × 36	64K × 8 64K × 9 32K × 16 32K × 18 16K × 32 16K × 36 8K × 64 8K × 72 4K × 128 4K × 144

TriMatrix メモリは、アプリケーションを効率的にサポートする 3 種類のメモリ・サイズを提供しています。Quartus II ソフトウェアは、最も効率的なサイズの組み合わせを使用して、ユーザ定義メモリを自動的にエンベデッド・メモリ・ブロックに分割します。ユーザが手動で、特定のブロック・サイズ、または複数のブロック・サイズにメモリを割り当てることもできます。

## M512 RAM ブロック

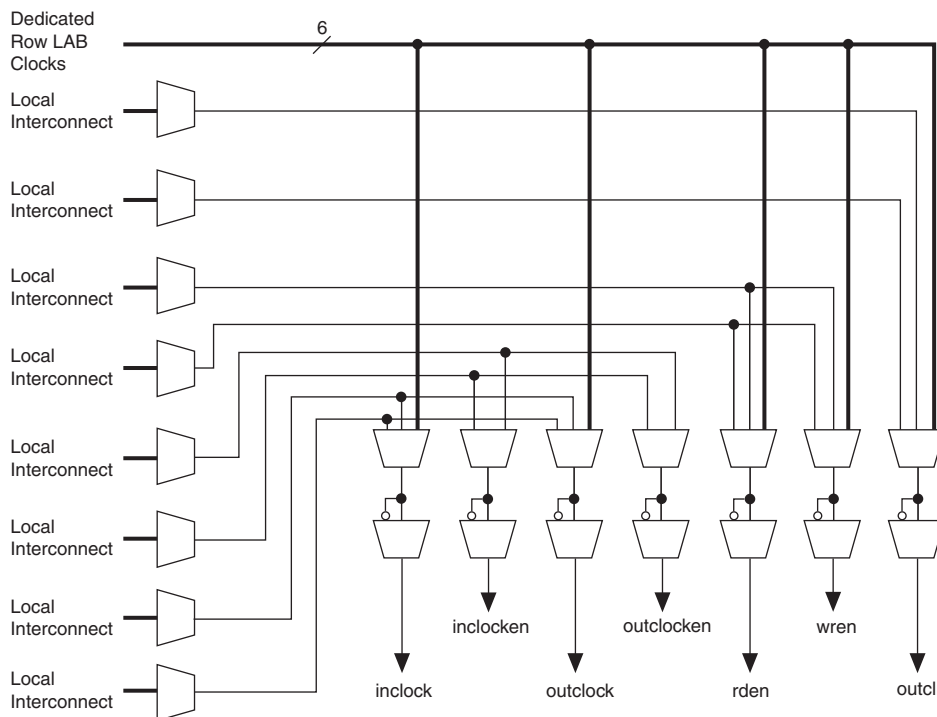
M512 RAM ブロックはシンプル・デュアル・ポート・メモリ・ブロックであり、小型の FIFO バッファ、DSP、クロック・ドメイン転送アプリケーションの実装に有用です。各ブロックに 576 RAM ビット (パリティ・ビットを含む) が含まれています。M512 RAM ブロックは以下のモードでコンフィギュレーションできます。

- シンプル・デュアル・ポート RAM
- シングル・ポート RAM
- FIFO
- ROM
- シフト・レジスタ

RAM または ROM としてコンフィギュレーションする場合、ユーザは初期化ファイルを使用してメモリの内容をプリロードすることができます。

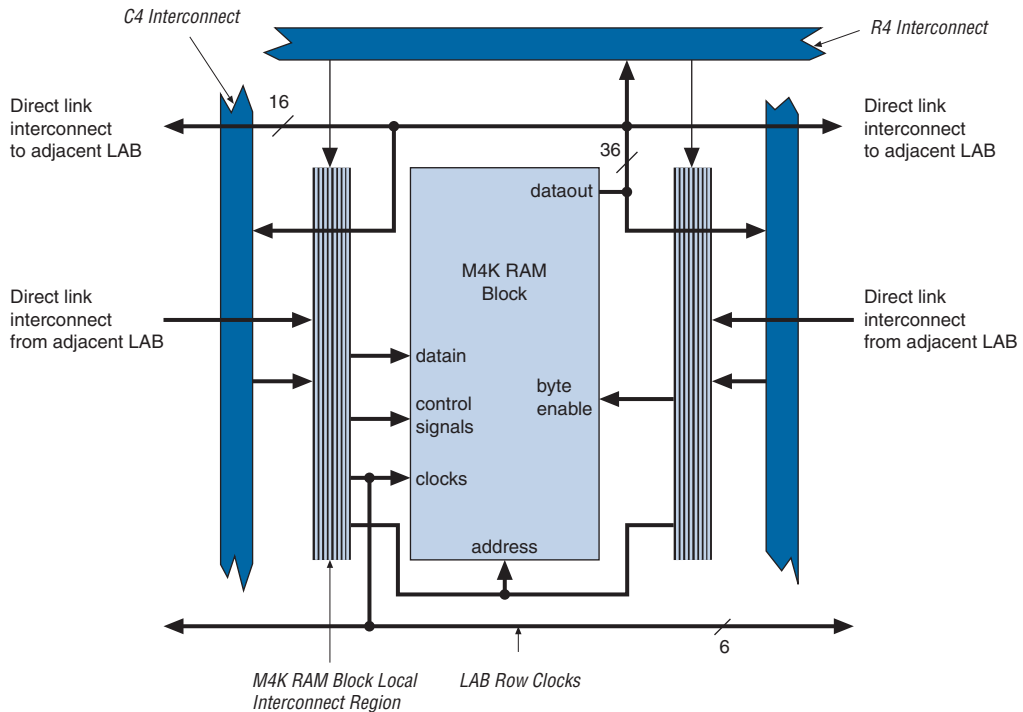
M512 RAM ブロックの入力と出力には異なるクロックが使用可能です。wren、datain、およびライト・アドレス・レジスタはすべて、ブロックに供給する 2 つのクロックのうちの 1 つから一緒にクロックされます。リード・アドレス、rden、および出力レジスタは、ブロックをドライブする 2 つのクロックのいずれかによってクロックでき、RAM ブロックはリードおよびライトまたは入力および出力クロック・モードで動作できます。バイパスできるのは出力レジスタだけです。6 本の labclk 信号またはローカル接続は、inclock、outclock、wren、rden、および outclr 信号をドライブできます。LAB と M512 RAM ブロックの間にある最先端インタコネクトにより、ALM は wren および rden 信号と RAM クロック、クロック・イネーブル、非同期クリア信号もコントロールできます。図 2-42 に、M512 RAM ブロック・コントロール信号を生成するロジックを示します。

図 2-42. M512 RAM ブロックのコントロール信号



Arria GX デバイス内の RAM ブロックには、ALM およびインタコネクで RAM ブロックをドライブ可能なローカル・インタコネクがあります。M512 RAM ブロックのローカル・インタコネクは、隣接する LAB からの R4、C4 およびダイレクト・リンク・インタコネクによってドライブされます。M512 RAM ブロックは、ロウ・インタコネクを通して左側または右側の LAB と、あるいはカラム・インタコネクによって左側または右側の LAB カラムと通信することができます。M512 RAM ブロックへのダイレクト・リンク入力接続は、左に隣接する LAB から最大 16 本、右に隣接する LAB からさらに最大 16 本です。M512 RAM 出力は、ダイレクト・リンク・インタコネクを通して、左側または右側の LAB にも接続できます。M512 RAM ブロックでは、LAB が左側にある場合も右側にある場合も LAB とのアクセスは均等で、性能も同じです。図 2-43 に、M512 RAM ブロックとロジック・アレイ間のインタフェースを示します。

図 2-43. M512 RAM ブロックの LAB ロー・インタフェース



## M4K RAM ブロック

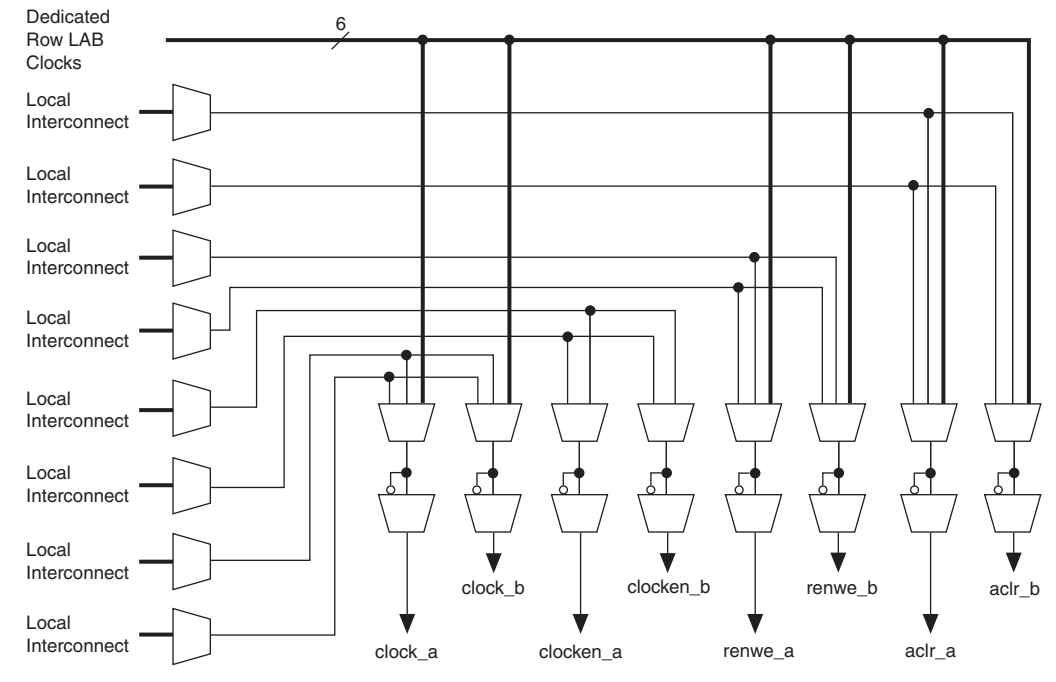
M4K RAM ブロックには、トウラー・デュアル・ポート RAM に対するサポート機能があります。M4K RAM ブロックは、プロセッサ・コードの格納、ルック・アップ方式の実装、大容量メモリ・アプリケーションの実装など、多様なアプリケーション用バッファの実装に使用されます。各ブロックには 4,608 RAM ビット (パリティ・ビットを含む) が含まれています。M4K RAM ブロックは以下のモードでコンフィギュレーションできます。

- トウラー・デュアル・ポート RAM
- シンプル・デュアル・ポート RAM
- シングル・ポート RAM
- FIFO
- ROM
- シフト・レジスタ

RAM または ROM としてコンフィギュレーションする場合、ユーザは初期化ファイルを使用してメモリの内容をプリロードすることができます。

M4K RAM ブロックの入力と出力には異なるクロックが使用可能です。ブロックに供給する 2 つのクロックのいずれかが、M4K RAM ブロック・レジスタ (renwe、address、byte enable、datain、および output レジスタ) をクロックできます。バイパスできるのは output レジスタだけです。6 本の labclk 信号またはローカル・インタコネクトは、M4K RAM ブロックの A または B ポートに対するコントロール信号をドライブできます。図 2-44 に示すとおり、ALM は clock\_a、clock\_b、renwe\_a、renwe\_b、clr\_a、clr\_b、clocken\_a、および clocken\_b 信号もコントロールできます。

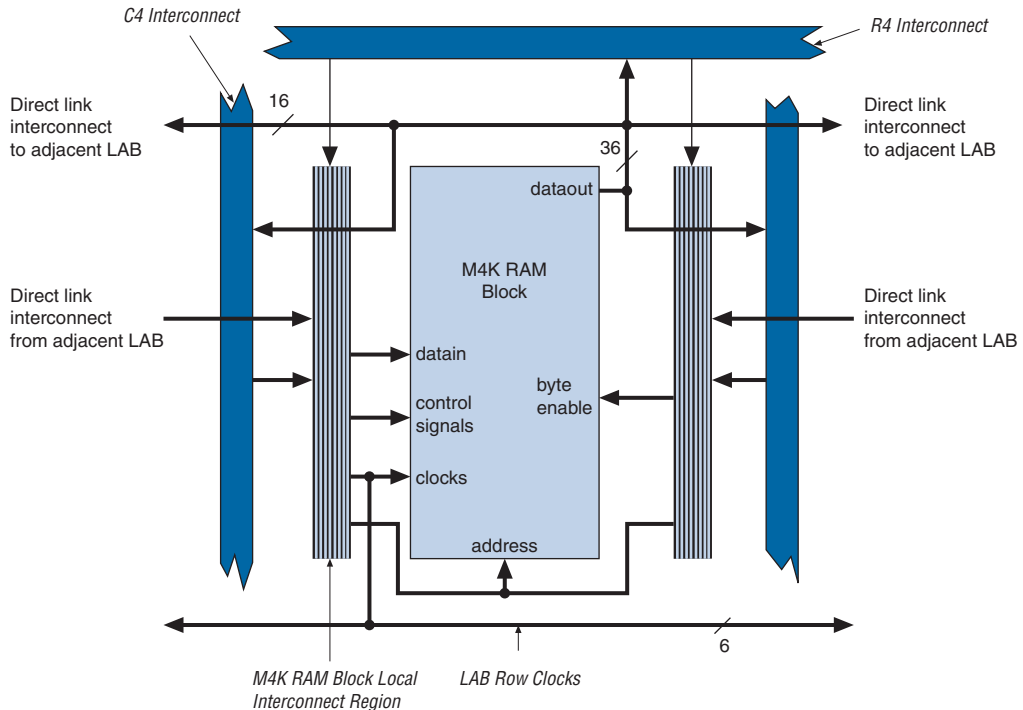
図 2-44. M4K RAM ブロックのコントロール信号



隣接する LAB からの R4、C4、およびダイレクト・リンク・インタコネクトは、M4K RAM ブロックのローカル・インタコネクトをドライブします。M4K RAM ブロックは、ロウ・リソースを通して左側または右側の LAB と、あるいはカラム・リソースを通して右側または左側の LAB カラムと通信することができます。M4K RAM ブロックへのダイレクト・

リンク入力接続は、左に隣接する LAB から最大 16 本、右に隣接する LAB からさらに最大 16 本が可能です。M4K RAM ブロック出力は、ダイレクト・リンク・インタコネクトを通して、左側および右側の LAB にも接続できます。図 2-45 に、M4K RAM ブロックとロジック・アレイ間のインタフェースを示します。

図 2-45. M4K RAM ブロックの LAB ロウ・インタフェース



## M-RAM ブロック

最も大きな TriMatrix メモリ・ブロックである M-RAM ブロックは、大量のデータをチップ上に格納する必要があるアプリケーションに有用です。各ブロックに 589,824 RAM ビット (パリティ・ビットを含む) が含まれています。M-RAM ブロックは以下のモードでコンフィギュレーションできます。

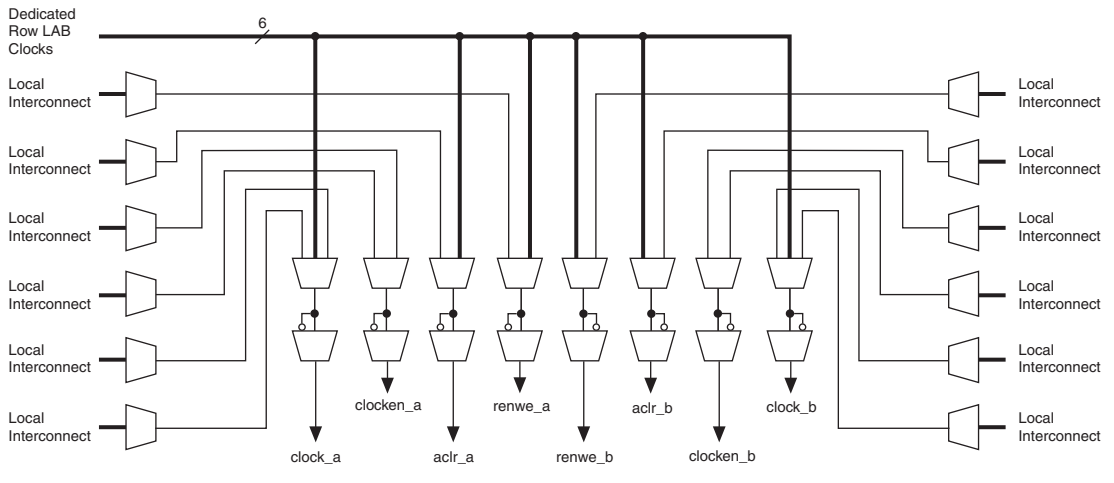
- トゥルー・デュアル・ポート RAM
- シンプル・デュアル・ポート RAM
- シングル・ポート RAM

## ■ FIFO

ユーザが初期化ファイルを使用して M-RAM ブロックの内容をイニシャライズすることはできません。M-RAM ブロックの内容はパワーアップ時にはすべて不定値になっています。M-RAM ブロックでは同期動作しかサポートされないため、すべての入力がラッチされます。出力レジスタはバイパスできます。

すべての RAM ブロックと同様に、M-RAM ブロックの入力と出力にも異なるクロックが使用可能です。ブロックに供給する 2 つのクロックのいずれかが、M-RAM ブロック・レジスタ (renwe、address、バイト・イネーブル、datain、および出力レジスタ) をクロックできます。出力レジスタはバイパスできます。6 本の labclk 信号またはローカル・インタコネクタは、M-RAM ブロックの A および B ポートに対するコントロール信号をドライブできます。図 2-46 に示すとおり、ALM は clock\_a、clock\_b、renwe\_a、renwe\_b、clr\_a、clr\_b、clocken\_a、および clocken\_b 信号もコントロールできます。

図 2-46. M-RAM ブロックのコントロール信号



右側または左側の隣接する LAB からの R4、R24、C4、およびダイレクト・リンク・インタコネクタは、M-RAM ブロックのローカル・インタコネクタをドライブします。M-RAM ブロックへのダイレクト・リンク入力接続は、左に隣接する LAB から最大 16 本、右に隣接する LAB からさらに最大 16 本が可能です。M-RAM ブロック出力は、ダイレクト・リンク・インタコネクタを通して左側および右側の LAB にも接続できま

す。図 2-47 に、EP1AGX90 デバイスのフロアプラン例と M-RAM インタフェースの位置を示します。図 2-48 および図 2-49 に、M-RAM ブロックとロジック・アレイ間のインタフェースを示します。

図 2-47. EP1AGX90 デバイスと M-RAM インタフェースの位置 注 (1)

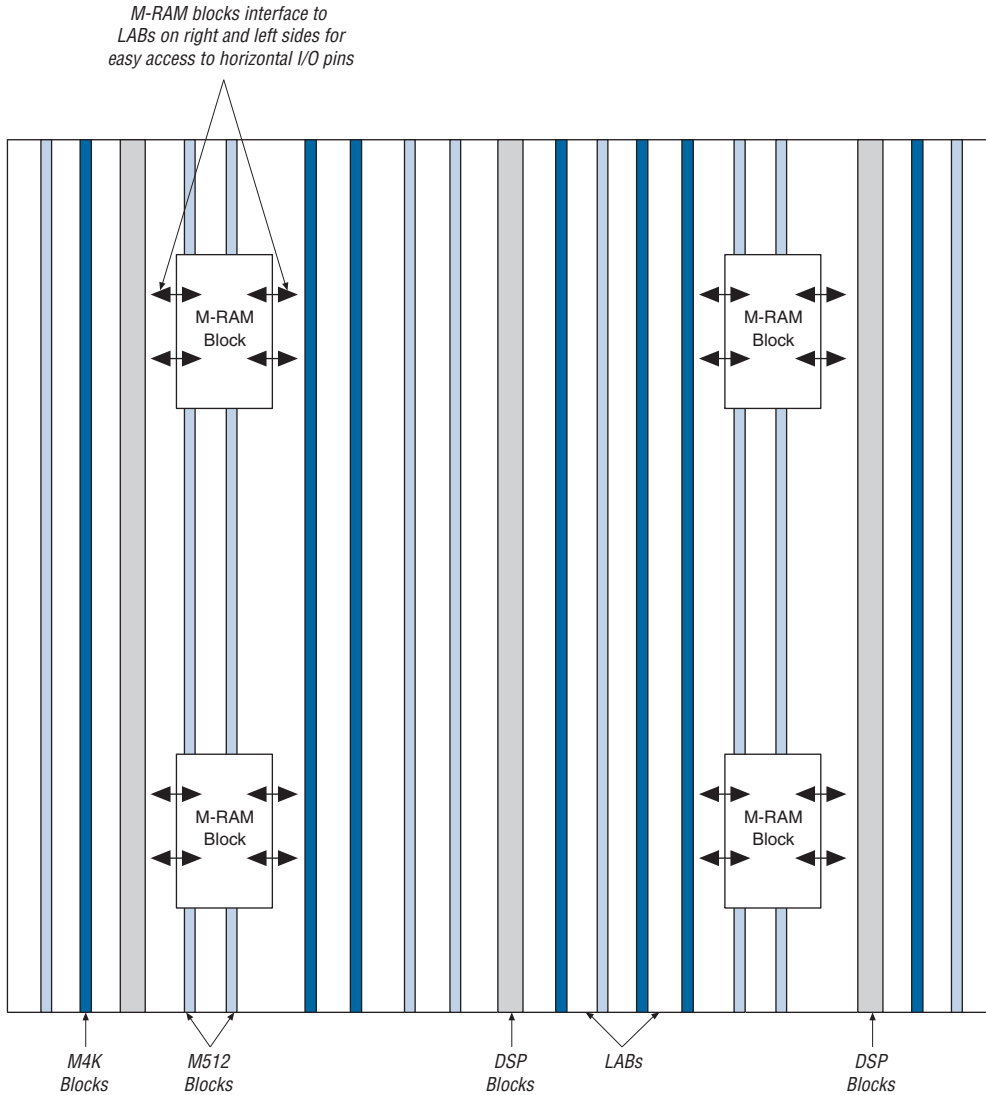


図 2-47 の注：

(1) 図は EP1AGX90 デバイスです。M-RAM ブロックの数と位置はデバイスごとに異なります。

図 2-48. M-RAM ブロックの LAB ロウ・インタフェース 注 (1)

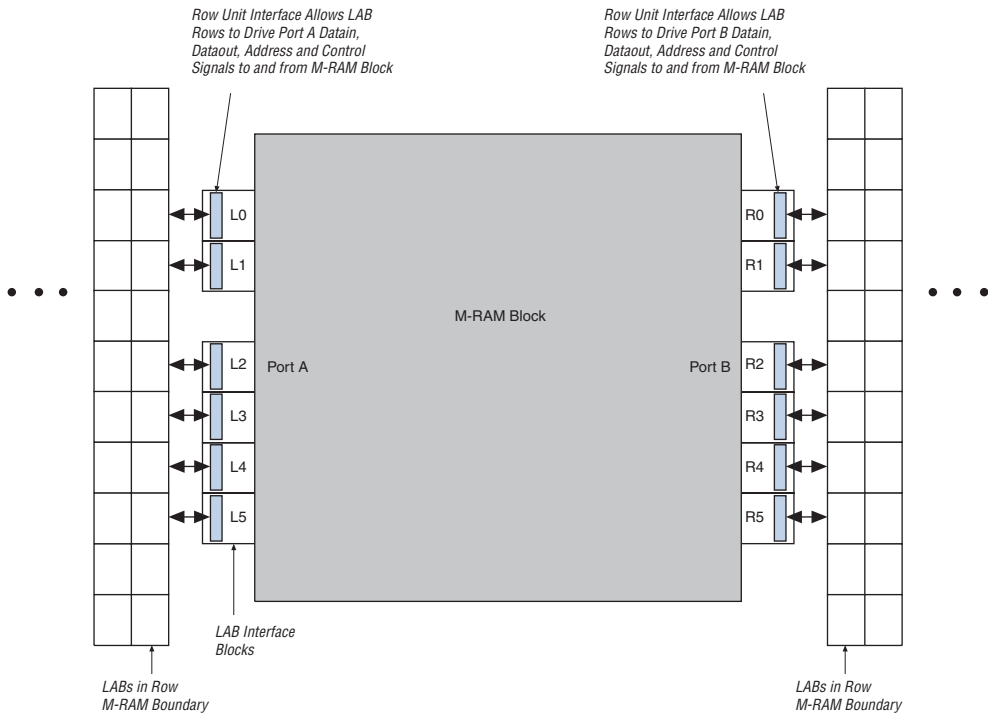


図 2-48 の注:

- (1) R24 および C16 インタコネクタのみが M-RAM ブロックの境界を横切ります。

図 2-49. インタコネクต์への M-RAM ロウ・ユニットのインタフェース

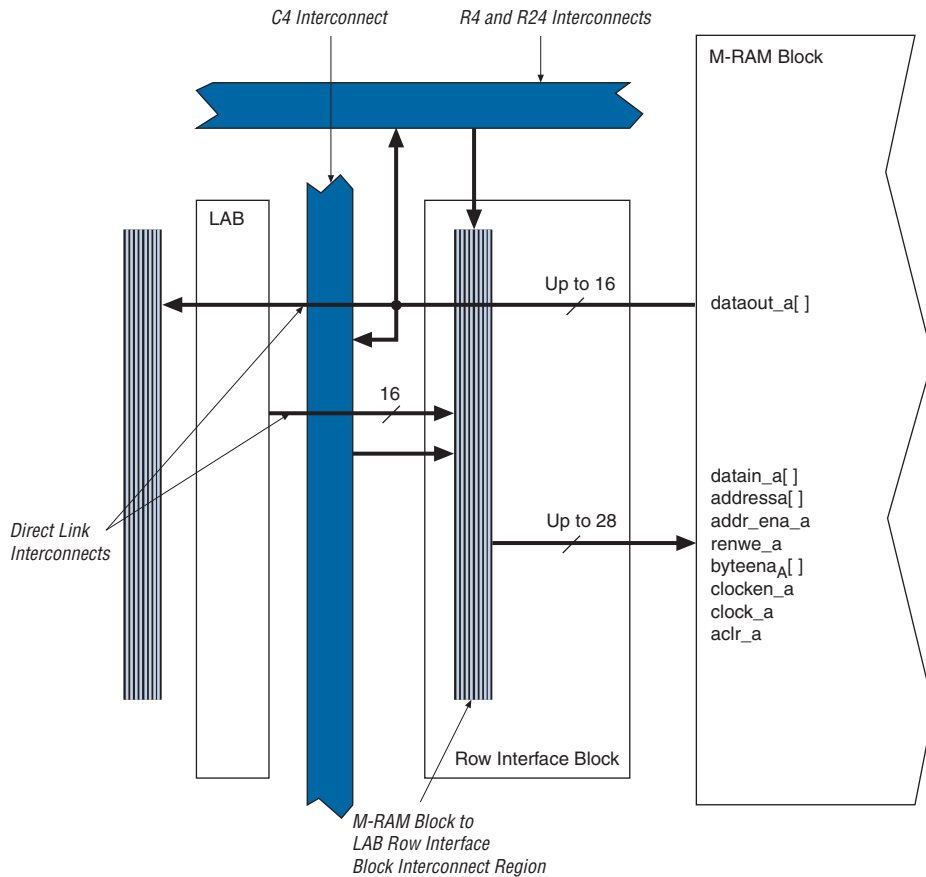


表 2-12 に、ロウ・ユニット・インタフェース (L0 ~ L5 および R0 ~ R5) へのアドレスおよびコントロール信号入力の接続と入力および出力データ信号の接続を示します。

表 2-12. M-RAM ロウ・インタフェース・ユニットの信号		
インタフェース・ブロック・ユニット	入力信号	出力信号
L0	datain_a[14..0] byteena_a[1..0]	dataout_a[11..0]
L1	datain_a[29..15] byteena_a[3..2]	dataout_a[23..12]
L2	datain_a[35..30] addressa[4..0] addr_ena_a clock_a clocken_a renwe_a aclr_a	dataout_a[35..24]
L3	addressa[15..5] datain_a[41..36]	dataout_a[47..36]
L4	datain_a[56..42] byteena_a[5..4]	dataout_a[59..48]
L5	datain_a[71..57] byteena_a[7..6]	dataout_a[71..60]
R0	datain_b[14..0] byteena_b[1..0]	dataout_b[11..0]
R1	datain_b[29..15] byteena_b[3..2]	dataout_b[23..12]
R2	datain_b[35..30] addressb[4..0] addr_ena_b clock_b clocken_b renwe_b aclr_b	dataout_b[35..24]
R3	addressb[15..5] datain_b[41..36]	dataout_b[47..36]
R4	datain_b[56..42] byteena_b[5..4]	dataout_b[59..48]
R5	datain_b[71..57] byteena_b[7..6]	dataout_b[71..60]



TriMatrix メモリについて詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章を参照してください。

## デジタル信号 処理ブロック

一般的に使用される DSP ファンクションは、有限インパルス応答 (FIR) フィルタ、複合 FIR フィルタ、無限インパルス応答 (IIR) フィルタ、高速フーリエ変換 (FFT) ファンクション、離散コサイン変換 (DCT) ファンクション、および相関器などです。これらはすべて、基本的なビルディング・ブロックとして乗算器を使用します。さらに、積和演算や積算演算などの特殊演算を必要とするアプリケーションもあります。Arria GX デバイスは、これらの機能の演算要件を満たすために DSP ブロックを提供しています。

DSP 機能を効率的にかつ ALM ベースの実装よりも高速に実装するために、各 Arria GX デバイスには 2 ~ 4 カラムの DSP ブロックがあります。各 DSP ブロックは最大で以下をサポートするようにコンフィギュレーションできます。

- 8 個の  $9 \times 9$  ビット乗算器
- 4 個の  $18 \times 18$  ビット乗算器
- 1 個の  $36 \times 36$  ビット乗算器

前述のとおり、Arria GX DSP ブロックは、1 個の DSP ブロックで 1 個の  $36 \times 36$  ビット乗算器をサポートできます。これは符号付き乗算、符号なし乗算、および符号混在乗算のどの組み合わせに対しても当てはまります。

図 2-50 に、カラムの 1 つとその周りの LAB ロウを示します。

図 2-50. カラム内に配置された DSP ブロック

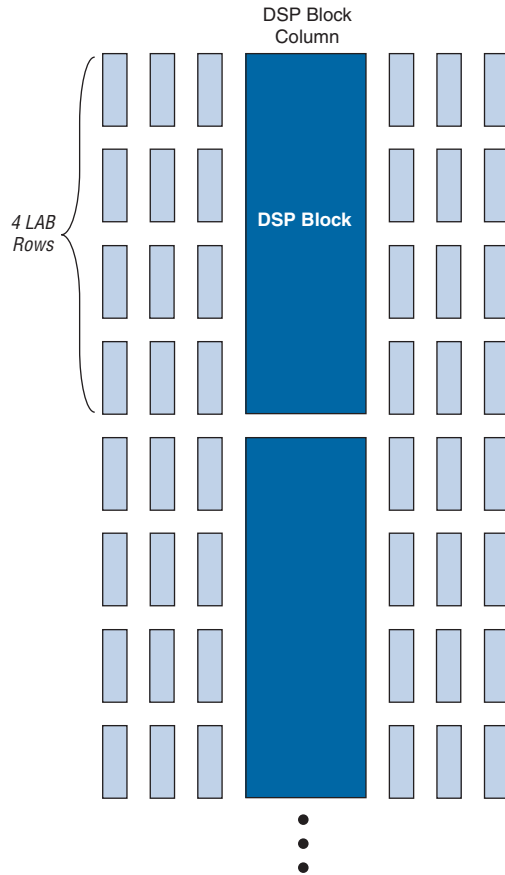


表 2-13 に、各 Arria GX デバイスの DSP ブロック数を示します。DSP ブロックの乗算器は、コンフィギュレーションに応じて、ブロック内の加算器 / 減算器または乗算累積器にオプションで信号を供給できます。これにより、すべての接続とブロックが DSP ブロック内にあるため、ALM への配線が容易になり、ALM の配線リソースが節約されて性能が向上します。

表 2-13. Arria GX デバイスの DSP ブロック数 注 (1)

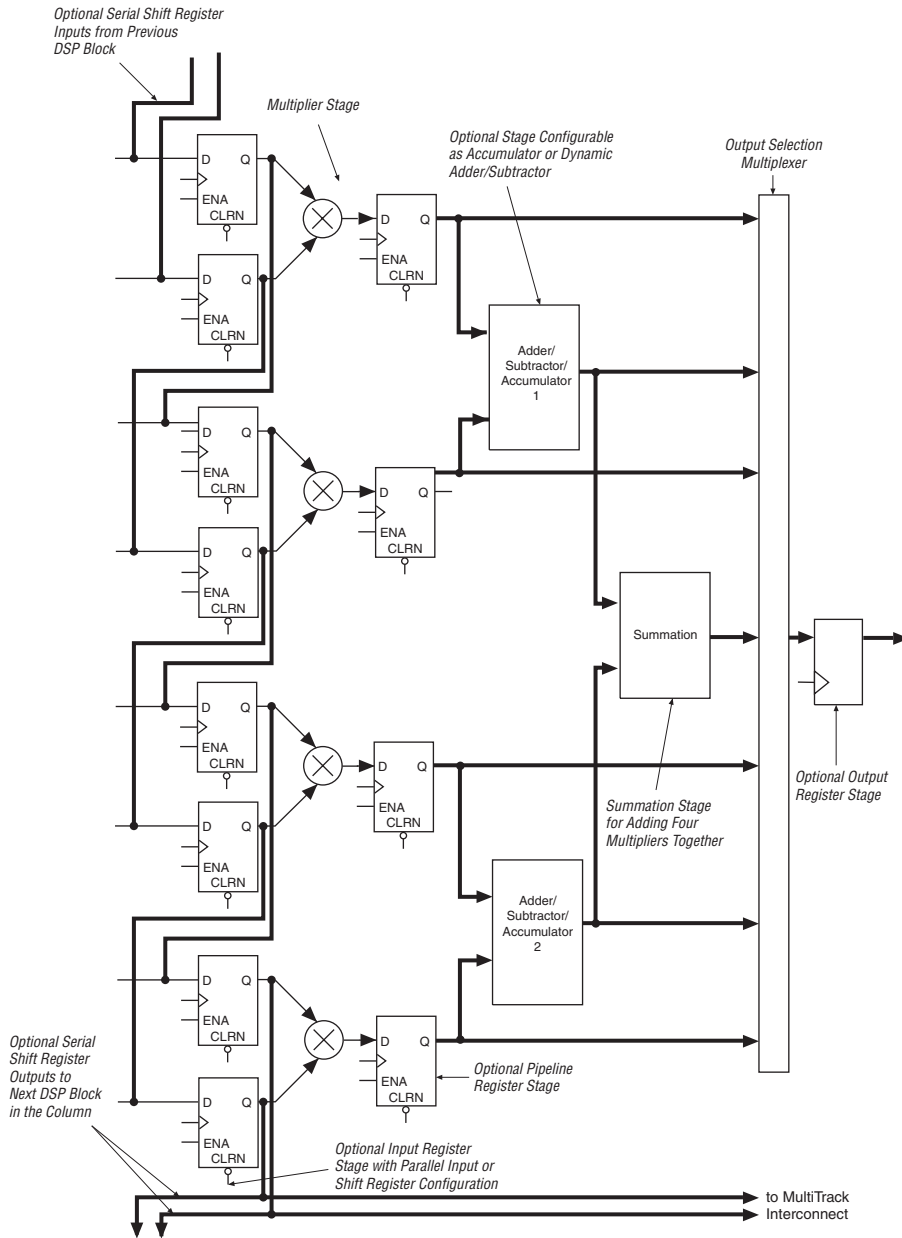
デバイス	DSP ブロック	9 × 9 乗算器 の総数	18 × 18 乗算器 の総数	36 × 36 乗算器 の総数
EP1AGX20	10	80	40	10
EP1AGX35	14	112	56	14
EP1AGX50	26	208	104	26
EP1AGX60	32	256	128	32
EP1AGX90	44	352	176	44

表 2-13 の注：

- (1) このリストには、1 つの DSP ブロックに収容できるファンクションのみが示されています。複数の DSP ブロックの場合は、さらに大きな乗算ファンクションをサポートできます。

さらに、DSP ブロックの入力レジスタは FIR フィルタ・アプリケーション用のシフト・レジスタを効率的に実装できます。DSP ブロックは、Q1.15 フォーマットの丸め処理および飽和処理をサポートします。図 2-51 に、18 × 18 ビット乗算器モードにコンフィギュレーションした DSP ブロックのトップ・レベルの図を示します。

図 2-51. 18 × 18 ビット・コンフィギュレーションの DSP ブロック図



## 動作モード

DSP ブロックの加算器、減算器、および累算ファンクションには、以下の4つの動作モードがあります。

- Simple Multiplier
- 乗算累積器
- Two-Multipliers Adder
- Four-Multipliers Adder

表 2-14 に、各 DSP ブロック・モードで可能な乗算器の数をサイズごとに示します。これらのモードでは、DSP ブロックによって、FFT、複合 FIR フィルタ、FIR フィルタ、2D FIR フィルタ、イコライザ、IIR、相関器、マトリックス乗算、およびその他多数のファンクションを含む、数多くの DSP アプリケーションを実装できます。DSP ブロックは、同一のブロック内で異なるモードおよび異なる乗算器サイズもサポートします。例えば、1 個の DSP ブロックの半分で Multiply-Accumulator モードの  $18 \times 18$  ビット乗算器を 1 個実装し、残りの半分で Simple Multiplier モードの  $9 \times 9$  ビット乗算器を 4 個実装することができます。

DSP ブロックのモード	$9 \times 9$	$18 \times 18$	$36 \times 36$
乗算器	8 個の乗算器と 8 つの積の出力	4 個の乗算器と 4 つの積の出力	1 個の乗算器と 1 つの積の出力
乗算累積器	—	2 つの 52 ビット乗算累積ブロック	—
Two-Multipliers Adder	4 個の 2 乗算器・加算器 (2 つの $9 \times 9$ 複素数乗算)	2 個の 2 乗算器・加算器 (1 つの $18 \times 18$ 複素数乗算)	—
Four-Multipliers Adder	2 個の 4 乗算器・加算器	1 個の 4 乗算器・加算器	—

## DSP ブロックのインタフェース

Arria GX デバイスの DSP ブロック入力レジスタは、同じ DSP ブロックのカラム内でカスケード接続できるシフト・レジスタを生成できます。DSP ブロック間の専用接続によって、シフト・レジスタ・チェーンをカスケード接続するためのシフト・レジスタ入力間的高速接続が提供されます。ユーザーは、4 タップを超える  $9 \times 9$  ビットまたは  $18 \times 18$  ビット FIR フィルタを実現するために、ALM 内に追加の加算器ステージを実装し、複数の DSP ブロック内のレジスタをカスケード接続できます。DSP ブロックが  $36 \times 36$  ビットとしてコンフィギュレーションされる場合、加

算器、減算器、または乗算累積器ステージは ALM 内に実装されます。各 DSP ブロックからシフト・レジスタ・チェーンを配線して、DSP ブロックの複数のカラムをカスケード接続することができます。

DSP ブロックは、左側および右側にある 4 本の LAB ロウにインタフェースする 4 つのブロック単位に分割されます。各ブロック単位は、36 個の入力と 36 個の出力を持つ 1 個の完全な  $18 \times 18$  ビット乗算器と考えることができます。ローカル接続領域は各 DSP ブロックに関連しています。LAB と同様に、このインタコネクタ領域には、同一ロウ内の DSP ブロックの左側または右側にある LAB から出ている 16 個のダイレクト・リンク・インタコネクタから信号を供給できます。R4 および C4 の配線リソースは、DSP ブロックのローカル接続領域にアクセスできます。

出力も LAB 出力と同様に機能します。DSP ブロックからの 18 本の出力はダイレクト・リンク・インタコネクタによって左側の LAB にドライブでき、残りの 18 本はダイレクト・リンク・インタコネクタによって右側の LAB にドライブできます。36 個の出力は R4 および C4 配線のインタコネクタにドライブできます。出力は右側または左側のカラム配線をドライブできます。

図 2-52 および図 2-53 に、LAB ロウへの DSP ブロック・インタフェースを示します。

図 2-52. DSP ブロックのインタコネクットのインタフェース

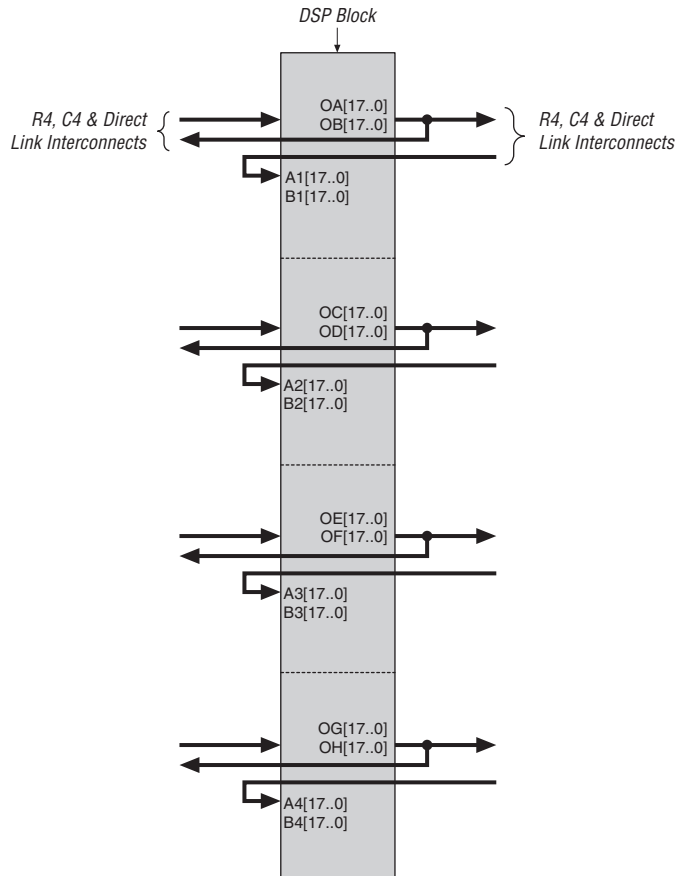
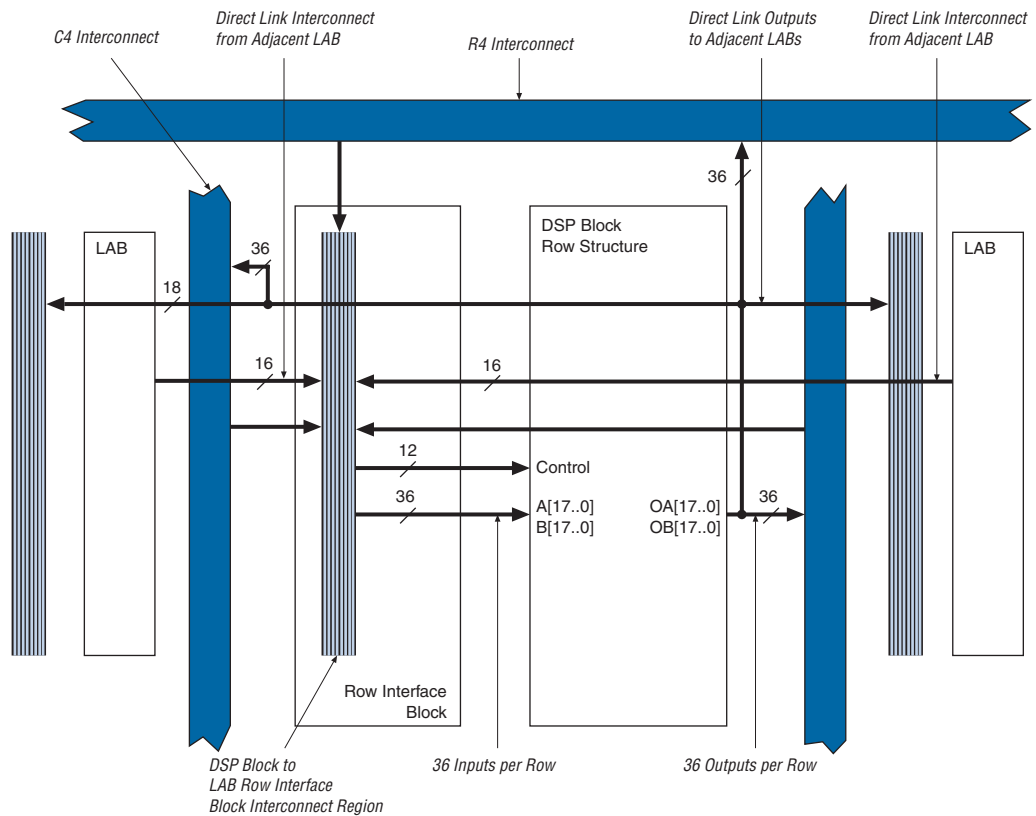


図 2-53. インタコネクトへの DSP ブロックのインタフェース



44本のコントロール信号で構成されるバスが、DSP ブロック全体に信号を供給します。これらの信号には、クロック、非同期クリア、クロック・イネーブル、符号付きおよび符号なしコントロール信号、加算および減算コントロール信号、丸めおよび飽和コントロール信号、アキュムレータ同期ロードなどが含まれます。クロック信号は LAB ロウのクロックからきており、DSP ブロック・インタフェースの特定の LAB ロウから生成されます。コントロール信号、データ入力、およびデータ出力に対する LAB ロウ・ソースを表 2-15 に示します。



DSP ブロックについて詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの DSP ブロック」の章を参照してください。

表 2-15. DSP ブロックの信号ソースおよびデスティネーション

インタフェースでの LAB 口	生成されるコントロール信号	データ入力	データ出力
0	clock0 aclr0 ena0 mult01_saturate addnsub1_round/ accum_round addnsub1 signa sourcea sourceb	A1 [17..0] B1 [17..0]	OA [17..0] OB [17..0]
1	clock1 aclr1 ena1 accum_saturate mult01_round accum_sload sourcea sourceb mode0	A2 [17..0] B2 [17..0]	OC [17..0] OD [17..0]
2	clock2 aclr2 ena2 mult23_saturate addnsub3_round/ accum_round addnsub3 sign_b sourcea sourceb	A3 [17..0] B3 [17..0]	OE [17..0] OF [17..0]
3	clock3 aclr3 ena3 accum_saturate mult23_round accum_sload sourcea sourceb mode1	A4 [17..0] B4 [17..0]	OG [17..0] OH [17..0]

## PLL および クロック・ ネットワーク

Arria GX デバイスは、階層的なクロック構造および最先端の機能を備えた複数の PLL (Phase-Locked Loop) を提供します。enhanced PLL および fast PLL によって実現されるクロック合成の精度と多数のクロック・リソースを組み合わせることで、完全なクロック管理ソリューションを提供します。

### グローバルおよび階層クロック

Arria GX デバイスは、16 の専用グローバル・クロック・ネットワーク、32 のリージョナル・クロック・ネットワーク (4 分割されたデバイスのそれぞれのエリアにつき 8 本のクロック) を提供します。これらのクロックは、小さなスキューおよび遅延でデバイス領域ごとに最大 24 個のクロックを許容できる階層的なクロック構造に編成されています。この階層クロック方式によって、Arria GX デバイス内で最大 48 の独立したクロック・ドメインを提供します。

グローバル・クロック・ネットワークまたはリージョナル・クロック・ネットワークをドライブする 12 本のクロック専用ピン (CLK[15..12] および CLK[7..0]) があります。図 2-54 および図 2-55 に示すように、4 本のクロック・ピンは右側を除くデバイスの各サイドをドライブします。内部ロジックと enhanced および fast PLL 出力は、グローバル・クロック・ネットワークおよびリージョナル・クロック・ネットワークもドライブできます。各グローバルおよびリージョナル・クロックには、クロック・ソースの選択をコントロールし、クロックをダイナミックにイネーブルまたはディセーブルすることにより消費電力を低減するクロック・コントロール・ブロックがあります。表 2-16 に、グローバルおよびリージョナル・クロックの特長を示します。

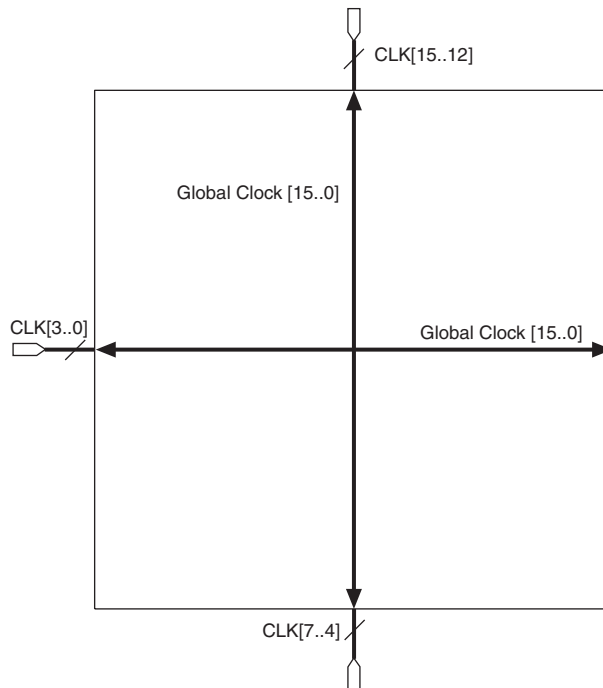
表 2-16. グローバルおよびリージョナル・クロックの特長

特長	グローバル・クロック	リージョナル・クロック
1 デバイスあたりの数	16	32
1 エリアあたり使用可能な数	16	8
ソース	クロック・ピン、PLL 出力、コア配線、トランシーバ間クロック	クロック・ピン、PLL 出力、コア配線、トランシーバ間クロック
ダイナミック・クロック・ソース選択	√	
ダイナミック・イネーブル/ディセーブル	√	√

## グローバル・クロック・ネットワーク

これらのクロックは、デバイスの4つのエリアにクロックを供給してデバイス全体をドライブします。グローバル・クロック・ネットワークは、デバイス内のすべてのリソース（OE、ALM、DSP ブロック、および全メモリ・ブロック）に対するクロック・ソースとして使用できます。これらのリソースは、外部ピンから供給されるクロック・イネーブル、同期クリア、または非同期クリアなどのコントロール信号に使用することも可能です。グローバル・クロック・ネットワークは、内部で生成されるグローバル・クロックや非同期クリア、クロック・イネーブル、あるいはファンアウトの大きい他のコントロール信号用の内部ロジックでもドライブできます。図 2-54 に、グローバル・クロック・ネットワークをドライブする 12 本の専用 CLK ピンを示します。

図 2-54. グローバル・クロック

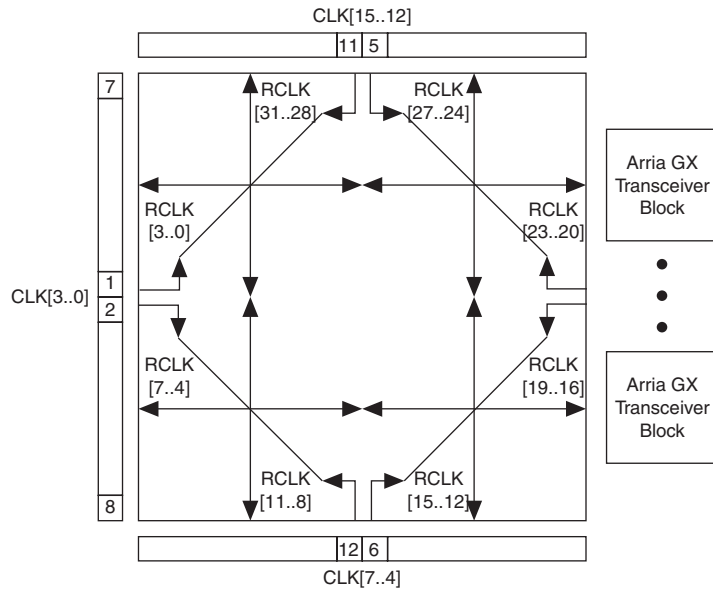


## リージョナル・クロック・ネットワーク

専用の CLK[15..12] および CLK[7..0] 入力ピン、PLL 出力、または内部ロジックによってドライブされる Arria GX デバイスの 4 つの各エリアには、8 つのリージョナル・クロック・ネットワーク (RCLK[7..0])

があります。リージョナル・クロック・ネットワークは、1つのエリア内に含まれるロジックに対して、最小のクロック遅延とスキューを実現します。CLK ピンは、図 2-55 に示すとおり、特定のエリア内の RCLK ネットワークを対称的にドライブします。

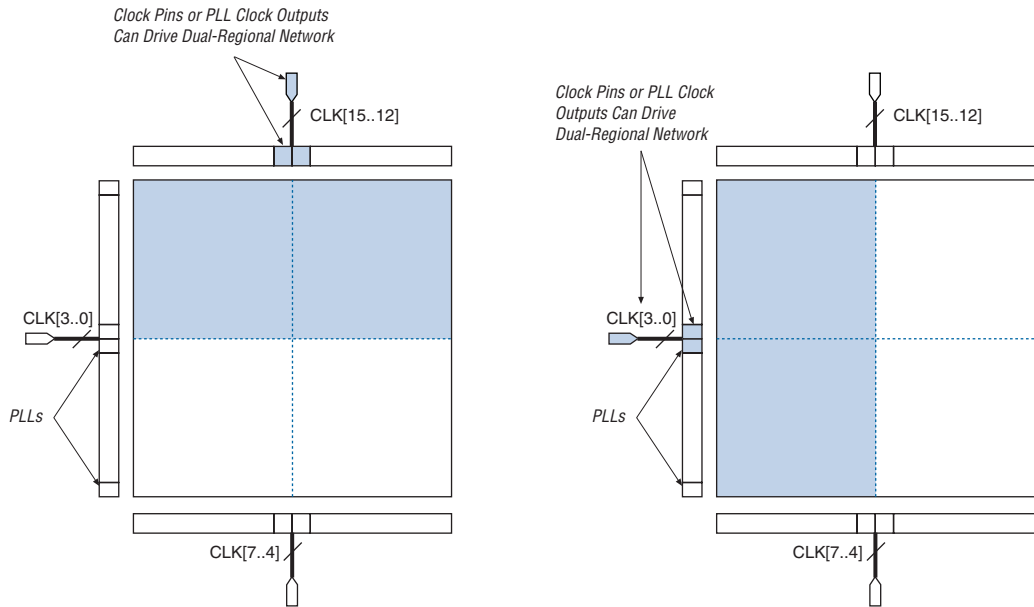
図 2-55. リージョナル・クロック



### デュアル・リージョナル・クロック・ネットワーク

1つのソース（CLK ピンまたは PLL 出力）が、隣接するエリア内の2つのリージョナル・クロック・ネットワーク・ライン（各エリアから1つ）をドライブして、デュアル・リージョナル・クロックを生成できます。これにより、複数のエリアにまたがるロジックが同じ低スキュー・クロックを利用できます。このクロック信号を全サイドに配線する場合、1つのエリアをドライブするクロック信号と比較して速度はほぼ同じですが、クロック・スキューはわずかに高くなります。内部ロジック・アレイ配線は、デュアル・リージョナル・クロックをドライブできます。トップおよびボトムのクロック・ピンおよび enhanced PLL 出力は、水平方向のデュアル・リージョナル・クロックをドライブできます。図 2-56 に示すように、左または右のクロック・ピンおよび fast PLL 出力は垂直方向のデュアル・リージョナル・クロックをドライブできます。コーナー PLL はデュアル・リージョナル・クロックをドライブできません。

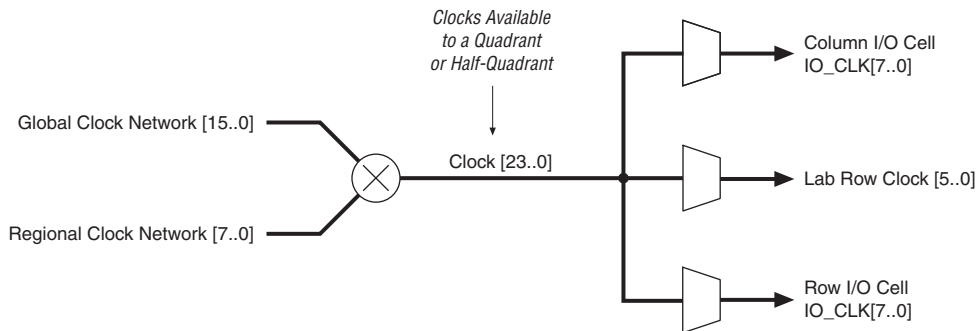
図 2-56. デュアル・リージョナル・クロック



### リソースの結合

各エリア内には、16本のグローバル・クロック・ラインおよび8本のリージョナル・クロック・ラインで構成される24種類のクロック専用リソースがあります。マルチプレクサはこれらのクロックと共に使用され、LABロウ・クロック、カラムIOEクロック、またはロウIOEクロックをドライブするバスを形成します。別のマルチプレクサをLABレベルで使用して、LAB内のALMレジスタに供給する6つのロウ・クロックのうち3つを選択します（図 2-57を参照）。

図 2-57. エリアごとの階層クロック・ネットワーク



ユーザーは Quartus II ソフトウェアを使用して、クロック入力ピンでグローバル、リージョナル、またはデュアル・リージョナル・クロック・ネットワークのいずれかをドライブするかをコントロールできます。指定されなかった場合、Quartus II ソフトウェアは自動的にクロック・リソースを選択します。

### クロック・コントロール・ブロック

各グローバル・クロック、リージョナル・クロック、および PLL 外部クロック出力には、専用のクロック・コントロール・ブロックがあります。コントロール・ブロックは以下の 2 つの機能を備えています。

- クロック・ソースの選択 (グローバル・クロックに対してはダイナミック選択)
- クロックのパワーダウン (ダイナミック・クロック・イネーブル / ディセーブル)

図 2-58 から図 2-60 に、グローバル・クロック、リージョナル・クロック、および PLL 外部クロック出力のクロック・コントロール・ブロックを示します。

図 2-58. グローバル・クロック・コントロール・ブロック

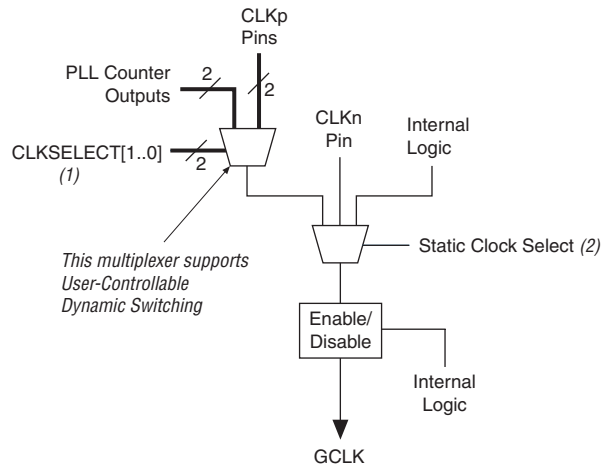


図 2-58 の注:

- (1) これらのクロック選択信号は、デバイスがユーザー・モードで動作しているときに、内部ロジックを通してダイナミックにコントロールできます。
- (2) これらのクロック選択信号は、コンフィギュレーション・ファイル (SRAM オブジェクト・ファイル [.sof] または プログラマ・オブジェクト・ファイル [.pof]) を通してのみ設定でき、ユーザー・モードの動作中はダイナミックにコントロールすることはできません。

図 2-59. リージョナル・クロック・コントロール・ブロック

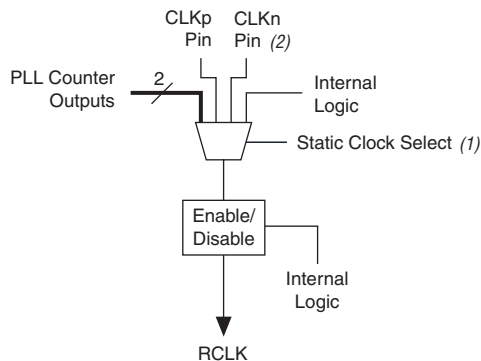
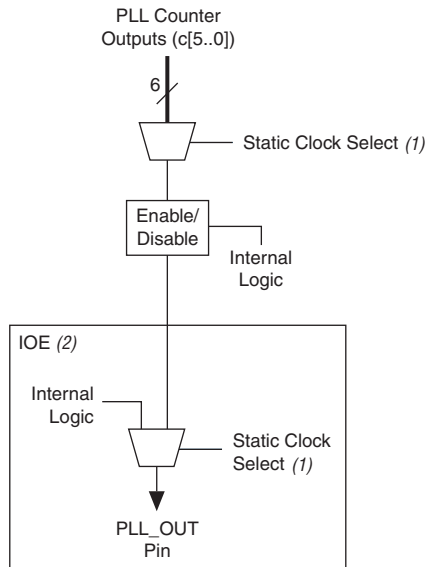


図 2-59 の注:

- (1) これらのクロック選択信号は、コンフィギュレーション・ファイル (SOF または POF) を通してのみ設定でき、ユーザー・モードの動作中はダイナミックにコントロールすることはできません。
- (2) デバイスのトップおよびボトムの CLKn ピンのみ、リージョナル・クロック選択への供給に使用されます。

図 2-60. 外部 PLL 出力クロック・コントロール・ブロック



## 図 2-60 の注:

- (1) これらのクロック選択信号は、コンフィギュレーション・ファイル（SOF または POF）を通してのみ設定でき、ユーザー・モードの動作中は動的にコントロールすることはできません。
- (2) クロック・コントロール・ブロックは、PLL\_OUT ピンの IOE 内のマルチプレクサに信号を供給します。PLL\_OUT ピンは兼用ピンです。したがって、このマルチプレクサは内部信号またはクロック・コントロール・ブロックの出力のいずれかを選択します。

グローバル・クロック・コントロール・ブロックでは、クロック・ソースの選択はスタティックまたは動的にコントロールできます。ユーザーは、Quartus II ソフトウェアを使用してコンフィギュレーション・ファイル（SOF または POF）の特定のコンフィギュレーション・ビットを設定することにより、クロック・ソースをスタティックに選択するオプションがあります。あるいは、内部ロジックを使用してマルチプレクサ選択入力をドライブすることにより、動的に選択をコントロールすることも可能です。スタティックに選択する場合、クロック・ソースは選択マルチプレクサのどの入力にも設定できます。クロック・ソースを動的に選択するとき、ユーザーは 2 つの PLL 出力のいずれか（1 個の PLL からの c0 または c1 出力など）、2 個の PLL（1 個の PLL の c0/c1 クロック出力または他の PLL の c0/c1 クロック出力など）のいずれか、2 本のクロック・ピン（CLK0 または CLK1 など）のいずれか、あるいはクロック・ピンまたは PLL 出力の組み合わせのいずれかから選択できます。

リージョナルおよび PLL\_OUT クロック・コントロール・ブロックでは、クロック・ソース選択はコンフィギュレーション・ビットを使用してスタティックにのみコントロールできます。クロック選択マルチプレクサへのいずれの入力も、クロック・ソースとして設定できます。

Arria GX クロック・ネットワークは、スタティック手法とダイナミック手法の両方でディセーブル（パワーダウン）できます。クロック・ネットがパワーダウンされると、クロック・ネットから信号が供給されるすべてのロジックがオフ状態になり、デバイスの全体的な消費電力が減少します。グローバルおよびリージョナル・クロック・ネットワークは、コンフィギュレーション・ファイル（SOF または POF）の設定によりスタティックにパワーダウンできます。使用されないクロック・ネットワークは、Quartus II ソフトウェアで生成されたコンフィギュレーション・ファイルのコンフィギュレーション・ビット設定により自動的にパワーダウンされます。ダイナミック・クロック・イネーブルまたはディセーブル機能により、内部ロジックを GCLK および RCLK ネット、PLL\_OUT ピンで同期してパワーアップ/ダウンをコントロールすることができます。図 2-58 から図 2-60 に示すとおり、この機能は PLL から独立しており、クロック・ネットワークまたは PLL\_OUT ピンに直接適用されます。

## enhanced および fast PLL

Arria GX デバイスは、最大 4 個の enhanced PLL および 4 個の fast PLL を使用した堅牢なクロック管理および合成機能を提供します。これらの PLL によって性能が向上し、最先端のクロック・インターフェースおよびクロック周波数合成を提供します。クロック・スイッチオーバー、スペクトラム拡散クロッキング、リコンフィギュレーション可能な帯域幅、位相コントロール、リコンフィギュレーション可能な位相シフトなど、Arria GX デバイスの enhanced PLL が備えている機能によって、ユーザーはクロックとシステムのタイミングを完全にコントロールできます。fast PLL は高速差動 I/O をサポートする高速出力だけでなく、通倍および位相シフト付き汎用クロックも提供します。enhanced および fast PLL は、Arria GX 高速 I/O および最先端のクロック・アーキテクチャと共に機能して、システム性能と帯域幅の大幅な向上を実現します。

Quartus II ソフトウェアにより、PLL およびその機能が外部デバイスなしで使用できます。表 2-17 に、各 Arria GX デバイスで使用可能な PLL とそのタイプを示します。

デバイス	fast PLL								enhanced PLL			
	1	2	3 (3)	4 (3)	7	8	9 (3)	10 (3)	5	6	11	12
EP1AGX20	√	√							√	√		
EP1AGX35	√	√							√	√		
EP1AGX50 (4)	√	√			√	√			√	√	√	√
EP1AGX60 (5)	√	√			√	√			√	√	√	√
EP1AGX90	√	√			√	√			√	√	√	√

表 2-17 の注:

- (1) fast PLL のトランシーバ・ブロック内のグローバルまたはリージョナル・クロックから fast PLL 入力をドライブできます。ピンまたは他の PLL は、グローバルまたはリージョナル・ソースをドライブする必要があります。fast PLL をドライブする前に内部で生成されたロジックでソースをドライブすることはできません。
- (2) EP1AGX20C、EP1AGX35C/D、EP1AGX50C、および EP1AGX60C/D の各デバイスには fast PLL が 2 個 (PLL 1 および 2) しかありませんが、これら 2 個の PLL からグローバルおよびリージョナル・クロック・ネットワークへの接続性は図示したものと同じです。
- (3) Arria GX デバイスでは、PLL 3、4、9、および 10 は提供されていません。
- (4) C または D のデバイス・オプションおよびパッケージ・オプションに応じて、4 個または 8 個の PLL が提供されています。
- (5) C、D、または E のデバイス・オプションに応じて、4 個または 8 個の PLL が提供されています。

表 2-18 に、Arria GX デバイスの enhanced PLL および fast PLL の特長を示します。

表 2-18. Arria GX の PLL の特長		
特長	enhanced PLL	fast PLL
クロックの通倍と分周	$m/(n \times \text{ポストスケール} \cdot \text{カウンタ})$ (1)	$m/(n \times \text{ポストスケール} \cdot \text{カウンタ})$ (2)
位相シフト	最小 125 ps の増分量 (3)、(4)	最小 125 ps の増分量 (3)、(4)
クロック・スイッチオーバー	√	√ (5)
PLL リコンフィギュレーション	√	√
リコンフィギュレーション可能な帯域幅	√	√
スペクトラム拡散クロッキング	√	
プログラマブル・デューティ・サイクル	√	√
内部クロック出力数	6	4
外部クロック出力数	3 本の差動 /6 本のシングル・エンド	(6)
フィードバック・クロック入力数	1 本のシングル・エンドまたは差動 (7)、(8)	

表 2-18 の注:

- (1) enhanced PLL では、 $m$ 、 $n$  の範囲は 1 ~ 256 で、ポストスケール・カウンタの範囲は 1 ~ 512 です (デューティ・サイクル 50%)。
- (2) fast PLL では、 $m$  およびポストスケール・カウンタの範囲は 1 ~ 32 です。 $n$  カウンタの範囲は 1 ~ 4 です。
- (3) 最小位相シフトは、動作制御発振器 ( $V_{CO}$ ) の周期を 8 で除算して求められます。
- (4) Arria GX デバイスは、すべての出力周波数を最小 45° ずつ微調整できます。周波数および分周パラメータによっては、より細かな微調整も可能です。
- (5) Arria GX の fast PLL は、マニュアル・クロック・スイッチオーバーのみサポートします。
- (6) fast PLL は、任意の I/O ピンに外部クロックとしてドライブできます。高速差動 I/O ピンの場合、デバイスはデータ・チャネルを使用して  $txclkout$  を生成します。
- (7) フィードバック入力を使用されている場合、1 本 (または  $f_{BIN}$  が差動の場合は 2 本) の外部クロック出力ピンが失われます。
- (8) すべての Arria GX デバイスには、1 個の PLL につき 1 つのシングル・エンドまたは差動外部フィードバック入力を持つ enhanced PLL が少なくとも 2 個あります。

図 2-61 に、Arria GX デバイスと PLL のフロアプランのトップ・レベルの図を示します。

図 2-61. PLL の位置

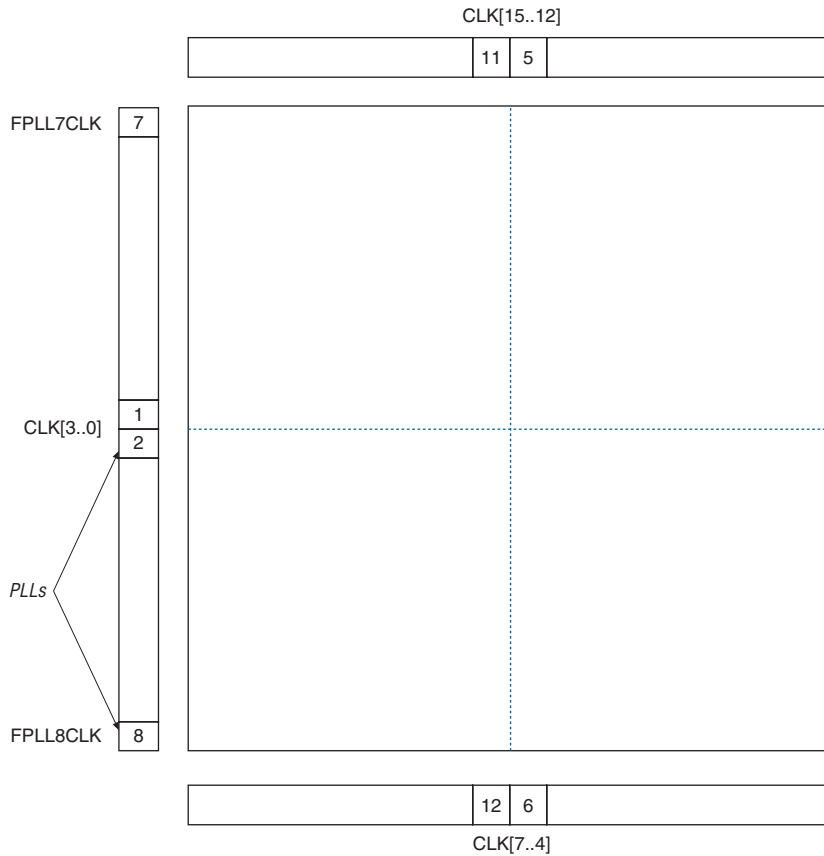


図 2-62 および図 2-63 に、fast PLL 出力およびサイド・クロック・ピンからのグローバルおよびリージョナル・クロック接続を示します。デバイスの左側にある fast PLL 出力、内部ドライバ、および CLK ピンからグローバルおよびリージョナル・クロックへの接続を表 2-19 に示します。

図 2-62. センタ・クロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 注 (1)

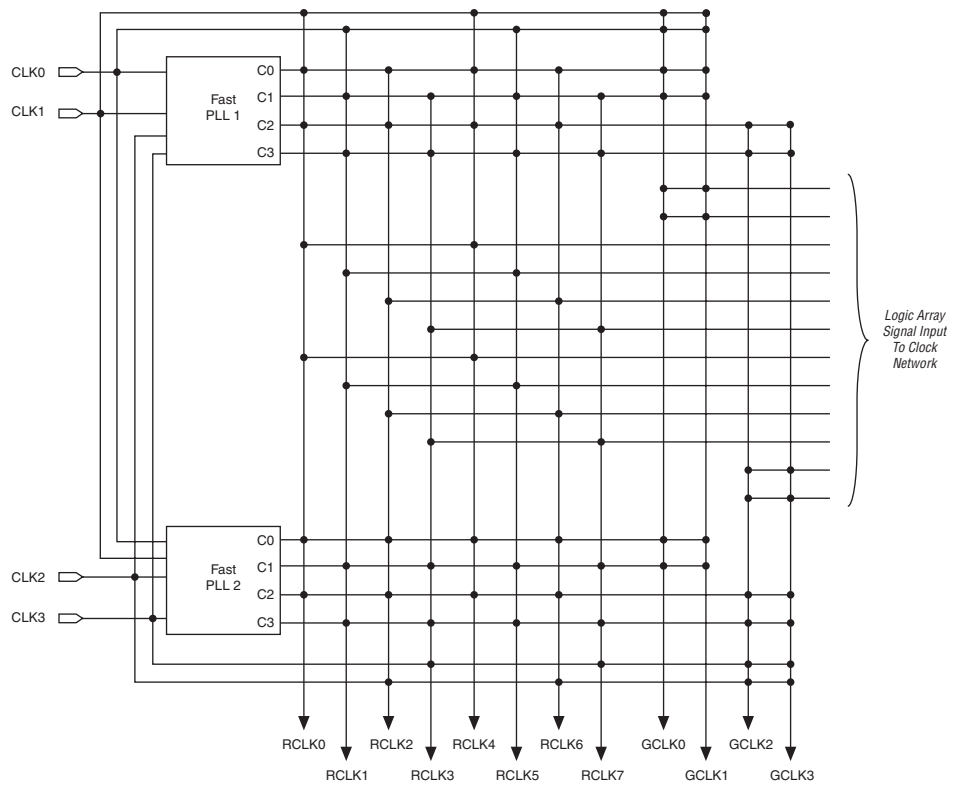


図 2-62 の注:

- (1) fast PLL のエリア内のグローバルまたはリージョナル・クロックは fast PLL 入力をドライブできます。専用クロック入力ピンまたは他の PLL は、グローバルまたはリージョナル・ソースをドライブする必要があります。fast PLL をドライブする前に内部で生成されたロジックでソースをドライブすることはできません。

図 2-63. コーナー・クロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 注 (1)

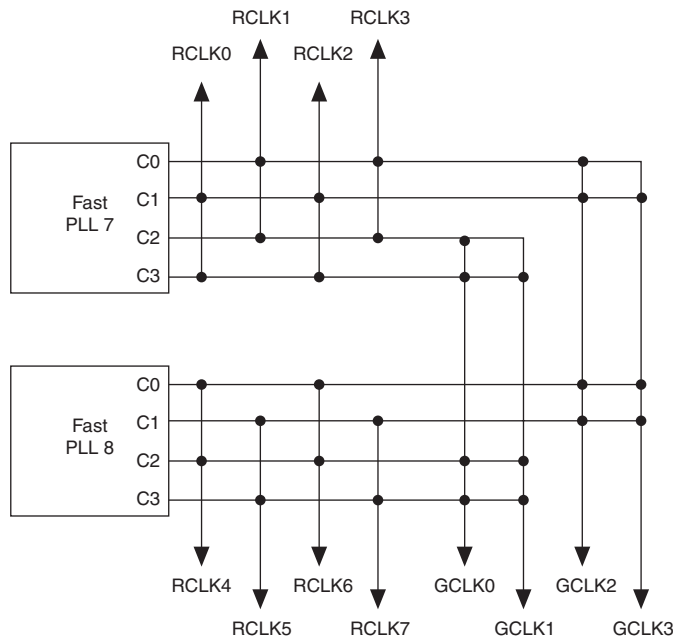


図 2-63 の注:

- (1) fast PLL のエリア内のグローバルまたはリージョナル・クロックは fast PLL 入力をドライブできます。専用クロック入力ピンまたは他の PLL は、グローバルまたはリージョナル・ソースをドライブする必要があります。fast PLL をドライブする前に内部で生成されたロジックでソースをドライブすることはできません。

表 2-19. 左側のクロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 (1 / 3)

左側のグローバルおよびリージョナル・クロック・ネットワークの接続性	CLK0	CLK1	CLK2	CLK3	RCLK0	RCLK1	RCLK2	RCLK3	RCLK4	RCLK5	RCLK6	RCLK7
クロック・ピン												
CLK0p	√	√			√				√			
CLK1p	√	√				√				√		
CLK2p			√	√			√				√	
CLK3p			√	√				√				√

表 2-19. 左側のクロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 (2 / 3)

左側のグローバルおよびリージョナル・クロック・ネットワークの接続性	CLK0	CLK1	CLK2	CLK3	RCLK0	RCLK1	RCLK2	RCLK3	RCLK4	RCLK5	RCLK6	RCLK7
<b>内部ロジックからのドライバ</b>												
GCLKDRV0	√	√										
GCLKDRV1	√	√										
GCLKDRV2			√	√								
GCLKDRV3			√	√								
RCLKDRV0					√				√			
RCLKDRV1						√				√		
RCLKDRV2							√				√	
RCLKDRV3								√				√
RCLKDRV4					√				√			
RCLKDRV5						√				√		
RCLKDRV6							√				√	
RCLKDRV7								√				√
<b>PLL 1 出力</b>												
c0	√	√			√		√		√		√	
c1	√	√				√		√		√		√
c2			√	√	√		√		√		√	
c3			√	√		√		√		√		√
<b>PLL 2 出力</b>												
c0	√	√				√		√		√		√
c1	√	√			√		√		√		√	
c2			√	√		√		√		√		√
c3			√	√	√		√		√		√	
<b>PLL 7 出力</b>												
c0			√	√		√		√				
c1			√	√	√		√					
c2	√	√				√		√				

表 2-19. 左側のクロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 (3 / 3)												
左側のグローバルおよびリージョナル・クロック・ネットワークの接続性	CLK0	CLK1	CLK2	CLK3	RCLK0	RCLK1	RCLK2	RCLK3	RCLK4	RCLK5	RCLK6	RCLK7
c3	√	√			√		√					
<b>PLL 8 出力</b>												
c0			√	√					√		√	
c1			√	√						√		√
c2	√	√							√		√	
c3	√	√								√		√

図 2-64 に、enhanced PLL 出力とトップおよびボトム of CLK ピンからのグローバルおよびリージョナル・クロックの接続を示します。

図 2-64. トップおよびボトムのカロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・クロックの接続 注 (1)

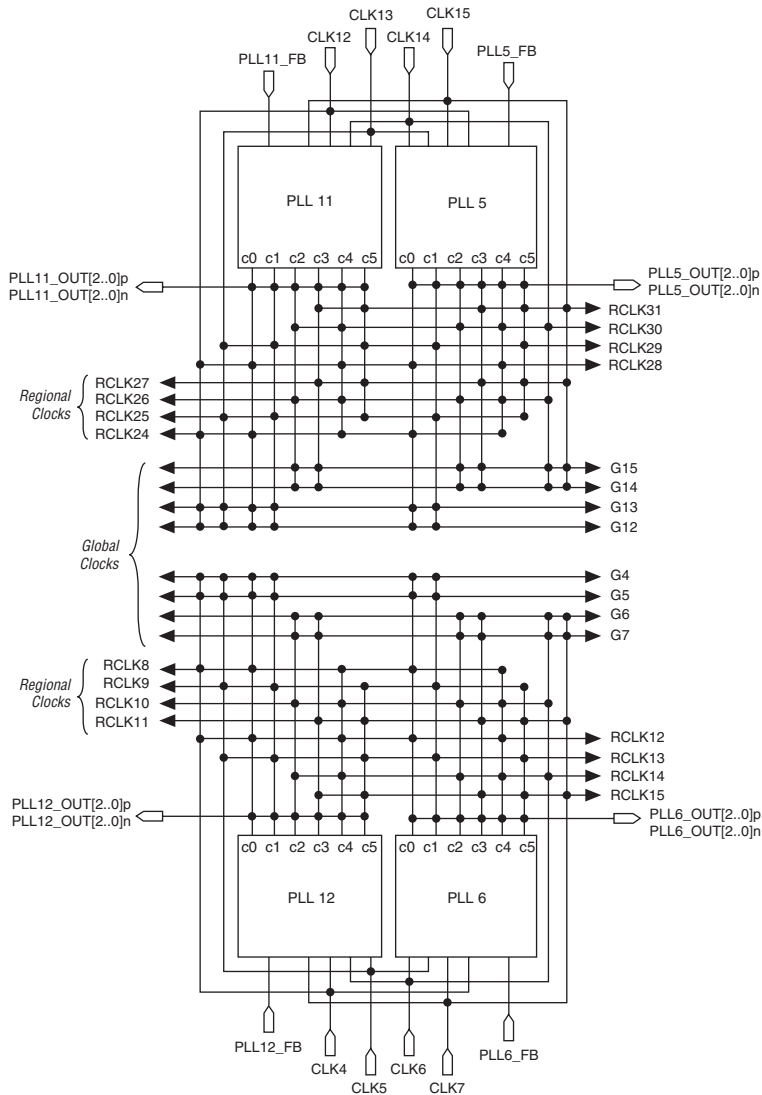


図 2-64 の注:

- (1) デザインでフィードバック入力を使用されている場合、1 本（または FBIN が差動の場合は 2 本）の専用クロック出力ピンが失われます。

トップのクロック・ピンおよび enhanced PLL 出力からグローバルおよびリージョナル・クロックへの接続を表 2-20 に示します。ボトムクロック・ピンからクロックへの接続を表 2-21 に示します。

表 2-20. トップのクロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・クロックの接続 (1 / 2)													
トップ・サイドのグローバルおよびリージョナル・クロック・ネットワークの接続性	DLLCLK	CLK12	CLK13	CLK14	CLK15	RCLK24	RCLK25	RCLK26	RCLK27	RCLK28	RCLK29	RCLK30	RCLK31
クロック・ピン													
CLK12p	√	√	√			√				√			
CLK13p	√	√	√				√				√		
CLK14p	√			√	√			√				√	
CLK15p	√			√	√				√				√
CLK12n		√				√				√			
CLK13n			√				√				√		
CLK14n				√				√				√	
CLK15n					√				√				√
内部ロジックからのドライバ													
GCLKDRV0		√											
GCLKDRV1			√										
GCLKDRV2				√									
GCLKDRV3					√								
RCLKDRV0						√				√			
RCLKDRV1							√				√		
RCLKDRV2								√				√	
RCLKDRV3									√				√
RCLKDRV4						√				√			
RCLKDRV5							√				√		
RCLKDRV6								√				√	
RCLKDRV7									√				√
enhanced PLL 5 出力													
c0	√	√	√			√				√			

表 2-20. トップのクロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・クロックの接続 (2 / 2)

トップ・サイドの グローバルおよび リージョナル・クロック・ ネットワークの接続性	DLLCLK	CLK12	CLK13	CLK14	CLK15	RCLK24	RCLK25	RCLK26	RCLK27	RCLK28	RCLK29	RCLK30	RCLK31
c1	√	√	√				√				√		
c2	√			√	√			√				√	
c3	√			√	√				√				√
c4	√					√		√		√		√	
c5	√						√		√		√		√
enhanced PLL 11 出力													
c0		√	√			√				√			
c1		√	√				√				√		
c2				√	√			√				√	
c3				√	√				√				√
c4						√		√		√		√	
c5							√		√		√		√

表 2-21. ボトム・クロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・クロックの接続 (1 / 2)

ボトム・サイドの グローバルおよび リージョナル・クロック・ ネットワークの接続性	DLLCLK	CLK4	CLK5	CLK6	CLK7	RCLK8	RCLK9	RCLK10	RCLK11	RCLK12	RCLK13	RCLK14	RCLK15
クロック・ピン													
CLK4p	√	√	√			√				√			
CLK5p	√	√	√				√				√		
CLK6p	√			√	√			√				√	
CLK7p	√			√	√				√				√
CLK4n		√				√				√			
CLK5n			√				√				√		
CLK6n				√				√				√	
CLK7n					√				√				√

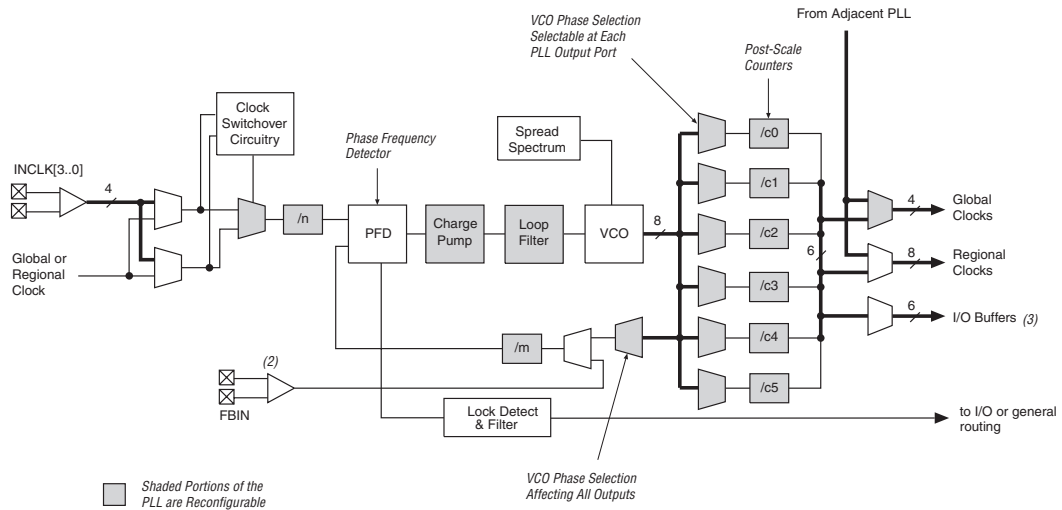
表 2-21. ボトム・クロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・クロックの接続 (2 / 2)

ボトム・サイドの グローバルおよび リージョナル・クロック・ ネットワークの接続性	DLLCLK	CLK4	CLK5	CLK6	CLK7	RCLK8	RCLK9	RCLK10	RCLK11	RCLK12	RCLK13	RCLK14	RCLK15
内部ロジックからのドライバ													
GCLKDRV0		√											
GCLKDRV1			√										
GCLKDRV2				√									
GCLKDRV3					√								
RCLKDRV0						√				√			
RCLKDRV1							√				√		
RCLKDRV2								√				√	
RCLKDRV3									√				√
RCLKDRV4						√				√			
RCLKDRV5							√				√		
RCLKDRV6								√				√	
RCLKDRV7									√				√
enhanced PLL 6 出力													
c0	√	√	√			√				√			
c1	√	√	√				√				√		
c2	√			√	√			√				√	
c3	√			√	√				√				√
c4	√					√		√		√		√	
c5	√						√		√		√		√
enhanced PLL 12 出力													
c0		√	√			√				√			
c1		√	√				√				√		
c2				√	√			√				√	
c3				√	√				√				√
c4						√		√		√		√	
c5							√		√		√		√

## enhanced PLL

Arria GX デバイスは、高度なクロック管理機能を備えた最大 4 個の enhanced PLL を内蔵しています。また、外部クロック・フィードバック・モード、スペクトラム拡散クロック、およびカウンタのカスケード接続をサポートしています。図 2-65 に、enhanced PLL のブロック図を示します。

図 2-65. Arria GX の enhanced PLL 注 (1)



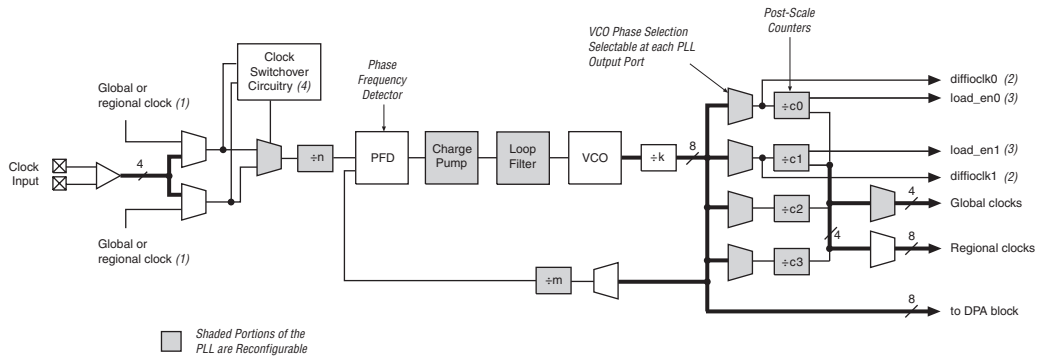
### 図 2-65 の注:

- (1) 各クロック・ソースは、PLL としてデバイスの同じサイドに物理的に配置されている 4 本のクロック・ピンのどれからでも供給できます。
- (2) フィードバック入力を使用されている場合、外部クロック出力ピンが 1 本（または FBIN が差動の場合は 2 本）なくなります。
- (3) 各 enhanced PLL には、3 本の差動外部クロック出力または 6 本のシングル・エンド外部クロック出力があります。
- (4) グローバルまたはリージョナル・クロック入力は、別の PLL からの出力、ピンでドライブされる専用グローバルまたはリージョナル・クロックによってドライブできます。あるいは、別の PLL からの出力またはピンでドライブされる専用のグローバルもしくはリージョナル・クロックからクロック・コントロール・ブロックにクロックが供給される場合には、クロック・コントロール・ブロックを通してドライブできます。内部で生成されるグローバル信号で PLL をドライブすることはできません。

## fast PLL

Arria GX デバイスは、高速シリアル・インタフェース能力を持つ最大 4 個の fast PLL を内蔵しています。fast PLL は、高速差動 I/O インタフェースを駆動する高速出力を提供しています。図 2-66 に、fast PLL のブロック図を示します。

図 2-66. Arria GX デバイスの fast PLL



## 図 2-66 の注:

- (1) グローバルまたはリージョナル・クロック入力は、別の PLL からの出力、ピンでドライブされる専用グローバルまたはリージョナル・クロックによってドライブできます。あるいは、別の PLL からの出力またはピンでドライブされる専用のグローバルもしくはリージョナル・クロックからクロック・コントロール・ブロックにクロックが供給される場合には、クロック・コントロール・ブロックを通してドライブできます。内部で生成されるグローバル信号で PLL をドライブすることはできません。
- (2) 高速差動 I/O サポート・モードでは、シリアライザ / デシリアライザ (SERDES) 回路にこの高速 PLL クロックが供給されます。Arria GX デバイスは、高速差動 I/O サポート・モードでは、fast PLL あたり 1 つのデータ転送レートのみサポートします。
- (3) この信号は差動 I/O SERDES コントロール信号です。
- (4) Arria GX の fast PLL は、マニュアル・クロック・スイッチオーバーのみサポートします。



enhanced および fast PLL について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの PLL」の章を参照してください。高速差動 I/O サポートについて詳しくは、2-128 ページの「DPA サポート付き高速差動 I/O」を参照してください。

## I/O 構造

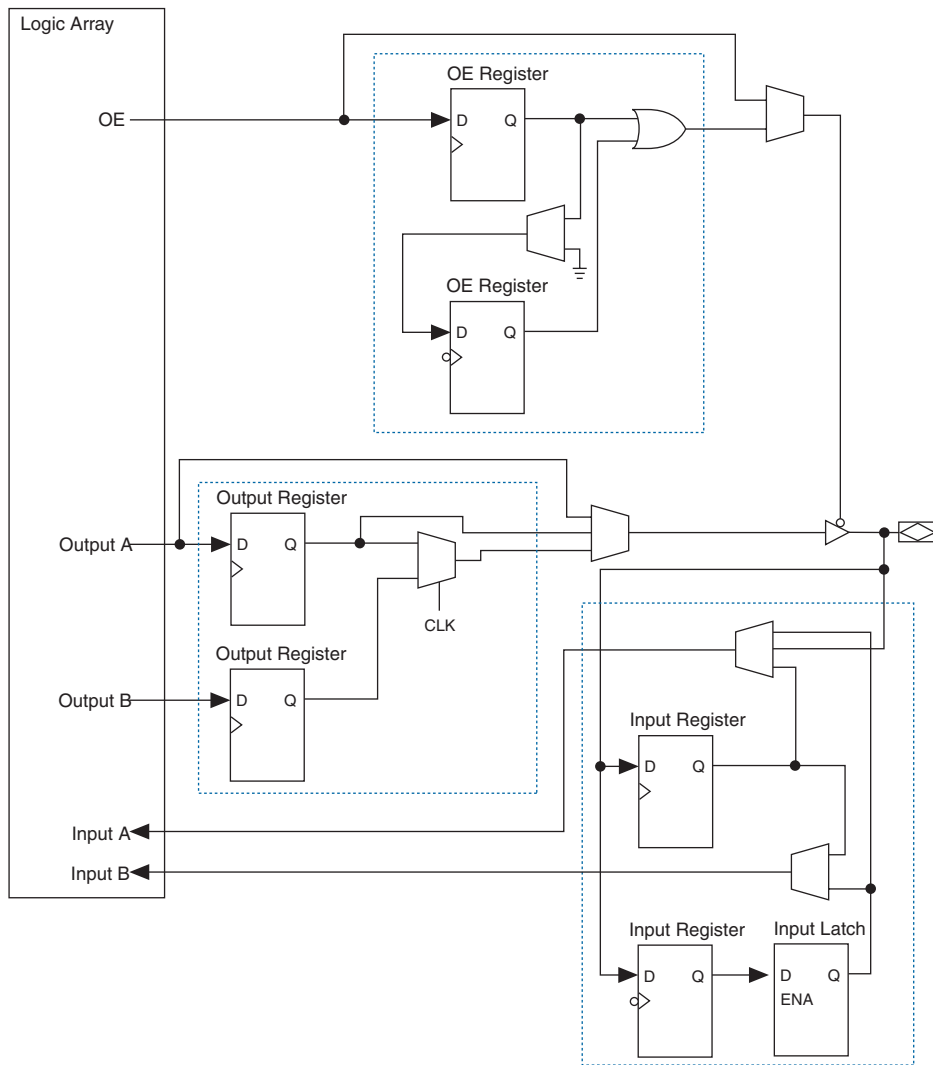
Arria GX の IOE は、以下のような多彩な機能を提供します。

- 専用の差動およびシングル・エンド形式の I/O バッファ
- 3.3 V、64 ビット、66 MHz PCI 仕様に準拠
- 3.3 V、64 ビット、133 MHz PCI-X 1.0 仕様に準拠
- JTAG (Joint Test Action Group) バウンダリ・スキャン・テスト (BST) のサポート
- オンチップ・ドライバ直列終端
- 差動形式の規格用の On-Chip Termination
- コンフィギュレーション時のプログラマブル・プルアップ抵抗
- 出力ドライブ強度コントロール
- トライ・ステート・バッファ
- バス・ホールド回路

- プログラマブル・プルアップ抵抗
- プログラム可能な入力および出力遅延
- オープン・ドレイン出力
- DQ および DQS I/O ピン
- DDR (Double Data Rate) レジスタ

Arria GX デバイスの IOE は、1 個の双方向の I/O バッファ、6 個のレジスタ、および完全な型で組み込まれた双方向のシングル・データ・レートまたは DDR 転送に対するラッチで構成されています。図 2-67 に、Arria GX の IOE 構造を示します。IOE は 2 個の入力レジスタ ( および 1 個のラッチ)、2 個の出力レジスタ、および 2 個の出力イネーブル・レジスタを備えています。両方の入力レジスタとラッチを使用して DDR 入力を取り込み、両方の出力レジスタを使用して DDR 出力をドライブするデザインが可能です。さらに、出力イネーブル (OE) レジスタを高速の「Clock-to-Output」イネーブル・タイミングに使用することもできます。負のエッジでクロック駆動する OE レジスタは、DDR SDRAM のインタフェースに使用されます。Quartus II ソフトウェアは、複数の出力ピンまたは双方向ピンをコントロールする 1 個の OE レジスタを自動的に複製します。

図 2-67. Arria GX の IOE 構造



IOE は、Arria GX デバイス周辺の I/O ブロック内に配置されています。各ロウ I/O ブロックあたり最大 4 個の IOE、各カラム I/O ブロックあたり最大 4 個の IOE があります。ロウ I/O ブロックは、ロウ、カラム、またはダイレクト・リンク・インタコネクトをドライブします。カラム I/O ブロックは、カラム・インタコネクトをドライブします。

図 2-68 に、ロウ I/O ブロックとロジック・アレイの接続方法を示します。

図 2-68. インタコネクต์へのロウ I/O ブロックの接続

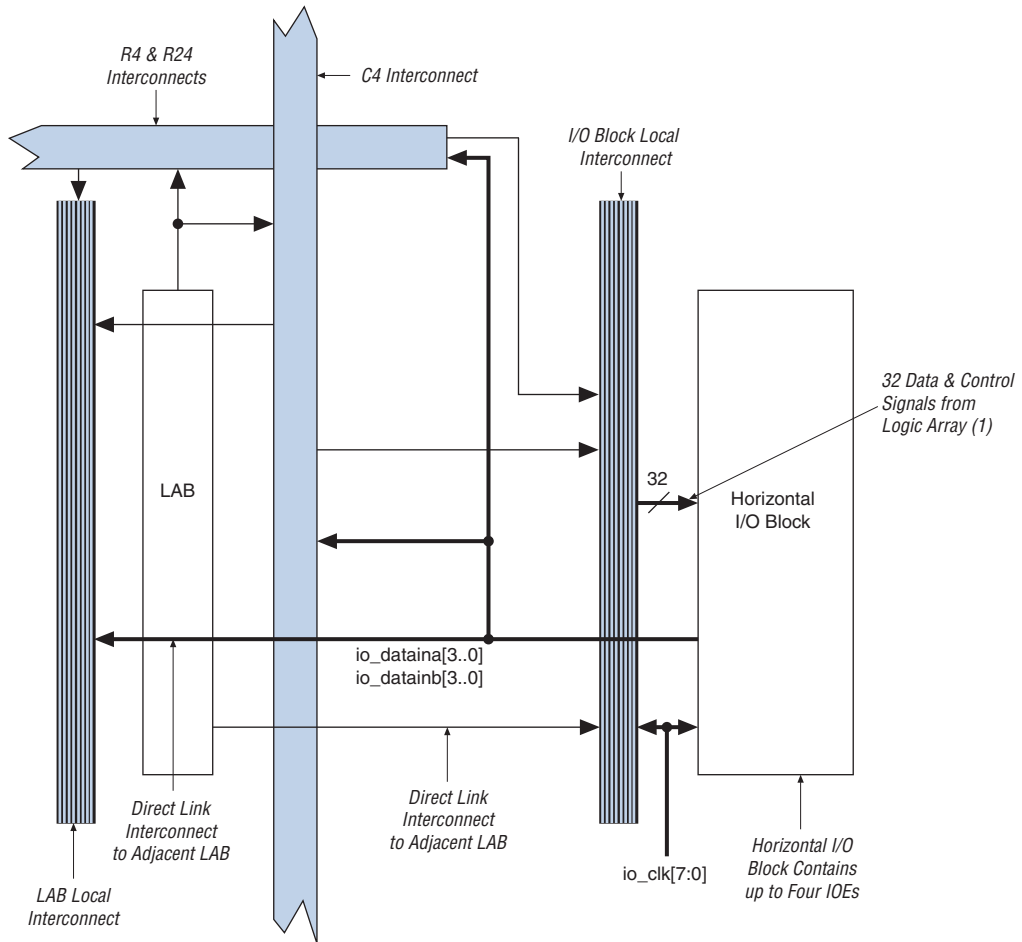


図 2-68 の注:

- (1) 32 本のデータおよびコントロール信号は、8 本のデータ出力ライン（各 DDR アプリケーションに 4 ライン） $io\_dataouta[3..0]$  および  $io\_dataoutb[3..0]$ 、4 本の出力イネーブル信号  $io\_oe[3..0]$ 、4 本の入力クロック・イネーブル信号  $io\_ce\_in[3..0]$ 、4 本の出力クロック・イネーブル信号  $io\_ce\_out[3..0]$ 、4 本のクロック信号  $io\_clk[3..0]$ 、4 本の非同期クリアおよびプリセット信号  $io\_aclr/apreset[3..0]$ 、および 4 本の同期クリアおよびプリセット信号  $io\_sclr/spreset[3..0]$  で構成されます。

図 2-69 に、カラム I/O ブロックとロジック・アレイの接続方法を示します。

図 2-69. インタコネクトへのカラム I/O ブロックの接続

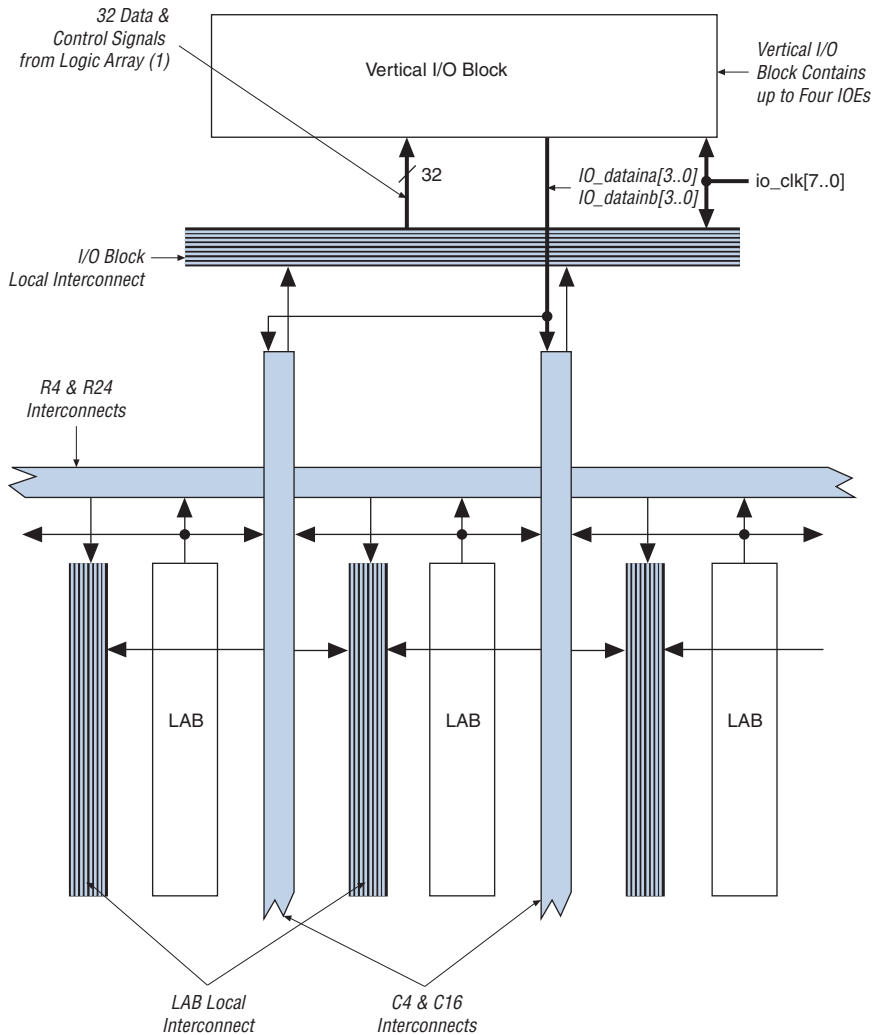


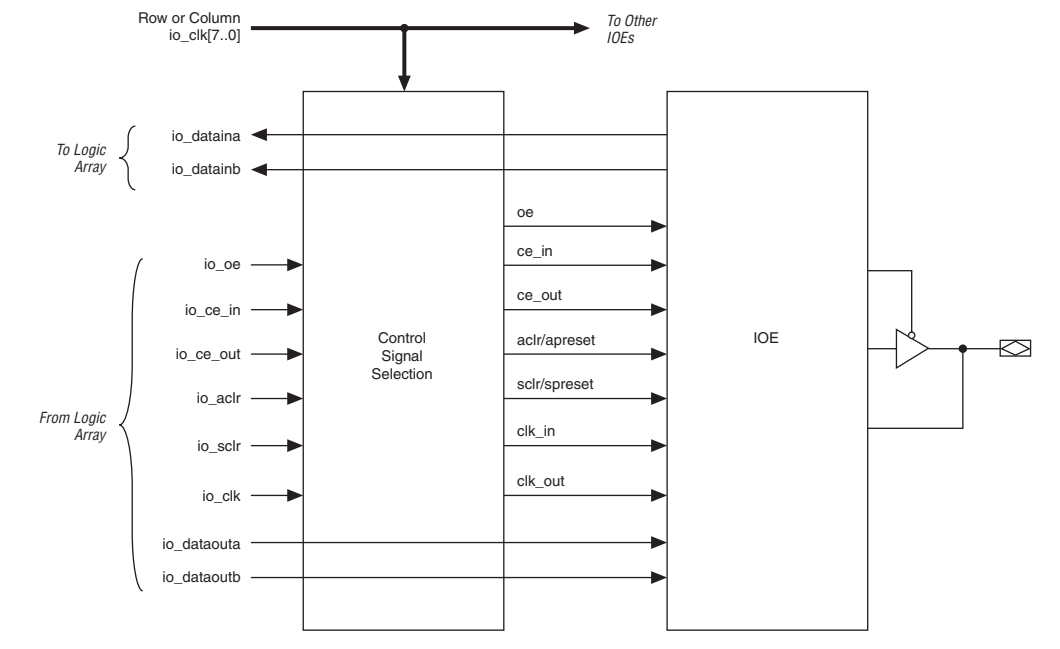
図 2-69 の注：

- (1) 32本のデータおよびコントロール信号は、8本のデータ出力ライン（各DDRアプリケーションに4本のライン、 $io\_dataouta[3..0]$  および  $io\_dataoutb[3..0]$ ）、4本の出力イネーブル信号 ( $io\_oe[3..0]$ )、4本の入力クロック・イネーブル信号 ( $io\_ce\_in[3..0]$ )、4本の出力クロック・イネーブル信号 ( $io\_ce\_out[3..0]$ )、4本のクロック信号 ( $io\_clk[3..0]$ )、4本の非同期クリアおよびプリセット信号 ( $io\_aclr/apreset[3..0]$ )、および4本の同期クリアおよびプリセット信号 ( $io\_sclr/spreset[3..0]$ ) で構成されます。

各ロウまたはカラム I/O ブロックに供給される 32 本のコントロールおよびデータ信号があります。これらのコントロールおよびデータ信号はロジック・アレイからドライブされます。ロウまたはカラム IOE クロック `io_clk[7..0]` は、低スキューで高速のクロック専用配線リソースを提供します。I/O クロックは、グローバルまたはリージョナル・クロックから生成されます (2-82 ページの「PLL およびクロック・ネットワーク」を参照)。

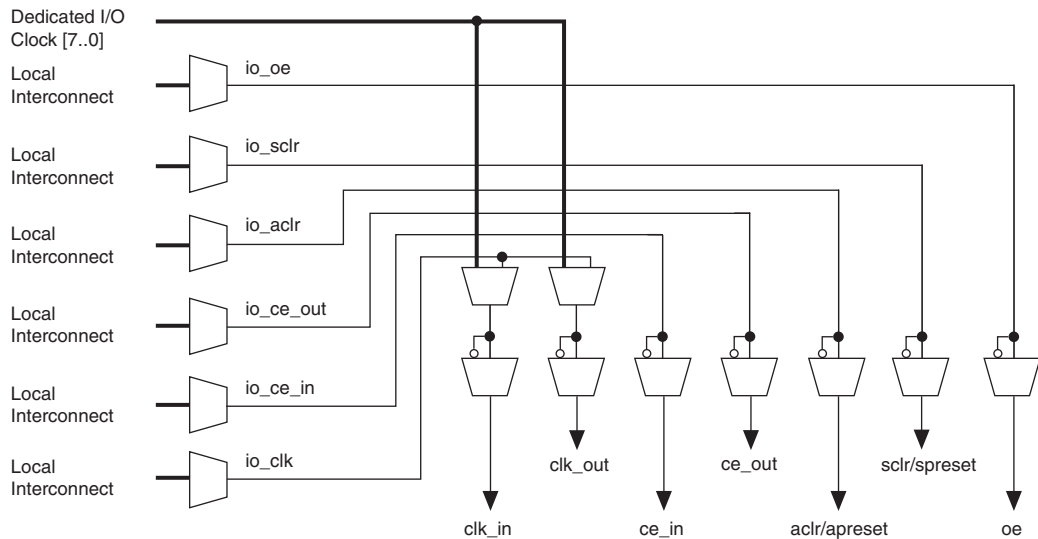
図 2-70 に I/O ブロックを通る信号パスを示します。

図 2-70. I/O ブロックを通る信号パス



各 IOE には、以下のコントロール信号に対する独自のコントロール信号選択機能があります。oe、ce\_in、ce\_out、aclr/apreset、sclr/spreset、clk\_in、および clk\_out。図 2-71 に、コントロール信号の選択機能を示します。

図 2-71. IOE におけるコントロール信号選択 注 (1)



## 図 2-71 の注:

- (1) コントロール信号 `ce_in`、`ce_out`、`aclr/apreset`、`sclr/spreset`、および `oe` は、コントロール選択マルチプレクサが `ioe_clk[7..0]` 信号によって直接供給されない場合でも、グローバル信号とすることができます。`ioe_clk` 信号は I/O ローカル・インタコネクートをドライブでき、I/O ローカル・インタコネクートはコントロール選択マルチプレクサをドライブします。

通常の双方向動作では、高速セットアップ・タイムを必要とする入力データにレジスタを使用できます。入力レジスタは、OE レジスタおよび出力レジスタとは別の独自のクロック入力およびクロック・イネーブルを備えています。出力レジスタは、高速の Clock-to-Output 遅延を必要とするデータに使用されます。OE レジスタは、高速の Clock-to-Output イネーブル・タイミングに使用できます。OE および出力レジスタは、関連 LAB、I/O 専用クロック、カラム・インタコネクート、ロウ・インタコネクートなどからの同じクロック・ソースおよび同じクロック・イネーブル・ソースを共有します。図 2-72 に、双方向にコンフィギュレーションされた IOE を示します。

図 2-72. 双方向 I/O コンフィギュレーションの Arria GX IOE 注 (1)

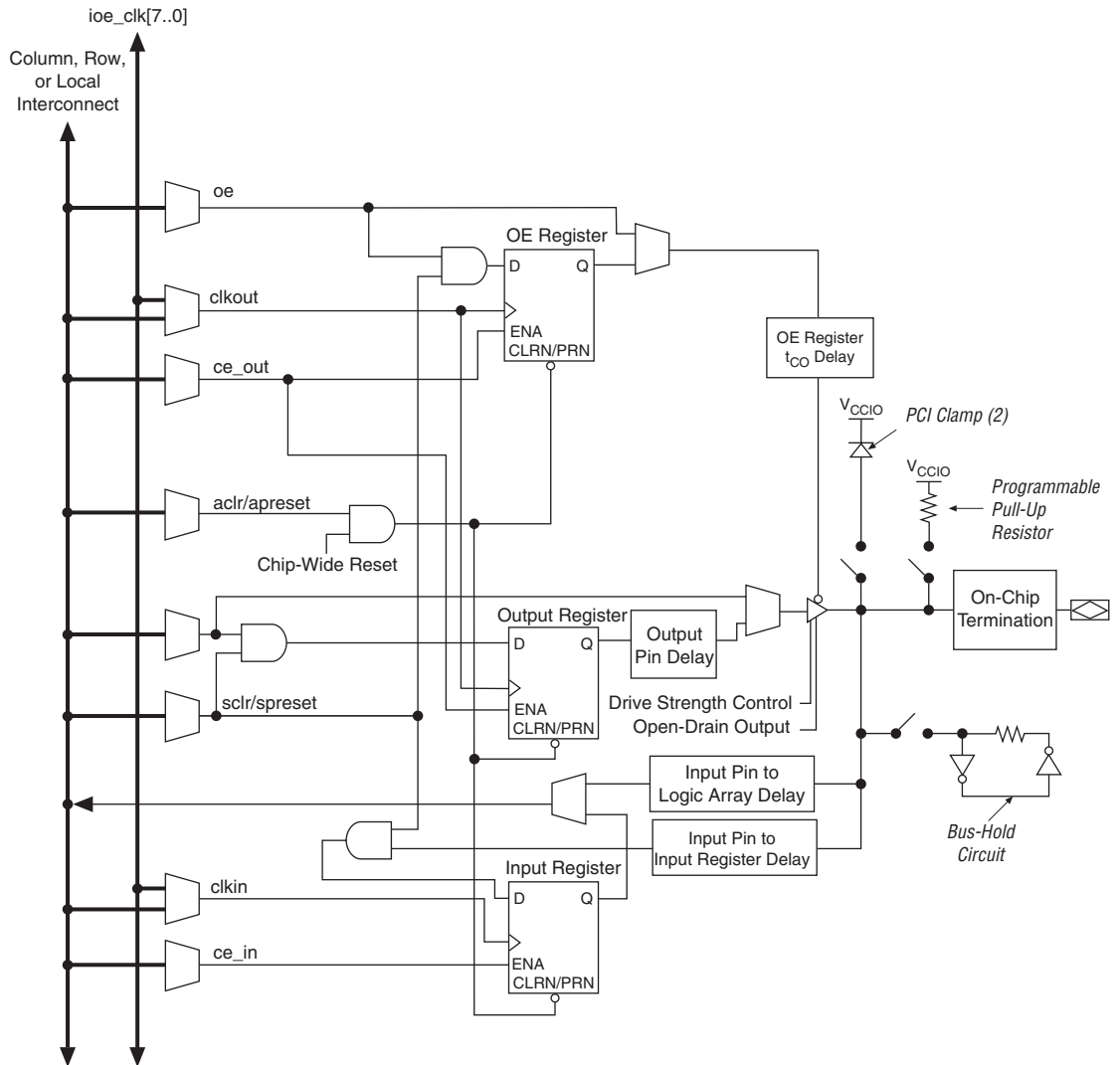


図 2-72 の注:

- (1) IOE に接続されるすべての入力信号は、IOE で反転できます。
- (2) オプションの PCI クランプはカラム I/O ピンでのみ使用可能です。

Arria GX デバイスの IOE には、入力 IOE レジスタからロジック・アレイ・レジスタへの転送、入力ピンからロジック・アレイ・レジスタへの転送、または出力 IOE レジスタからピンへの転送を確実に実現するためのプログラマブルな遅延機能が提供されています。

レジスタを直接ドライブするピンのパスに、0ns のホールド・タイムを確保するための遅延が必要になることがあります。組み合わせ回路のロジックを通じてレジスタをドライブするピンのパスに遅延が不要になる場合もあります。プログラマブルな遅延機能は、入力ピンからロジック・アレイおよび IOE 入力レジスタへの遅延を低下させるために存在します。Quartus II Compiler は、このような遅延をプログラムして、0 ns のホールド・タイムを維持しながら、セットアップ・タイムを自動的に最小限に抑えます。また、プログラマブルな遅延機能によって、出力レジスタおよび / または出力イネーブル・レジスタに関してレジスタからピンまでの遅延を増加させることもできます。プログラマブルな遅延は、ロジック・アレイ・レジスタから IOE レジスタへの転送用に 0ns のホールド・タイムを確保するには必要なくなりました。Quartus II Compiler は、これらの転送用に 0 ホールド・タイムを作成できます。表 2-22 に、Arria GX デバイスに対するプログラマブルな遅延機能を示します。

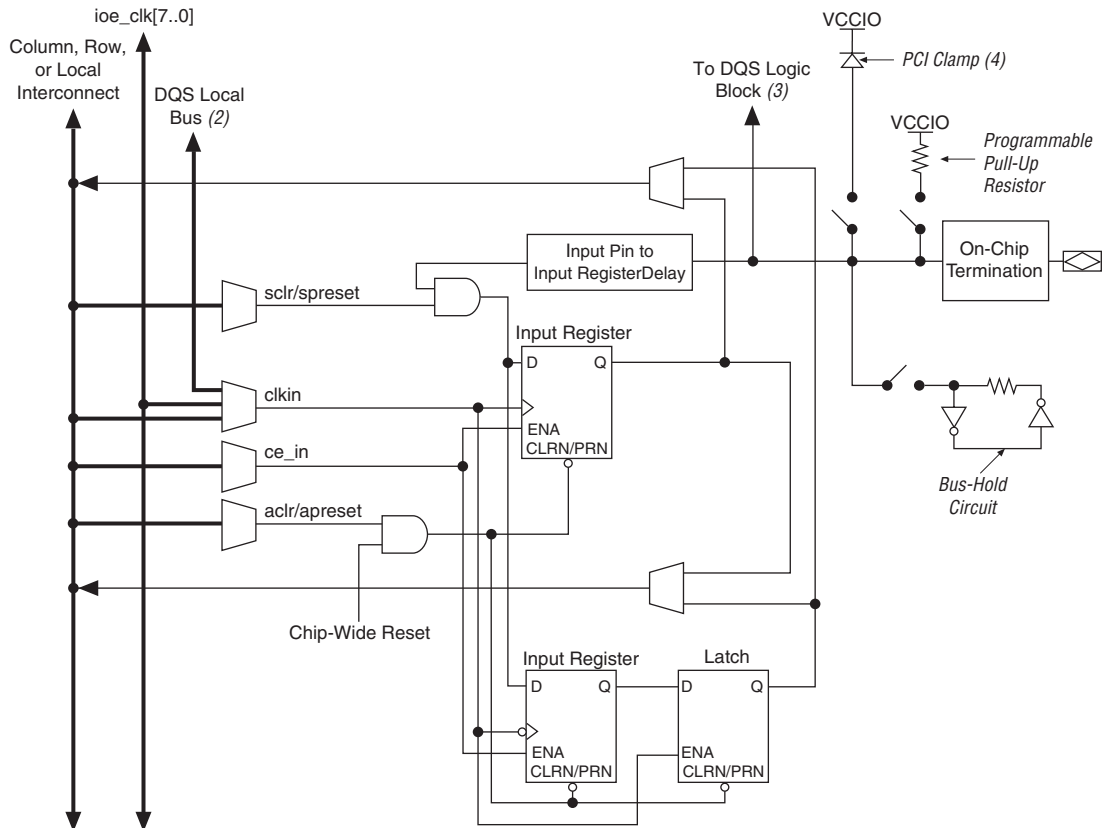
プログラマブル遅延	Quartus II ロジック・オプション
入力ピンからロジック・アレイまでの遅延	ピンから内部セルまでの入力遅延
入力ピンから入力レジスタまでの遅延	ピンから入力レジスタまでの入力遅延
出力ピン遅延	出力レジスタから出力ピンまでの遅延
出力イネーブル・レジスタ $t_{CO}$ 遅延	出力イネーブル・ピンまでの遅延

Arria GX デバイスの IOE レジスタは、クリアまたはプリセットで同じ信号ソースを共有します。ユーザーは、個々の IOE に対するプリセットまたはクリアをプログラムできます。また、コンフィギュレーション完了後の電源投入時に、レジスタの初期値を High または Low に設定することができます。電源投入後のレジスタの初期値が Low に設定された場合は、非同期クリア信号でレジスタをコントロールすることができます。High に設定された場合は、非同期プリセットでレジスタをコントロールすることができます。この機能により、電源投入時に別のデバイスへのアクティブ Low 入力信号による誤った起動を防止できます。IOE 内の 1 個のレジスタがプリセットまたはクリア信号を使用する場合、その IOE 内のすべてのレジスタはプリセットまたはクリアが必要であれば同じ信号を使用しなければなりません。さらに、ユーザーは IOE レジスタに同期リセット信号を使用できます。

## ダブル・データ・レート I/O ピン

Arria GX デバイスは IOE 内に 6 個のレジスタを内蔵し、正と負のクロック・エッジの両方でデータを記録することにより DDR のインタフェースをサポートします。Arria GX デバイスの IOE は、DDR 入力、DDR 出力、および双方向 DDR モードをサポートします。IOE を DDR 入力に使用する場合、2 個の入力レジスタは正と負の各エッジで交互にダブル・レートの入力データを記録します。DDR 入力を取得するために、IOE 内部では入力ラッチも使用されます。ラッチはクロックが High のときのデータを保持するため、データの両方のビットが同じクロック・エッジ（立ち上がりまたは立ち下がり）に同期できます。図 2-73 に、DDR 入力用に構成した IOE を示します。図 2-74 に、DDR の入力タイミング図を示します。

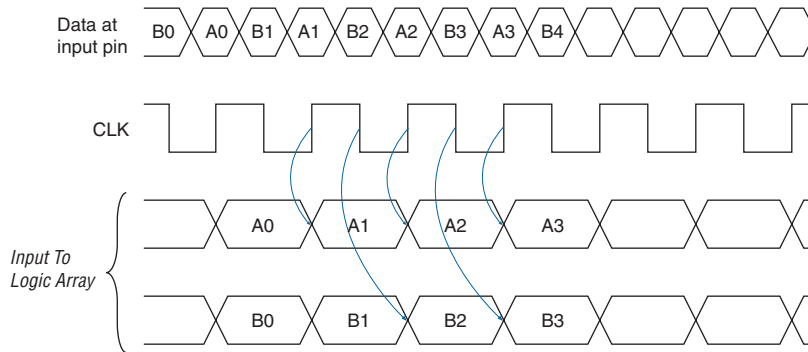
図 2-73. DDR 入力 I/O コンフィギュレーションの Arria GX IOE 注 (1)



## 図 2-73 の注:

- (1) IOE に接続されるすべての入力信号は、IOE で反転できます。
- (2) この信号接続は、専用の DQ ファンクション・ピンでのみ許容されます。
- (3) この信号は専用の DQS ファンクション・ピンにのみ使用されます。
- (4) オプションの PCI クランプはカラム I/O ピンでのみ使用可能です。

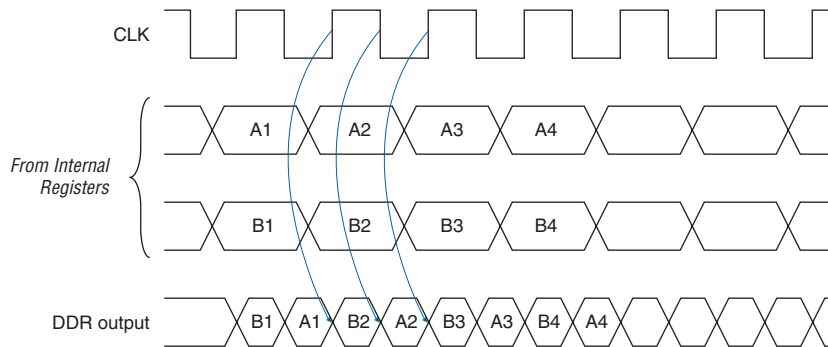
図 2-74. DDR モードでの入力のタイミング図



DDR 出力に IOE を使用する場合、2 個の出力レジスタは、クロック・エッジの立ち上がりにより ALM からの 2 つのデータ・パスが記録されるように構成されます。これらの出力レジスタはクロックによりマルチプレクサ化され、 $\times 2$  のレートで出力ピンをドライブします。1 つの出力レジスタはクロックが High のときに最初のビットを記録し、別の出力レジスタはクロックが Low の時に 2 番目のビットを記録します。図 2-75 に、DDR 出力用に構成された IOE を示します。図 2-76 には、DDR 出力のタイミング図を示します。



図 2-76. DDR モードでの出力のタイミング図



Arria GX の IOE は、DDR 入力コンフィギュレーションと DDR 出力コンフィギュレーションを組み合わせることにより、双方向 DDR モードで動作します。負のエッジで記録する OE レジスタは、DDR SDRAM タイミング要求に適合するために、クロックの立ち上がりエッジまで OE 信号を非アクティブに保持します。

### 外部 RAM のインタフェース

Arria GX デバイスは、各 IOE 内の 6 個の I/O レジスタに加えて、DDR、DDR2 SDRAM、および SDR SDRAM など、外部メモリ・インタフェースにインタフェースするための専用位相シフト回路も内蔵しています。すべての Arria GX デバイスにおいて、デバイスのトップの I/O バンク（バンク 3 と 4）およびボトムの I/O バンク（バンク 7 と 8）は、データ信号とデータ・ストロブ信号を  $\times 4$ 、 $\times 8/\times 9$ 、 $\times 16/\times 18$ 、または  $\times 32/\times 36$  の DQ バス・モードでサポートします。表 2-23 に、各デバイスでサポートされる DQ バスおよび DQS バスの数を示します。

表 2-23. DQS および DQ バス・モードのサポート（1 / 2）注 (1)

デバイス	パッケージ	$\times 4$ グループ数	$\times 8/\times 9$ モードの グループ数	$\times 16/\times 18$ モードの グループ数	$\times 32/\times 36$ モードの グループ数
EP1AGX20	484 ピン FineLine BGA	2	0	0	0
EP1AGX35	484 ピン FineLine BGA	2	0	0	0
	780 ピン FineLine BGA	18	8	4	0

表 2-23. DQS および DQ バス・モードのサポート (2 / 2) 注 (1)

デバイス	パッケージ	×4 グループ数	×8/×9 モードの グループ数	×16/×18 モードの グループ数	×32/×36 モードの グループ数
EP1AGX50/60	484 ピン FineLine BGA	2	0	0	0
	780 ピン FineLine BGA	18	8	4	0
	1,152 ピン FineLine BGA	36	18	8	4
EP1AGX90	1,152 ピン FineLine BGA	36	18	8	4

表 2-23 の注:

(1) 数値は暫定仕様です。

各 DQS ピンで補正される遅延エレメントは、自動的に入力 DQS 同期化信号を対応する DQ データ信号のデータ・ウィンドウに整合させます。DQS 信号は、トップおよびボトム I/O バンク内のローカル DQS バスをドライブします。この DQS バスは I/O クロックに対する追加リソースであり、DQ 入力レジスタを DQS 信号でクロックするのに使用されます。

Arria GX デバイスのトップおよびボトムに、位相シフト・リファレンス回路が 1 つずつ配置されています。トップの回路は、トップにあるすべての DQS ピンに対する補正遅延エレメントをコントロールします。ボトムの回路は、ボトムにあるすべての DQS ピンに対する補正遅延エレメントをコントロールします。

各位相シフト・リファレンス回路はシステム・リファレンス・クロックでドライブされます。システム・リファレンス・クロックの周波数は DQS 信号の周波数と同じでなければなりません。クロック・ピン CLK[15..12]p はデバイスのトップにある位相回路に供給され、クロック・ピン CLK[7..4]p はデバイスのボトムにある位相回路に供給されます。さらに、PLL クロック出力も位相シフト・リファレンス回路に供給することができます。図 2-77 に、位相シフト・リファレンス回路でのデバイスのトップにある各 DQS 遅延シフトのコントロールを示します。デバイスのボトムにもこれと同じ回路があります。

図 2-77. DQS 位相シフト回路 注 (1)、(2)

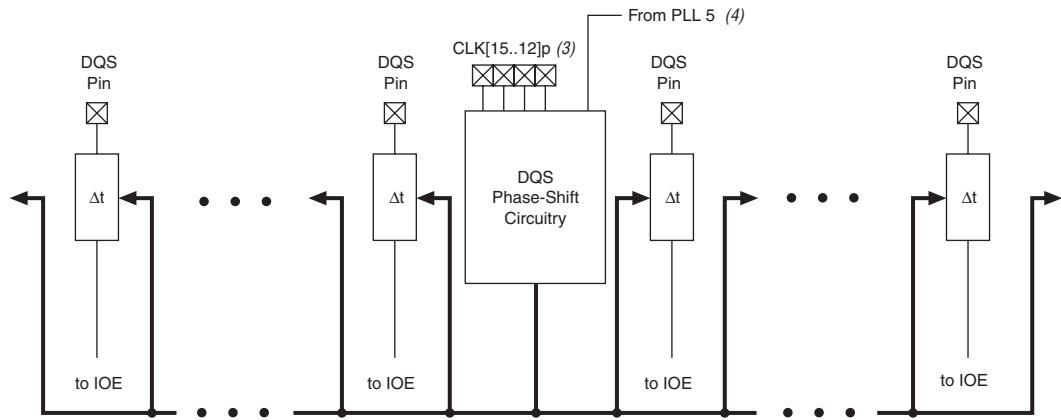


図 2-77 の注:

- (1) Arria GX デバイスのトップまたはボトムには、最大 18 ペアの使用可能な DQS ピンがあります。DQS 位相シフト回路の右側には最大 10 ペア、左側には最大 8 ペアあります。
- (2) “t” モジュールは DQS ロジック・ブロックを表します。
- (3) クロック・ピン CLK[15..12]p はデバイスのトップにある位相回路に供給され、クロック・ピン CLK[7..4]p はデバイスのボトムにある位相回路に供給されます。ユーザーは、PLL のクロック出力を位相シフト回路の基準クロックとして使用することもできます。
- (4) PLL5 はデバイスのトップにある DQS 位相シフト回路への供給にのみ、PLL6 はデバイスのボトムにある DQS 位相シフト回路への供給にのみ使用できます。

これらの専用回路を enhanced PLL のクロックおよび位相シフト機能と組み合わせることにより、高速メモリへのインタフェースに対する完全なハードウェア・ソリューションが実現されます。



外部メモリ・インタフェースについて詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの外部メモリ・インタフェース」の章を参照してください。

## プログラマブル・ドライブ強度

Arria GX デバイスの各 I/O ピンの出力バッファは、特定の I/O 規格に適合させるための、プログラマブルなドライブ強度コントロール機能が内蔵されています。LVTTTL、LVC MOS、SSTL、および HSTL 規格には、ユーザーがコントロール可能な複数レベルのドライブ強度があります。Quartus II ソフトウェアで使用されるデフォルト設定は、最大 I/O 性能を達成するために使用される最大電流強度の設定です。すべての I/O 規格について、最小設定は規格の  $I_{OH}/I_{OL}$  を保証する最低ドライブ強度です。最小設定を使用すると、信号のスルー・レート・コントロールにより、システム・ノイズや信号オーバーシュートが減少します。

表 2-24 に、I/O 規格で設定可能なドライブ強度のコントロールを示します。

I/O 規格	カラム I/O ピン に対する $I_{OH}/I_{OL}$ の 設定電流値 (mA)	ロウ I/O ピン に対する $I_{OH}/I_{OL}$ の 設定電流値 (mA)
3.3-V LVTTTL	24, 20, 16, 12, 8, 4	12, 8, 4
3.3-V LVCMOS	24, 20, 16, 12, 8, 4	8, 4
2.5-V LVTTTL/LVCMOS	16, 12, 8, 4	12, 8, 4
1.8-V LVTTTL/LVCMOS	12, 10, 8, 6, 4, 2	8, 6, 4, 2
1.5-V LVCMOS	8, 6, 4, 2	4, 2
SSTL-2 Class I	12, 8	12, 8
SSTL-2 Class II	24, 20, 16	16
SSTL-18 Class I	12, 10, 8, 6, 4	10, 8, 6, 4
SSTL-18 Class II	20, 18, 16, 8	—
HSTL-18 Class I	12, 10, 8, 6, 4	12, 10, 8, 6, 4
HSTL-18 Class II	20, 18, 16	—
HSTL-15 Class I	12, 10, 8, 6, 4	8, 6, 4
HSTL-15 Class II	20, 18, 16	—

表 2-24 の注：

- (1) Quartus II ソフトウェアのデフォルトの電流設定は、各 I/O 規格に対する最大設定になっています。

## オープン・ドレイン出力

Arria GX デバイスは、各 I/O ピンに対しオプションでオープン・ドレイン（オープン・コレクタと同等）出力を提供します。このオープン・ドレイン出力により、複数のデバイスのいずれかでアサートされるシステム・レベルのコントロール信号（インタラプト信号やライト・イネーブル信号など）を発信します。

## バス・ホールド

Arria GX デバイスの各 I/O ピンは、オプションでバス・ホールド機能を提供しています。バス・ホールド回路は、I/O ピンの信号を最後にドライブされた状態に保持します。バス・ホールド機能は、次の入力信号が現れるまで、最後にドライブされた状態にピンを保持するため、バスがトライ・ステートになったとき、信号レベルを保持するための外部プルアップまたはプルダウン抵抗が不要になります。

バス・ホールド回路は、ノイズによって高周波数スイッチングが予定外に発生しそうな場合、ドライブされていないピンを入力スレッショルド電圧から離します。この機能は、ユーザーが各 I/O ピンに対して個別に選択できます。バス・ホールド出力のドライブは  $V_{CCIO}$  を超えずに、信号のオーバードライブを防ぎます。バス・ホールド機能がイネーブルの場合、プログラマブル・プルアップ・オプションは使用することができません。I/O ピンが差動信号用にコンフィギュレーションされているときは、バス・ホールド機能をディセーブルにしてください。

バス・ホールド回路は、約  $7\text{ k}\Omega$  の公称抵抗値 (RBH) を持つ抵抗を使用して、信号レベルを最後にドライブされた状態に固定します。この情報は、各  $V_{CCIO}$  電圧レベルについて記載されています。バス・ホールド回路は、コンフィギュレーション完了後のみアクティブになります。ユーザー・モードに移行すると、バス・ホールド回路はコンフィギュレーションの終了時にピンに与えられた値をキャプチャします。



この抵抗を通してドライブされる特定の持続電流、および次にドライブされる入力レベルの識別に使用されるオーバードライブ電流については、「Arria-GX デバイス・ハンドブック Volume 1」の「**DC およびスイッチング特性**」の章を参照してください。

## プログラマブル・プルアップ抵抗

Arria GX デバイスの各 I/O ピンは、ユーザー・モードで使用されるプログラマブル・プルアップ抵抗をオプションで提供します。この機能を 1 本の I/O ピンに対してイネーブルにすると、プルアップ抵抗 (通常  $25\text{ k}\Omega$ ) は、出力ピンが存在するバンクの  $V_{CCIO}$  レベルに出力を保持します。

## I/O 規格のサポート

Arria GX デバイスの IOE は、次の I/O 規格をサポートしています。

- 3.3-V LVTTTL/LVCMOS
- 2.5-V LVTTTL/LVCMOS
- 1.8-V LVTTTL/LVCMOS
- 1.5-V LVCMOS
- 3.3-V PCI
- 3.3-V PCI-X mode 1
- LVDS
- LVPECL (入力 / 出力クロックのみ)
- 差動 1.5-V HSTL Class I および II
- 差動 1.8-V HSTL Class I および II
- 差動 SSTL-18 Class I および II
- 差動 SSTL-2 Class I および II

- 1.2-V HSTL Class I および II
- 1.5-V HSTL Class I および II
- 1.8-V HSTL Class I および II
- SSTL-2 Class I および II
- SSTL-18 Class I および II

表 2-25 に、Arria GX デバイスでサポートされる I/O 規格を表記します。

I/O 規格	タイプ	入力リファレンス電圧 ( $V_{REF}$ ) (V)	出力電源電圧 ( $V_{CCIO}$ ) (V)	ボード終端電圧 ( $V_{TT}$ ) (V)
LVTTTL	シングル・エンド	-	3.3	-
LVCMOS	シングル・エンド	-	3.3	-
2.5 V	シングル・エンド	-	2.5	-
1.8 V	シングル・エンド	-	1.8	-
1.5-V LVCMOS	シングル・エンド	-	1.5	-
3.3-V PCI	シングル・エンド	-	3.3	-
3.3-V PCI-X mode 1	シングル・エンド	-	3.3	-
LVDS	差動	-	2.5 (3)	-
LVPECL (1)	差動	-	3.3	-
HyperTransport テクノロジー	差動	-	2.5 (3)	-
差動 1.5-V HSTL Class I および II (2)	差動	0.75	1.5	0.75
差動 1.8-V HSTL Class I および II (2)	差動	0.90	1.8	0.90
差動 SSTL-18 Class I および II (2)	差動	0.90	1.8	0.90
差動 SSTL-2 Class I および II (2)	差動	1.25	2.5	1.25
1.2-V HSTL (4)	リファレンス電圧	0.6	1.2	0.6
1.5-V HSTL Class I および II	リファレンス電圧	0.75	1.5	0.75
1.8-V HSTL Class I および II	リファレンス電圧	0.9	1.8	0.9
SSTL-18 Class I および II	リファレンス電圧	0.90	1.8	0.90

表 2-25. Arria GX デバイスでサポートされる I/O 規格 (2 / 2)

I/O 規格	タイプ	入力リファレンス 電圧 ( $V_{REF}$ ) (V)	出力電源電圧 ( $V_{CCIO}$ ) (V)	ボード終端電圧 ( $V_{TT}$ ) (V)
SSTL-2 Class I および II	リファレンス電圧	1.25	2.5	1.25

表 2-25 の注:

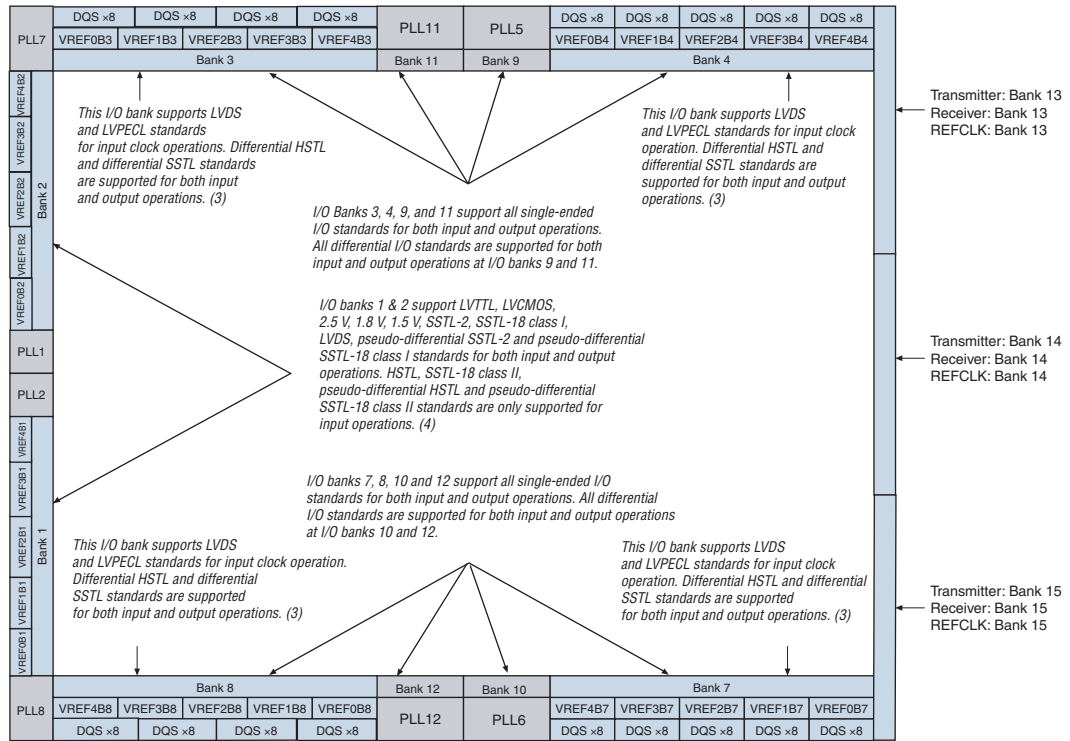
- (1) この I/O 規格は、入力および出力カラム・クロック・ピンでのみ利用できます。
- (2) この I/O 規格は、I/O バンク 3、4、7、および 8 の入力クロック・ピンおよび DQS ピン、また I/O バンク 9、10、11、および 12 の出力クロック・ピンでのみ使用可能です。
- (3) この I/O 規格を入力および出力カラム・クロック・ピン (I/O バンク 3、4、7、8、9、10、11、および 12) で使用する場合、 $V_{CCIO}$  は 3.3 V です。
- (4) 1.2-V HSTL は、I/O バンク 4、7、および 8 のみでサポートされます。



Arria GX の I/O バンクでサポートされる I/O 規格について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスで選択可能な I/O 規格」の章を参照してください。

図 2-78 に示すように、Arria GX デバイスは 6 個の I/O バンクと 4 個の enhanced PLL 外部クロック出力バンクを内蔵しています。デバイスの左側にある 2 個の I/O バンクには、LVDS 入力および出力のソース・シンクロナス高速差動 I/O をサポートする回路が含まれています。これらのバンクは、PCI ピンまたは PCI-X の I/O ピン、SSTL-18 Class II および HSTL 出力を除き、Arria GX が対応するすべての I/O 規格をサポートします。トップおよびボトム of I/O バンクは、すべてのシングル・エンド I/O 規格をサポートします。さらに、enhanced PLL 外部クロック出力バンクは、SSTL および HSTL に対する差動のサポートなど、クロック出力機能を可能にします。

図 2-78. Arria GX の I/O バンク 注 (1)、(2)



## 図 2-78 の注:

- (1) 図 2-78 はシリコン・ダイの上面図で、フリップチップ・パッケージの裏面図に相当します。これは参考図です。
- (2) 個々のデバイスの  $V_{REF}$  グループの数は、デバイスのサイズによって異なります。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。
- (3) バンク 9～12 は、enhanced PLL 外部クロック出力バンクです。
- (4) 水平方向の I/O バンクは、高速差動 I/O 規格のための SERDES および DPA 回路を搭載しています。差動 I/O 規格について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

各 I/O バンクには独自の  $V_{CCIO}$  ピンがあります。各バンクは異なる  $V_{CCIO}$  レベルを個別にサポートできるため、1 つのデバイスで、1.5 V、1.8 V、2.5 V、3.3 V のインタフェースをサポートすることができます。また、各バンクはリファレンス電圧を使用する規格 (SSTL-2 など) をサポートするための専用の VREF ピンも備えています。

各 I/O バンクは、入力および出力ピンに同じ  $V_{CCIO}$  を使用する複数の規格をサポートすることができます。各バンクがサポートできる  $V_{REF}$  電圧レベルは 1 種類です。例えば、 $V_{CCIO}$  が 3.3 V の場合、1 つのバンクで LVTTTL、LVCMOS、および 3.3 V PCI の入力と出力をサポートします。

## On-Chip Termination (チップ内終端)

Arria GX デバイスは、信号の反射を低減し、シグナル・インテグリティを維持するために、差動 (LVDS テクノロジーの I/O 規格の場合) および直列 On-Chip Termination を提供します。これらの On-Chip Termination 抵抗に対するキャリブレーションのサポートはありません。On-Chip Termination により必要な外部終端抵抗数が減るため、ボード設計が簡略化されます。終端はパッケージ内に配置できるため、反射を引き起こす原因となる小さなスタブが除去されます。

Arria GX デバイスは次の 2 種類の終端を提供します。

- 差動終端 ( $R_D$ )
- 直列終端 ( $R_S$ )

表 2-26 に、Arria GX での I/O バンクごとの On-Chip Termination のサポートを示します。

On-Chip Termination のサポート	I/O 規格のサポート	トップおよびボトム・バンク (3、4、7、8)	左側のバンク (1、2)
直列終端	3.3-V LVTTTL	√	√
	3.3-V LVCMOS	√	√
	2.5-V LVTTTL	√	√
	2.5-V LVCMOS	√	√
	1.8-V LVTTTL	√	√
	1.8-V LVCMOS	√	√
	1.5-V LVTTTL	√	√
	1.5-V LVCMOS	√	√
	SSTL-2 Class I および II	√	√
	SSTL-18 Class I	√	√
	SSTL-18 Class II	√	
	1.8-V HSTL Class I	√	√
	1.8-V HSTL Class II	√	
	1.5-V HSTL Class I	√	√
	1.2-V HSTL	√	
差動終端 (1)	LVDS		√
	HyperTransport テクノロジ		√

表 2-26 の注:

- (1) クロック・ピン (CLK1、CLK3) およびピン (FPLL[7..8]CLK) は、差動 On-Chip Termination をサポートしません。クロック・ピン (CLK0 および CLK2) は、差動 On-Chip Termination をサポートしません。トップおよびボトム・バンクのクロック・ピン (CLK[4..7, 12..15]) は、差動 On-Chip Termination をサポートしません。

### 差動 On-Chip Termination

Arria GX デバイスは、LVDS 規格用の入力レシーバ・バッファに対して、公称抵抗値 100Ω による差動 On-Chip Termination をサポートします。LVPECL 入力信号 (クロック・ピンでのみサポートされる) には、外部終端抵抗が必要です。「Arria GX デバイス・ハンドブック Volume 1」の

「DC およびスイッチング特性」の章の「高速 I/O 規格」の項に示すとおり、サポートされている差動データ・レートの全範囲で差動 On-Chip Termination がサポートされています。



差動 On-Chip Termination について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

差動 On-Chip Termination の精度の仕様について詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「DC & スwitching 特性」の章を参照してください。

### 直列 On-Chip Termination

Arria GX デバイスは、I/O ドライバに伝送ラインのインピーダンスと厳密にマッチングする制御された出力インピーダンスを提供するために、ドライバ・インピーダンス・マッチングをサポートしています。その結果、反射を大幅に低減できます。Arria GX デバイスは、標準  $R_0$  値が 25 および 50  $\Omega$  の、シングル・エンド I/O 規格向け直列 On-Chip Termination をサポートします。マッチング・インピーダンスが選択されると、電流ドライブ強度は選択不能になります。表 2-26 に、直列 On-Chip Termination をサポートする出力規格のリストを示します。



Arria GX デバイスがサポートする直列 On-Chip Termination について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスで選択可能な I/O 規格」の章を参照してください。



キャリブレーションなし On-Chip Termination の精度の仕様について詳しくは、「Arria GX デバイス・ハンドブック Volume 1」の「DC およびスイッチング特性」の章を参照してください。

### MultiVolt I/O インタフェース

Arria GX アーキテクチャは、MultiVolt I/O インタフェース機能をサポートしており、すべてのパッケージの Arria GX デバイスは電源電圧の異なるシステムとインタフェースすることができます。Arria GX の VCCINT ピンは、常に 1.2 V の電源に接続されている必要があります。VCCINT のレベルが 1.2 V のとき、入力ピンは 1.2 V、1.5 V、1.8 V、2.5 V、3.3 V を許容します。VCCIO ピンは要求される出力のレベルに応じて、1.2 V、1.5 V、1.8 V、2.5 V、3.3 V のいずれかの電源に接続することができます。出力レベルは電源と同じ電圧のシステムと互換性を持ちます（例えば、VCCIO ピンが 1.5 V 電源に接続されている場合、出力レベルは 1.5 V のシステムと互換性があります）。Arria GX の VCCPD 電源ピンは、

常に 3.3 V の電源に接続されている必要があります。これらの電源ピンは、出力バッファにプリドライバ電源を供給するために使用され、出力ピンの性能を強化します。VCCPD ピンは、コンフィギュレーション入力ピンおよび JTAG 入力ピンにも電源を供給します。

表 2-27 は、Arria GX の MultiVolt I/O サポートをまとめたものです。

V <sub>CCIO</sub> (V)	入力信号 (V)					出力信号 (V)					
	1.2	1.5	1.8	2.5	3.3	1.2	1.5	1.8	2.5	3.3	5.0
1.2	(4)	√	√	√	√	√					
1.5	(4)	√	√	√(2)	√(2)	√(3)	√				
1.8	(4)	√	√	√(2)	√(2)	√(3)	√(3)	√			
2.5	(4)			√	√	√(3)	√(3)	√(3)	√		
3.3	(4)			√	√	√(3)	√(3)	√(3)	√(3)	√	√

表 2-27 の注：

- (1) 入力を V<sub>CCIO</sub> より高く 4.0 V より低くドライブするには、PCI クランピング・ダイオードをディセーブルにし、Quartus II ソフトウェアの **Allow LVTTTL and LVCMOS input to overdrive input buffer** オプションを選択します。
- (2) ピン電流はデフォルト値よりもわずかに高くなる場合があります。駆動デバイスの V<sub>OL</sub> 最大電圧および V<sub>OH</sub> 最低電圧が、適用される Arria GX の V<sub>IL</sub> 最大電圧仕様および V<sub>IH</sub> 最小電圧仕様に違反していないことを検証する必要があります。
- (3) V<sub>CCIO</sub> は、Arria GX デバイスをドライブ・アウトするのに必要な電圧を規定しますが、入力の耐圧が V<sub>CCIO</sub> 値であれば、これと異なる電圧レベルの電源が供給される受信側デバイスも Arria GX デバイスにインタフェース可能です。
- (4) Arria GX デバイスは 1.2-V HSTL をサポートします。Arria GX デバイスは、1.2-V LVTTTL および 1.2-V LVCMOS をサポートしません。

TDO および nCEO ピンは、それらが存在するバンクの V<sub>CCIO</sub> で駆動されます。TDO は I/O バンク 4 にあり、nCEO は I/O バンク 7 にあります。接続されている任意の 2 本のピンの I/O バッファ用 V<sub>CC</sub> 電源は、同じ電圧レベルであることが理想的です。ただし、マスタ・デバイスの TDO ピンと nCEO ピンの V<sub>CCIO</sub> レベル、およびスレーブ・デバイスの V<sub>CCSEL</sub> で選択されるコンフィギュレーション電圧レベルによっては、そうならない場合もあります。マスタ・デバイスとスレーブ・デバイスは、チェーン内のどの場所にも配置できます。マスタは、スレーブ・デバイスに対して TDO または nCEO をドライブ・アウトしていることを示します。マルチ・デバイス・パッシブ・コンフィギュレーション方式の場合、マスタ・デバイスの nCEO ピンは、スレーブ・デバイスの nCE ピンをドライブします。スレーブ・デバイスの V<sub>CCSEL</sub> ピンは、nCE に使用される入力バッファを選択します。V<sub>CCSEL</sub> がロジック High のときには、V<sub>CCIO</sub>

でドライブされる 1.8 V/1.5 V バッファを選択します。V<sub>CCSEL</sub> がロジック Low のときには、V<sub>CCPD</sub> でドライブされる 3.3 V/2.5 V 入力バッファを選択します。理想的なケースは、マスタ・デバイスの nCEO バンクの V<sub>CCIO</sub> を接続されているスレーブ・デバイスの nCE 入力バッファに対する V<sub>CCSEL</sub> 設定に一致させることですが、アプリケーションによっては不可能な場合があります。

表 2-28 に、nCEO がすべての電源の組み合わせに対して、正常に nCE をドライブするためのボード・デザイン推奨事項を示します。

I/O バンク 3 にある nCE 入力バッファ電源	I/O バンク 7 における Arria GX nCEO V <sub>CCIO</sub> の電圧レベル				
	V <sub>CCIO</sub> = 3.3 V	V <sub>CCIO</sub> = 2.5 V	V <sub>CCIO</sub> = 1.8 V	V <sub>CCIO</sub> = 1.5 V	V <sub>CCIO</sub> = 1.2 V
V <sub>CCSEL</sub> が High (V <sub>CCIO</sub> バンク 3 = 1.5 V)	√(1)、(2)	√(3)、(4)	√(5)	√	√
V <sub>CCSEL</sub> が High (V <sub>CCIO</sub> バンク 3 = 1.8 V)	√(1)、(2)	√(3)、(4)	√	√	必要なレベル・シフト
V <sub>CCSEL</sub> が Low (nCE は V <sub>CCPD</sub> = 3.3 V でドライブ)	√	√(4)	√(6)	必要なレベル・シフト	必要なレベル・シフト

表 2-28 の注：

- (1) 入力バッファは 3.3 V を許容します。
- (2) nCEO 出力バッファは、V<sub>OH</sub> (MIN) = 2.4 V に適合します。
- (3) 入力バッファは 2.5 V を許容します。
- (4) nCEO 出力バッファは、V<sub>OH</sub> (MIN) = 2.0 V に適合します。
- (5) 入力バッファは 1.8 V を許容します。
- (6) 外部 250 Ω プルアップ抵抗は必須ではありませんが、ボードの信号レベルが最適でない場合は推奨されます。

JTAG チェインについては、最初のデバイスの TDO ピンはそのチェーン内の次のデバイスの TDI ピンをドライブします。入力 I/O セル (TCK、TMS、TDI、および TRST) の V<sub>CCSEL</sub> 入力、内部で GND に組み込まれており、V<sub>CCPD</sub> でドライブされる 3.3 V/2.5 V 入力バッファを選択します。理想的なケースは、最初のデバイスからの TDO バンクの V<sub>CCIO</sub> を次のデ

バイスの TDI に対する  $V_{CCSEL}$  設定に一致させることですが、アプリケーションによっては不可能な場合があります。表 2-29 に、適切な JTAG チェイン動作を実現するためのボード・デザイン推奨事項を示します。

デバイス	TDI 入力バッファ電源	I/O バンク 4 における Arria GX TDO $V_{CCIO}$ 電圧レベル				
		$V_{CCIO} = 3.3\text{ V}$	$V_{CCIO} = 2.5\text{ V}$	$V_{CCIO} = 1.8\text{ V}$	$V_{CCIO} = 1.5\text{ V}$	$V_{CCIO} = 1.2\text{ V}$
Arria GX	常に $V_{CCPD}$ (3.3 V)	√ (1)	√ (2)	√ (3)	必要なレベル・シフト	必要なレベル・シフト
Arria GX 以外	$VCC = 3.3\text{ V}$	√ (1)	√ (2)	√ (3)	必要なレベル・シフト	必要なレベル・シフト
	$VCC = 2.5\text{ V}$	√ (1), (4)	√ (2)	√ (3)	必要なレベル・シフト	必要なレベル・シフト
	$VCC = 1.8\text{ V}$	√ (1), (4)	√ (2), (5)	√	必要なレベル・シフト	必要なレベル・シフト
	$VCC = 1.5\text{ V}$	√ (1), (4)	√ (2), (5)	√ (6)	√	√

表 2-29 の注:

- (1) TDO 出力バッファは、 $V_{OH}(\text{MIN}) = 2.4\text{ V}$  に適合します。
- (2) TDO 出力バッファは、 $V_{OH}(\text{MIN}) = 2.0\text{ V}$  に適合します。
- (3) 外部  $250\ \Omega$  プルアップ抵抗は必須ではありませんが、ボードの信号レベルが最適でない場合は推奨されます。
- (4) 入力バッファは  $3.3\text{ V}$  を許容する必要があります。
- (5) 入力バッファは  $2.5\text{ V}$  を許容する必要があります。
- (6) 入力バッファは  $1.8\text{ V}$  を許容する必要があります。

## DPA サポート付き高速差動 I/O

Arria GX デバイスは、最大 840 Mbps の速度で差動規格をサポートする専用回路を内蔵しています。Arria GX デバイスでは、LVDS 差動 I/O 規格がサポートされています。さらに、LVPECL I/O 規格が、トップおよびボトム of the I/O バンクの入力および出力クロック・ピンでサポートされています。

高速差動 I/O 回路は、以下の高速 I/O インタコネクタ規格およびアプリケーションをサポートします。

- SPI-4 Phase 2 (POS-PHY Level 4)
- SFI-4
- Parallel RapidIO 規格

基準クロックを過倍し、I/O バンク 1 および 2 の高速差動 SERDES チャネルをドライブするために、EP1AGX20 および EP1AGX35 デバイスには 2 個の専用高速 PLL (PLL1 および PLL2) が、EP1AGX50、EP1AGX60、および EP1AGX90 デバイスには最大 4 個の専用高速 PLL (PLL1、PLL2、PLL7、PLL8) があります。

表 2-30 ~ 図 2-34 に、各 fast PLL がクロック可能な各 Arria GX デバイス内のチャネル数を示します。表 2-30 ~ 図 2-34 の、各トランスミッタまたはレシーバに対応する最初のロウには、各 fast PLL がドライブ可能な隣接する I/O バンク (I/O バンク 1 または I/O バンク 2) 内の最大チャネル数を示します。2 番目のロウには、各 fast PLL がドライブ可能な両方の I/O バンク (I/O バンク 1 および I/O バンク 2) 内の最大チャネル数を示します。例えば、780 ピン FineLine BGA EP1AGX20 デバイスでは、PLL1 は I/O バンク 2 内のトランスミッタ・チャネルを最大 16 本、または I/O バンク 1 および 2 内のトランスミッタ・チャネルを最大 29 本ドライブすることができます。さらに、Quartus II ソフトウェアは、レシーバがトランスミッタをドライブしているときに、レシーバ PLL とトランスミッタ PLL をマージすることができます。この場合、1 個の fast PLL が最大数のレシーバ・チャネルとトランスミッタ・チャネルをドライブできます。



詳細は、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの DPA を使用した高速差動 I/O インタフェース」の章の「差動ピン配置ガイドライン」の項を参照してください。

表 2-30. EP1AGX20 デバイスの差動チャネル 注 (1)

パッケージ	トランスミッタ / レシーバ	合計チャネル数	センター fast PLL	
			PLL1	PLL2
484 ピン FineLine BGA	トランスミッタ	29	16	13
			13	16
	レシーバ	31	17	14
			14	17
780 ピン FineLine BGA	トランスミッタ	29	16	13
			13	16
	レシーバ	31	17	14
			14	17

表 2-30 の注:

- (1) レシーバ・チャネルの総数は、オプションでデータ・チャネルとして利用可能な 4 本の専用ではないクロック・チャネルを含みます。

パッケージ	トランスミッタ / レシーバ	合計チャンネル数	センター fast PLL	
			PLL1	PLL2
484 ピン FineLine BGA	トランスミッタ	29	16	13
			13	16
	レシーバ	31	17	14
			14	17
780 ピン FineLine BGA	トランスミッタ	29	16	13
			13	16
	レシーバ	31	17	14
			14	17

表 2-31 の注:

- (1) レシーバ・チャンネルの総数は、オプションでデータ・チャンネルとして利用可能な 4 本の専用ではないクロック・チャンネルを含みます。

パッケージ	トランスミッタ / レシーバ	合計チャンネル数	センター fast PLL		コーナー fast PLL	
			PLL1	PLL2	PLL7	PLL8
484 ピン FineLine BGA	トランスミッタ	29	16	13	—	—
			13	16	—	—
	レシーバ	31	17	14	—	—
			14	17	—	—
780 ピン FineLine BGA	トランスミッタ	29	16	13	—	—
			13	16	—	—
	レシーバ	31	17	14	—	—
			14	17	—	—
1,152 ピン FineLine BGA	トランスミッタ	42	21	21	21	21
			21	21	—	—
	レシーバ	42	21	21	21	21
			21	21	—	—

表 2-32 の注:

- (1) レシーバ・チャンネルの総数は、オプションでデータ・チャンネルとして利用可能な 4 本の専用ではないクロック・チャンネルを含みます。

パッケージ	トランスミッタ / レシーバ	合計 チャンネル数	センター fast PLL		コーナー fast PLL	
			PLL1	PLL2	PLL7	PLL8
484 ピン FineLine BGA	トランスミッタ	29	16	13	—	—
			13	16	—	—
	レシーバ	31	17	14	—	—
			14	17	—	—
780 ピン FineLine BGA	トランスミッタ	29	16	13	—	—
			13	16	—	—
	レシーバ	31	17	14	—	—
			14	17	—	—
1,152 ピン FineLine BGA	トランスミッタ	42	21	21	21	21
			21	21	—	—
	レシーバ	42	21	21	21	21
			21	21	—	—

表 2-33 の注:

- (1) レシーバ・チャンネルの総数は、オプションでデータ・チャンネルとして利用可能な 4 本の専用ではないクロック・チャンネルを含みます。

パッケージ	トランスミッタ / レシーバ	合計 チャンネル数	センター fast PLL		コーナー fast PLL	
			PLL1	PLL2	PLL7	PLL8
1,152 ピン FineLine BGA	トランスミッタ	45	23	22	23	22
			22	23	—	—
	レシーバ	47	23	24	23	24
			24	23	—	—

表 2-34 の注:

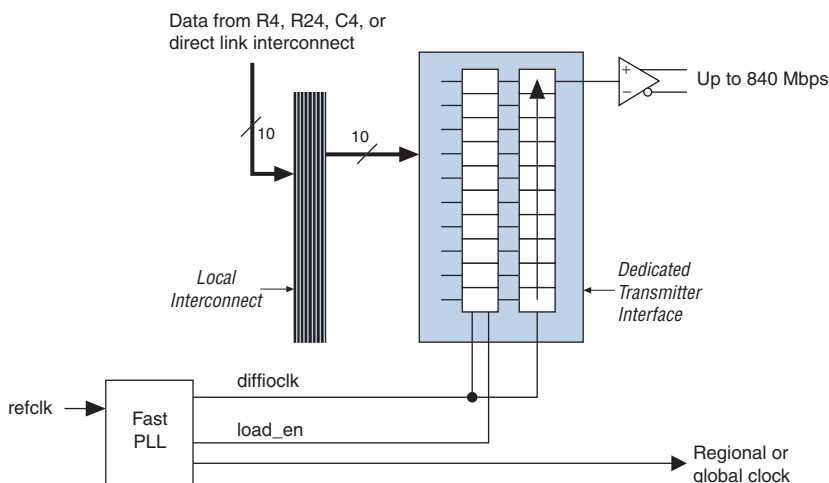
- (1) レシーバ・チャンネルの総数は、オプションでデータ・チャンネルとして利用可能な 4 本の専用ではないクロック・チャンネルを含みます。

## DPA サポート付き専用回路

Arria GX デバイスは、最大 840 Mbps までの、LVDS 信号とのソース同期インタフェースをサポートします。Arria GX デバイスは、低速または高速クロックでシリアル・チャンネルを送信または受信できます。

受信デバイスの PLL は、クロックを整数係数  $W$  ( $W = 1 \sim 32$ ) で通倍します。SERDES 係数  $J$  は、レシーバからパラレル変換されるか、トランスミッタ用にシリアル化されるパラレル・データ幅を決定します。SERDES 係数  $J$  は 4、5、6、7、8、9、または 10 に設定でき、PLL クロック通倍値  $W$  に等しくする必要はありません。ダイナミック・フェーズ・アライナを使用する設計ではさらに、これらの  $J$  係数値のすべてがサポートされます。 $J$  係数が 1 の場合、Arria GX デバイスは SERDES ブロックをバイパスします。 $J$  係数が 2 の場合、Arria GX デバイスは SERDES ブロックをバイパスし、DDR 入力レジスタおよび出力レジスタが IOE 内で使用されます。図 2-79 に、Arria GX トランスミッタ・チャンネルのブロック図を示します。

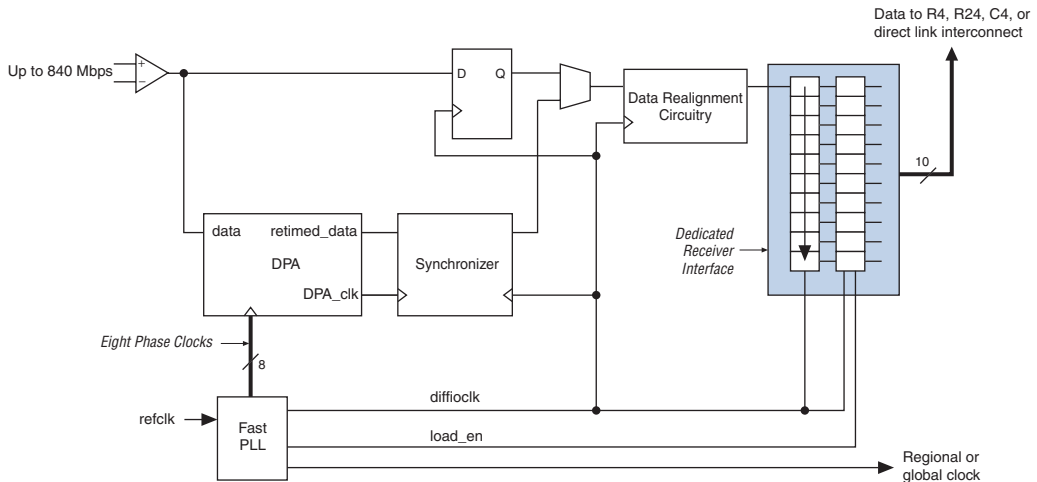
図 2-79. Arria GX のトランスミッタ・チャンネル



各 Arria GX レシーバ・チャンネルは、位相検出および選択用の DPA ブロック、SERDES、シンクロナイザ、およびデータ・リアライナ回路を備えています。チャンネルの基本的なソース同期動作に影響を及ぼすことなく、ダイナミック・フェーズ・アライナをバイパスすることができます。さらに、DPA ブロックを使用するか、ロジック・アレイからのコントロール信号によってブロックをバイパスするかをダイナミックに切り替えることができます。

図 2-80 に、Arria GX レシーバ・チャンネルのブロック図を示します。

図 2-80. Arria GX のレシーバ・チャンネル



外部ピンまたはグローバル・クロックあるいはリージョナル・クロックで fast PLL をドライブすることができます。これにより、最大3つのクロック（すなわち、SERDES ブロックおよび / または外部ピンをドライブする2つの乗算された高速クロックとロジック・アレイをドライブする低速クロック）を出力できます。さらに、 $V_{CO}$  からの8つの位相シフト・クロックを DPA 回路に供給することもできます。



fast PLL について詳しくは、「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの PLL」の章を参照してください。

fast PLL からの8つの位相シフト・クロックは、DPA ブロックに供給されます。DPA ブロックは、シリアル・データのアイの中心に最も近い位相を選択して、着信データをサンプリングします。これにより、ソース同期回路は、チャンネル間スキューやクロック・チャンネル間スキューに関係なく、着信データを正しくキャプチャすることができます。DPA ブロックはシリアル・データの位相に最も近い位相にロックします。位相調整済み DPA クロックは、シンクロナイザへのデータの書き込みに使用されます。

シンクロナイザは、DPA ブロックと、データ・リアライメントおよび SERDES 回路との間に配置されます。DPA ブロックを使用するすべてのチャンネルでは、データをサンプリングするために選択された位相が異な

る可能性があるので、データ・リアライメントおよび SERDES 回路の高速クロック・ドメインへのデータを同期するためにシンクロナイザが必要です。

POS-PHY 4 および Parallel RapidIO 規格などの高速ソース同期インターフェースでは、ソース同期クロック・レートはデータ・レートの倍数のバイト・レートまたは SERDES レートではありません。クロックはデータ・レートの 1/2 で、1/8 ではないため、ソース同期クロックはバイト境界またはワード境界を提供しません。このため、これらのプロトコルにはバイト・アラインメントが必要です。Arria GX デバイスの高速差動 I/O 回路は、ユーザー制御のバイト境界シフトを実現する専用データ・リアライメント回路を提供します。これによりデザインが単純化され、ALM リソースも節約されます。ユーザーは、ALM ベースのステート・マシンを使用して、バイト・アラインメントを示す特定のパターンが検出されるまで、レシーバのバイト境界をシフトさせるための信号を送ることができます。

### fast PLL およびチャネルのレイアウト

レシーバおよびトランスミッタ・チャネルは、デバイスの左側にある各 I/O バンクが 1 LAB ロウあたり 1 本のレシーバ・チャネルと 1 本のトランスミッタ・チャネルを持つようにインタリーブされます。図 2-81 に、EP1AGX20C、EP1AGX35C/D、EP1AGX50C/D、および EP1AGX60C/D 内の fast PLL およびチャネルのレイアウトを示します。図 2-82 に、EP1AGX60E および EP1AGX90E デバイスの高速 PLL およびチャネルのレイアウトを示します。

図 2-81. EP1AGX20C、EP1AGX35C/D、EP1AGX50C/D、EP1AGX60C/D デバイス内の fast PLL およびチャンネルのレイアウト 注 (1)

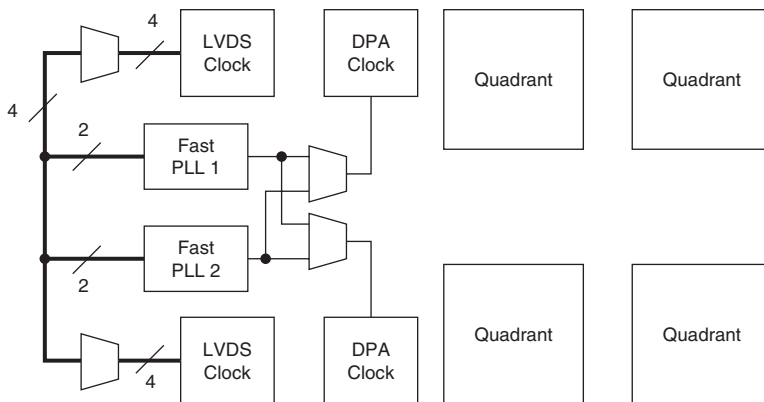


図 2-81 の注:

(1) 各デバイスがサポートするチャンネル数については、表 2-30 を参照してください。

図 2-82. EP1AGX60E および EP1AGX90E デバイス内の fast PLL およびチャンネルのレイアウト 注 (1)

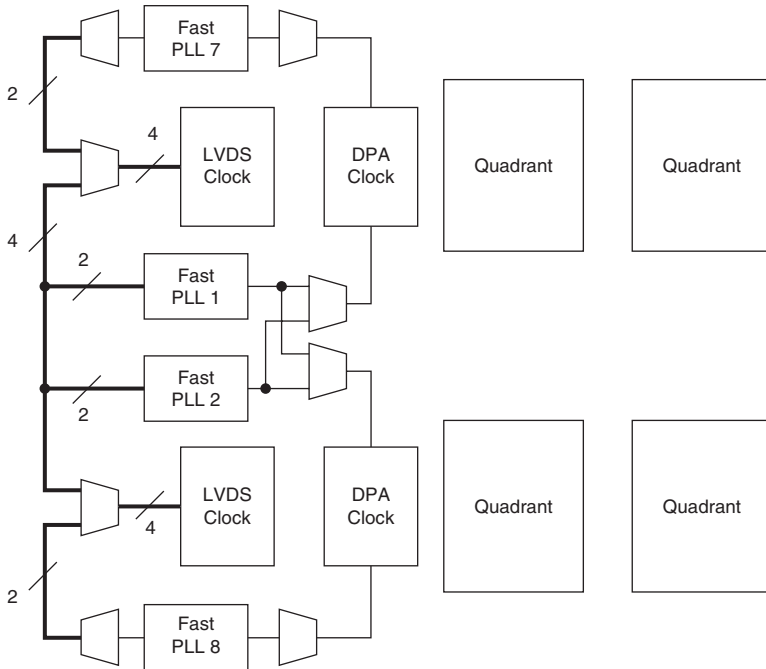


図 2-82 の注:

(1) 各デバイスがサポートするチャンネル数については、表 2-30 から図 2-34 を参照してください。

## 参考資料

この章では以下のドキュメントを参照しています。

- 「Arria GX トランシーバ・アーキテクチャ」の章 (Arria GX デバイス・ハンドブック Volume 2)
- 「Arria GX Transceiver Protocol Support and Additional Features」の章 (Arria GX デバイス・ハンドブック Volume 2)
- 「DC およびスイッチング特性」の章 (Arria GX デバイス・ハンドブック Volume 1)
- 「Arria GX デバイスの PLL」の章 (Arria GX デバイス・ハンドブック Volume 2)
- 「Arria GX デバイスの外部メモリ・インタフェース」の章 (Arria GX デバイス・ハンドブック Volume 2)
- 「Arria GX デバイスの DPA を使用した高速差動 I/O インタフェース」の章 (Arria GX デバイス・ハンドブック Volume 2)

- 「Arria GX デバイス・ハンドブック Volume 2」の「Arria GX デバイスの PLL」の章
- 「Arria GX デバイスで選択可能な I/O 規格」の章（Arria GX デバイス・ハンドブック Volume 2）
- 「仕様および追加情報」の章（Arria GX デバイス・ハンドブック Volume 2）
- 「Arria GX デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章（Arria GX デバイス・ハンドブック Volume 2）

## 改訂履歴

表 2-35 に、本資料の改訂履歴を示します。

日付およびドキュメント・バージョン	変更内容	概要
2008 年 5 月 v1.3	「リバース・シリアル Pre-CDR ループバック」および「キャリブレーション・ブロック」を「トランスミッタ・パス」の項に追加。	—
2007 年 8 月 v1.2	「参考資料」の項を追加。	—
2007 年 6 月 v1.1	GIGE 情報を追加。	—
2008 年 5 月 v1.0	初版	—