

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

はじめに

Arria™ GX ファミリは、プロトコルに最適化されたシリアル・トランシーバと信頼性の高いパッケージ技術および実証されたロジック・アレイを組み合わせています。Arria GX デバイスは、PCI Express および Serial RapidIO プロトコルをサポートするよう最適に設計されたクロック / データ・リカバリ (CDR) テクノロジとエンベデッド SERDES 回路を内蔵した 4 ~ 12 本の高速トランシーバ・チャネルを搭載しています。トランシーバは、Stratix® II GX ファミリの成功を基に構築され、ブリッジおよびエンドポイント・アプリケーションを簡単かつ効率的に実装するように最適化されています。Arria GX FPGA テクノロジは、これらの主流プロトコルをサポートするのに必要な、適正な性能レベルと依存性を備えた 1.2 V ロジック・アレイを提供します。

特長

Arria GX の主な特長を示します。

- トランシーバ・ブロックの特長
 - クロック / データ・リカバリのサポートを備えた高速シリアル・トランシーバ・チャネル
 - 4、8、または 12 本の高速全二重シリアル・トランシーバ・チャネルを搭載したデバイス
 - CDR ベースのバス規格をサポート - PCI Express および Serial RapidIO
 - 非動作時に消費電力を低減するための個別トランスミッタ・チャネルおよびレシーバ・チャネル・パワーダウン機能を内蔵
 - トランスミッタ出力バッファの 1.2 V および 1.5 V の PCML (Pseudo Current Mode Logic) のサポート
 - 信号喪失を示すレシーバ・インジケータ (PCI Express (PIPE) モードのみ)
 - 外部デバイスを使用せずに、ホット・プラグインまたはホット・スワップおよびパワー・シーケンスをサポートするホット・ソケット (活線挿抜) 機能
 - 8 ビットから 10 ビットへのエンコーディングおよび 10 ビットから 8 ビットへのデコーディングを実行する 8B/10B エンコーダ / デコーダ
 - トランシーバ・ブロックとロジック・アレイ間のクロック・ドメイン変換を実行する位相補償 FIFO バッファ
- デバイスの主な特長
 - 3 種類の RAM ブロック・サイズで構成される TriMatrix™ メモリにより、最大 380 MHz のパフォーマンスでトゥルー・デュア

- ル・ポート・メモリおよび FIFO (First-In First-Out) バッファを実現
- デバイスあたり 32 のリージョナル・クロック・ネットワークを備えた最大 16 のグローバル・クロック・ネットワーク
 - 高速 DSP ブロックにより、乗算器、積和ファンクション、および有限インパルス応答 (FIR) フィルタを実装した専用ファンクションを提供
 - デバイスあたり最大 4 個の enhanced PLL により、スペクトラム拡散、プログラマブル帯域幅、クロック・スイッチオーバ、および高度な通倍と位相シフトを提供
 - 多数のシングル・エンドおよび差動 I/O 規格をサポート
 - 最大 47 チャンネルでの高速ソース・シンクロナス差動 I/O サポート
 - SPI-4 Phase 2 (POS-PHY Level 4)、SFI-4.1、XSBI、UTOPIA IV、NPSI、および CSIX-L1 などのソース・シンクロナス標準バス規格をサポート
 - ダブル・データ・レート (DDR および DDR2) SDRAM、シングル・データ・レート (SDR) SDRAM などの高速外部メモリをサポート
 - アルテラの MegaCore® ファンクションおよび AMPPSM (Altera Megafunction Partners Program) の多数の IP (Intellectual Property) メガファンクションをサポート

表 1-1 に、フリップチップ・パッケージの FineLine BGA® (FBGA) で提供されている Arria GX デバイスの一覧を示します。

表 1-1. Arria GX デバイス一覧 (1 / 2)									
特長	EP1AGX 20C	EP1AGX35C/D		EP1AGX50C/D		EP1AGX60C/D/E			EP1AGX 90E
	C	C	D	C	D	C	D	E	E
パッケージ	484 ピン、780 ピン (フリップチップ)	484 ピン (フリップチップ)	780 ピン (フリップチップ)	484 ピン (フリップチップ)	780 ピン、1152 ピン (フリップチップ)	484 ピン (フリップチップ)	780 ピン (フリップチップ)	1152 ピン (フリップチップ)	1152 ピン (フリップチップ)
ALM 数	8,632	13,408		20,064		24,040			36,088
等価 LE 数	21,580	33,520		50,160		60,100			90,220
トランシーバ・チャンネル数	4	4	8	4	8	4	8	12	12
トランシーバ・データ・レート	1.25Gbps、2.5Gbps	1.25Gbps、2.5Gbps		1.25Gbps、2.5Gbps		1.25Gbps、2.5Gbps			1.25Gbps、2.5Gbps

特長	EP1AGX 20C	EP1AGX35C/D		EP1AGX50C/D		EP1AGX60C/D/E			EP1AGX 90E
	C	C	D	C	D	C	D	E	E
ソース・シンクロナス受信チャンネル数	31	31	31	31	31, 42	31	31	42	47
ソース・シンクロナス送信チャンネル数	29	29	29	29	29, 42	29	29	42	45
M512RAM ブロック数 (32×18ビット)	166	197		313		326			478
M4K RAM ブロック数(128 × 36 ビット)	118	140		242		252			400
M-RAM ブロック数 (4096×144 ビット)	1	1		2		2			4
トータル RAM ビット数	1,229,184	1,348,416		2,475,072		2,528,640			4,477,824
エンベデッド 乗算器数 (18×18)	40	56		104		128			176
DSP ブロック数	10	14		26		32			44
PLL 数	4	4		4	4, 8	4		8	8
最大ユーザ I/O ピン数	230, 341	230	341	229	350, 514	229	350	514	538

Arria GX デバイスは、実装スペースを節減する FPGA パッケージで提供されています (表 1-2 を参照)。すべての Arria GX デバイスは、同一のパッケージにおけるパーティカル・マイグレーションをサポートしています。これにより、同一パッケージならば、専用ピン、コンフィギュレーション・ピン、および電源ピンのボード上のレイアウトを変更することなく、異なるデバイス間でマイグレーションできます。I/O ピンのマイグレーションでは、I/O ピンがマイグレーション可能かを確認するために所定のパッケージ・タイプのすべての集積度でデバイスのピン配置出力を利用して使用可能な I/O ピンを照合させる必要があります。

表 1-2. Arria GX パッケージ・オプション (ピン数およびトランシーバ・チャンネル)						
デバイス	トランシーバ・チャンネル数	ソース・シンクロナス・チャンネル数		最大ユーザ I/O ピン数		
		受信	送信	484 ピン FBGA (23mm)	780 ピン FBGA (29mm)	1,152 ピン FBGA (35mm)
EP1AGX20C	4	31	29	230	341	—
EP1AGX35C	4	31	29	230	—	—
EP1AGX50C	4	31	29	229	—	—
EP1AGX60C	4	31	29	229	—	—
EP1AGX35D	8	31	29	—	341	—
EP1AGX50D	8	31, 42	29, 42	—	350	514
EP1AGX60D	8	31	29	—	350	—
EP1AGX60E	12	42	42	—	—	514
EP1AGX90E	12	47	45	—	—	538

表 1-3 に Arria GX デバイスのパッケージ・サイズを示します。

表 1-3. Arria GX の FBGA パッケージ・サイズ			
寸法	484 ピン	780 ピン	1,152 ピン
ピッチ (mm)	1.00	1.00	1.00
面積 (mm ²)	529	841	1225
長さ × 幅 (mm × mm)	23 × 23	29 × 29	35 × 35

改訂履歴

表 1-4 に、本資料の改訂履歴を示します。

表 1-4. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 5 月、v1.0	初版	—

