

Includes
MAX 9000A

MAX 9000

プログラマブル・ロジック・
デバイス・ファミリ

1998年 2月 ver.5.01

Data Sheet

特長

- 第3世代のMultiple Array Matrix(MAX[®])アーキテクチャを採用したCMOS EEPROMベースの高性能プログラマブル・ロジック・デバイス(PLD)
- 内蔵のJoint Test Action Group(JTAG)インタフェースを使用した5.0-Vのインシステム・プログラマビリティ(ISP)機能
- IEEE Std. 1149.1-1990に準拠したバウンダリ・スキャン・テスト(BST)回路を内蔵
- 6,000ユーザブル・ゲートから12,000ユーザブル・ゲートまでの高集積イレーザブル・プログラマブル・ロジック・デバイス(EPLD)ファミリ(表1参照)
- 7.5nsのピン間遅延、最高178MHzのカウンタ動作周波数の高速性能(-7のスピード・グレードの製品を開発中)
- PCI(Peripheral Component Interconnect)仕様に準拠した-7、-10のスピード・グレード
- 組み合わせ回路とレジスタ付き回路の双方を出力できるデュアル出力構造のマクロセル
- 連続した配線構造のFastTrack[™]インタコネクトにより、高速で遅延予測の可能な配線を実現
- すべてのI/Oピンで、クリアとクロック・イネーブル機能付きの入出力レジスタが使用可能
- スイッチング・ノイズを低減するプログラマブルな出力スルー・レート・コントロール機能
- MultiVolt[™]I/Oインタフェース動作により、3.3-Vおよび5.0-Vデバイスとのインタフェースが可能
- コンフィギュラブルなエキスパンダ・プロダクト・タームにより、マクロセルあたり最大32本のプロダクト・タームが使用可能
- 各マクロセルごとに消費電力を50%以上節減できるプログラマブルなパワー・セービング・モード

表1 MAX 9000デバイスの特長

特長	EPM9320 EPM9320A	EPM9400	EPM9480 EPM9480A	EPM9560 EPM9560A
ユーザブル・ゲート数	6,000	8,000	10,000	12,000
フリップフロップ数	484	580	676	772
マクロセル数	320	400	480	560
ロジック・アレイ・ブロック数	20	25	30	35
最大ユーザI/Oピン数	168	159	175	216
t _{PD1} (ns)	7.5/10	15	10	10
t _{FSU} (ns)	3.0	5	3.0	3.0
t _{FCO} (ns)	4.5	7	4.8	4.8
f _{CNT} (MHz)	178	118	154	154

さらに多くの 特長...

- クリア、プリセット、クロック、クロック・イネーブル・コントロールが個別に設定可能なプログラマブル・マクロセル・フリップフロップ
- デザイン全体の機密を保持できるプログラマブル・セキュリティ・ビット
- 486およびペンティアム・ベースのPC、およびSun SPARCstation HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作するアルテラのMAX+PLUS® II 開発システムによるソフトウェア・デザイン・サポートと自動配置配線
- EDIF 2.0および3.0 ネットリスト・ファイル、LPM (Library of Parameterized Modules)、Verilog HDL、VHDLおよび他のインタフェースにより、ケイデンス、エグゼンプラー・ロジック、メンター・グラフィックス、OrCAD、シノプシス、シンプリシティ、ペリベストなどのポピュラーなEDAツールを使用したデザイン・エントリとシミュレーションをサポート
- アルテラのマスタ・プログラミング・ユニット (MPU)、BitBlaster™ シリアル・ダウンロード・ケーブル、ByteBlaster™ パラレル・ポート・ダウンロード・ケーブル、およびパーティのベンダから供給されるプログラミング・ハードウェアによるプログラミング・サポート
- 84ピンから356ピンまでの豊富なパッケージ・オプションを提供 (表2を参照)

表2 MAX 9000のパッケージ・オプションとI/Oピン数 注(1)、(2)

デバイス	84-Pin PLCC	208-Pin RQFP	240-Pin RQFP	280-Pin PGA	304-Pin RQFP	356-Pin BGA
EPM9320	60 (3)	132	–	168	–	168
EPM9320A	60 (3)	132	–	–	–	168
EPM9400	59 (3)	139	159	–	–	–
EPM9480	–	146	175	–	–	–
EPM9480A	–	146	175	–	–	–
EPM9560	–	153	191	216	216	216
EPM9560A	–	153	191	–	–	216

注：

- (1) MAX 9000デバイスには、プラスチック・J-リード・チップ・キャリア (PLCC)、パワー・クワッド・フラット・バック (RQFP)、セラミック・ピン・グリッド・アレイ (PGA)、ボール・グリッド・アレイ (BGA) のパッケージが提供されています。
- (2) 各デバイスの供給状況については、日本アルテラまたは販売代理店へお問い合わせ下さい。EPM9320A、EPM9480A、EPM9560Aの各デバイスに関する情報は暫定仕様です。
- (3) このパッケージを使用する場合は、熱特性に関する検討を十分に行ってください。さらに詳細については、アルテラのアプリケーション・ノート、AN 74「Evaluating Power for Altera Devices」(日本語版「アルテラ・デバイスの消費電力評価方法」)をご覧ください。

概要

MAX 9000ファミリはインシステム・プログラマビリティ機能を持った高集積で高性能なEPLDであり、アルテラの開発した第3世代のMAXアーキテクチャによって構成されています。最先端のCMOSテクノロジーによるEEPROMをベースにしたMAX 9000ファミリは、6,000から12,000ユーザブル・ゲートの高い集積度と、最大7.5nsのピン間遅延時間と最高178MHzのカウンタ動作周波数の高い性能を提供します。MAX 9000ファミリに提供されている-7、-10のスピード・グレードのデバイスは、PCIローカル・バスのRevision 2.1の仕様に準拠しています。表3はMAX 9000ファミリで現在、供給されている各スピード・グレードを示したものです。

デバイス	スピード・グレード			
	-7 注(1)	-10	-15	-20
EPM9320			√	√
EPM9320A	√ (2)	√ (2)	√ (2)	
EPM9400			√	√
EPM9480			√	√
EPM9480A		√ (2)	√ (2)	
EPM9560			√	√
EPM9560A		√ (2)	√ (2)	

注：

- (1) -7のスピード・グレードの製品は現在開発中です。
- (2) これは暫定仕様です。各スピード・グレードの供給状況については、日本アルテラまたは販売代理店へお問い合わせ下さい。

表4は、MAX 9000で代表的な回路機能を実現したときの性能を示したものです。

アプリケーション	使用 マクロセル数	スピード・グレード				単位
		-7 (2)、(3)	-10 (2)	-15	-20	
16ビット・ローダブル・カウンタ	16	178	144	118	100	MHz
16ビット・アップ/ダウン・カウンタ	16	178	144	118	100	MHz
16ビット・プリスケールド・カウンタ	16	178	144	118	100	MHz
16ビット・アドレス・デコーダ	1	4.4 (7.5)	5.6 (10)	7.9 (15)	10 (20)	ns
16対1マルチプレクサ	1	5.8 (9.3)	7.7 (12.1)	10.9 (18)	16 (26)	ns

注：

- (1) 内部のロジック・アレイ・ブロック (LAB) の性能を示しています。カッコ内の数字はロウ側の入力ピンからロウ側のI/Oピンまでの外部遅延時間を示したものです。
- (2) これは暫定仕様です。
- (3) -7のスピード・グレードの製品は現在開発中です。

MAX 9000のアーキテクチャはシステム・レベルの論理機能の高集積化を可能にしています。MAX 9000ファミリのデバイスはPAL、GAL、22V10のようなデバイスから、フィールド・プログラマブル・ゲート・アレイ (FPGA) やイレーザブル・プログラマブル・ロジック・デバイス (EPLD) に至るまでの複数のプログラマブル・ロジック・デバイスを簡単に集積化することができます。また、MAX 9000は通常、よく使用されているマスクド・ゲートアレイに匹敵するスピード、集積度、そしてI/O数を持っており、ゲートアレイのプロトタイプとしても理想的なデバイスとなっています。

MAX 9000デバイスのすべてのパッケージには、グローバルなコントロールとして使用できる大きなファン・アウトを持った4本の専用入力提供されています。各I/Oピンにはデバイスの周辺に配置されたクロック・イネーブル機能付きのI/Oセル・レジスタが使用できます。これらのレジスタが出力として使用された場合は高速の「Clock-to-Output」タイムが提供され、入力として使用された場合には高速のセットアップ・タイムが提供されます。

MAX 9000デバイスには、5.0-Vのインシステム・プログラマビリティ (ISP) 機能が提供されています。この機能を活用することによって、デバイスをプリント基板 (PCB) 上に実装したままプログラム、およびリプログラムすることが可能となるため、デザインの開発およびデバッグのサイクルを短時間にまた効率的に繰り返し行うことができます。MAX 9000デバイスは100回のプログラムとイレーズ・サイクルを保証しています。

MAX 9000 EPLDは320個から560個のマクロセルを内蔵しており、各マクロセルは16個単位でロジック・アレイ・ブロック (LAB) と呼ばれる1つのグループを構成しています。各マクロセルは、プログラマブルなANDアレイと固定のORアレイ、そしてクロック、クロック・イネーブル、クリア、プリセットの各機能が個別に設定できるコンフィギュラブル・レジスタを持っています。また、さらに柔軟性の高い論理が実現できるようにするため、各マクロセルはレジスタと内部のプロダクト・タームをそれぞれ独立して使用できるデュアル出力構造となっています。この特長により、多数のレジスタを必要とし、さらに組み合わせ出力も多数使用されるデザインを効率的に実現することができます。MAX 9000のマクロセルが提供するこのデュアル出力構造はロジックの使用効率を改善し、結果的にデバイスの有効ゲート数を増加させます。複雑な論理機能を実現するため、各マクロセルにはシェアラブル・エキスパンダ・プロダクト・タームと高速のパラレル・エキスパンダ・プロダクト・タームが提供されており、マクロセルあたり最大32本までのプロダクト・タームが使用可能となっています。

MAX 9000にはプログラマブルにスピードと消費電力の関係を最適化できる機能が提供されています。デザイン内でスピードがクリティカルとなる部分を最高のスピードとフル・パワーで動作させながら、残りの回路部分を低速のロー・パワー・モードで動作させることができます。このスピードと消費電力を最適化する機能を使用することによって、ユーザは一定の遅延時間を追加するだけで1個または複数のマクロセルを50%、またはそれ以下の低い消費電力で動作させることができます。また、MAX 9000デ

バイスには出力バッファのスルー・レートを低下させるためのオプションが提供されており、スピードがクリティカルでない信号がスイッチングするときに発生するノイズを最小に抑えることができます。MAX 9000デバイスはMultiVoltインタフェース機能を提供しているため、複数の電源電圧を持ったシステムで出力ドライバが3.3-Vあるいは5.0-Vのいずれかの電源で動作するように設定することができます。

MAX 9000ファミリのデザインはアルテラのMAX+PLUS II開発システムによってサポートされています。MAX+PLUS IIは、VHDL、Verilog HDL、およびアルテラ・ハードウェア記述言語 (AHDL) を含むテキスト入力、波形入力、コンパイルーション、論理合成、シミュレーション、タイミング解析、デバイス・プログラミングなどの機能が1つのパッケージに統合化されています。また、MAX+PLUS IIはPCおよびUNIXワークステーション上で動作する業界標準のEDAツールを使用したデザイン入力とシミュレーションをサポートするため、EDIF2 0 0と3 0 0、LPMなどのインタフェースも提供しています。MAX+PLUS IIは、486またはペンティアム・ベースのPC、およびSun SPARCstation HP 9000シリーズ700/800、IBM RISC System6000の各ワークステーション上で動作します。



プログラマブル・ロジック開発ツールに関する詳しい情報については、「MAX+PLUS II Programmable Logic Development System & Software」のデータシートを参照してください。

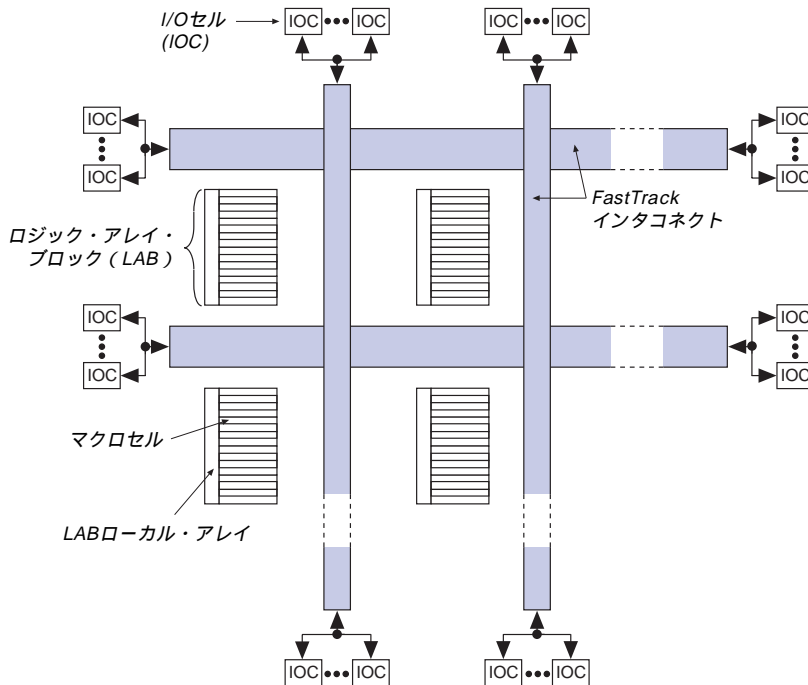
機能の説明

MAX 9000デバイスは、ほとんどのアプリケーションに対して高い性能と内部リソースの高い使用効率を実現する第3世代のMAXアーキテクチャを採用しています。MAX 9000のアーキテクチャは次の各エレメントによって構成されています。

- ロジック・アレイ・ブロック
- マクロセル
- エクスパンダ・プロダクト・ターム (シェアラブルおよびパラレル)
- FastTrackインタコネクト
- 専用入力
- I/Oセル

図1はMAX 9000アーキテクチャのブロック図です。

図 1 MAX 9000デバイスのブロック図



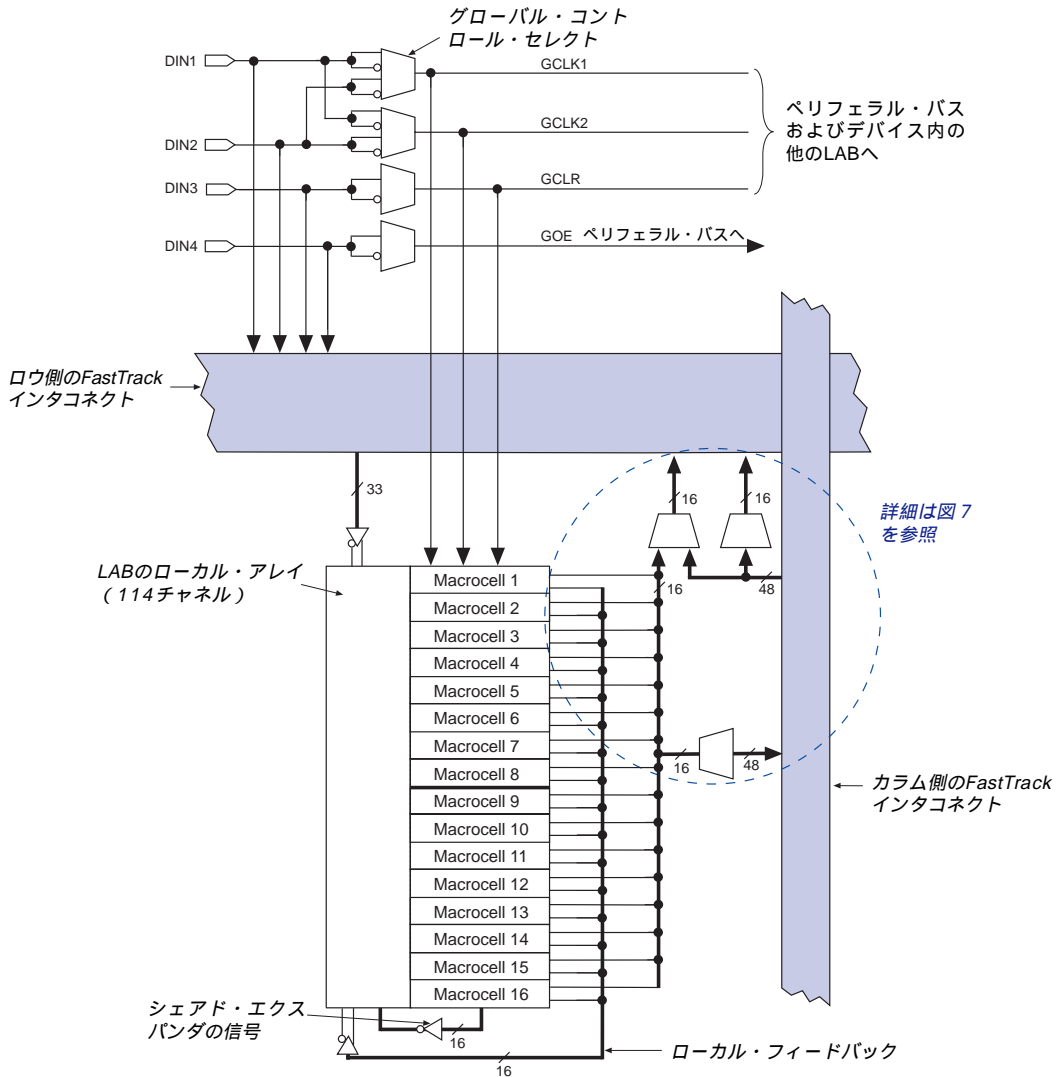
ロジック・アレイ・ブロック

MAX 9000のアーキテクチャは、高性能で柔軟性に富んだロジック・アレイ・ブロック (LAB) と呼ばれるロジック・アレイのモジュールを相互に接続するというコンセプトに基づいて構成されています。図 2 に示されているように、LABはLABのローカル・アレイに接続されている16個のマクロセルによって構成されています。各LABは、デバイス全体を縦横に走っている高速で連続した配線構造となっているFastTrackインタコネクタによって相互に接続されます。I/Oピンは、FastTrackインタコネクタの口ウ (水平方向) およびカラム (垂直方向) の先端に配置されているI/Oセル (IOC) によってサポートされています。

各LABには口ウ側のインタコネクタから33本の入力、LAB内部のマクロセルからフィードバックされている16本の信号が接続されます。これらのすべての信号はLAB内で非反転または反転極性で使用できます。さらに、LAB内には16本のシェアド・エキスパンダ・プロダクト・タームがその出力極性が反転された形で提供されており、1個のLABで計114本の信号をプロダクト・タームの入力として使用できます。また、各LABにはスキューの小さな2本のグローバル・クロックと、16個のすべてのマクロセル内のレジスタ・コントロール信号として使用できるグローバルなクリア信号が1本、提供されています。

LABはロウおよびカラムのインタコネクを直接ドライブします。また、各マクロセルはLAB内の片側または両側の配線リソースをドライブすることができます。ロウまたはカラムのインタコネクに接続された信号は、他のLABまたはIOCに高速で伝送されます。

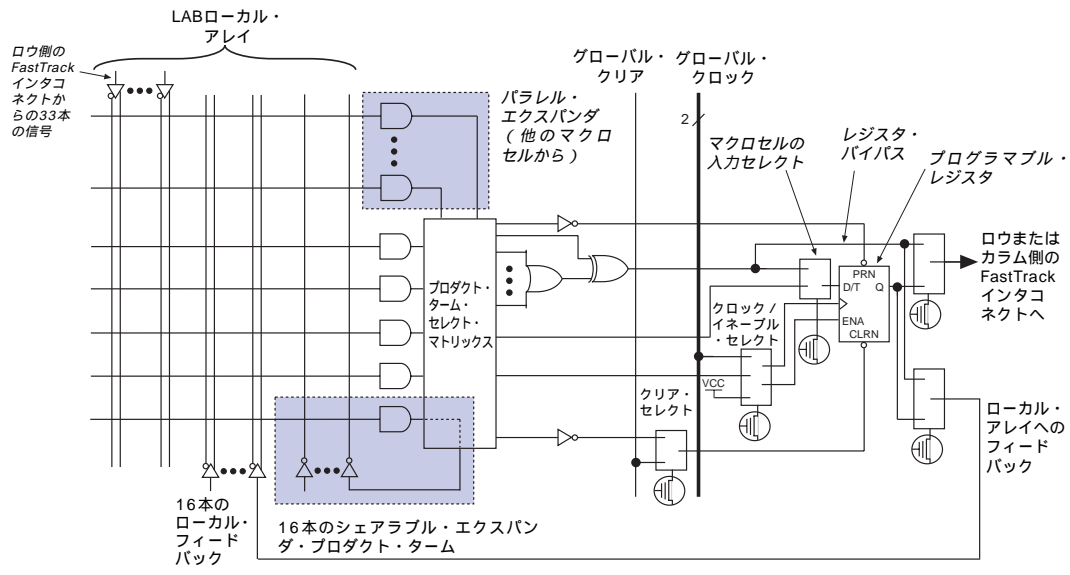
図2 MAX 9000のロジック・アレイ・ブロック



マクロセル

MAX 9000のマクロセルは、プロダクト・ターム、プロダクト・ターム・セレクト・マトリックス、そしてプログラマブル・レジスタの3つのファンクション・ブロックによって構成されています。各マクロセルはシーケンシャルな回路と組み合わせ回路の双方の論理動作が行えるように、個別に設定することができます。図3を参照して下さい。

図3 MAX 9000のマクロセルとローカル・アレイ



組み合わせ回路は、マクロセルあたり5本のプロダクト・タームを持つローカル・アレイで実現されます。これらのプロダクト・タームはプロダクト・ターム・セレクト・マトリックスによって、組み合わせ回路機能を実現するための入力（ORまたはXORゲートへの入力）として、あるいはマクロセル内のレジスタのクリア、プリセット、クロック、およびクロック・イネーブルの機能を実現するための入力として使用することができます。マクロセルのロジック・リソースをさらに強化するため、マクロセルにはシェアラブルとパラレルの2種類のエキスパンダ・プロダクト・タームが提供されています。

- 極性反転されてロジック・アレイにフィードバックされているシェアラブル・エキスパンダ
- 隣接したマクロセルから割り当てられたプロダクト・タームとなっているパラレル・エキスパンダ

MAX+PLUS Iのソフトウェアは各デザインに要求されるロジックの機能に応じて、プロダクト・タームの分配を自動的に最適化します。

レジスタ付きのロジックを実現する場合は、各マクロセルのレジスタをクロック・コントロール機能を持ったD、T、JK、またはSRのタイプのフリップフロップに個別に設定することができます。また、組み合わせ回路を構成する場合は、フリップフロップをバイパスすることが可能です。ユーザはデザインの入力時にフリップフロップのタイプを指定することができます。また、MAX+PLUS IIは各デザインに応じて必要となる内部リソースを最小化するため、各レジスタに対して最も効率的なフリップフロップのタイプを選択します。

各プログラマブル・レジスタは、次の3種類のクロック・モードで動作することができます。

- 2本あるグローバル・クロックのどちらかで動作するモード。このモードでは、「Clock-to-Output」時間が最も高速となります。
- グローバル・クロックとアクティブHighのクロック・イネーブルを使用するモード。このモードでは、グローバル・クロックによって得られる高速の「Clock-to-Output」時間の長が活かされ、かつ各フリップフロップを個別にイネーブルする機能が提供されます。
- プロダクト・タームで生成された信号をレジスタのアレイ・クロックとして使用するモード。このモードでは、フリップフロップのクロックとして内部のマクロセルまたはI/Oピンからの信号が使用されます。

図2で示されているように、MAX 9000には2本のグローバル・クロックが提供されており、グローバル・クロックのピンからの信号の非反転または反転極性で使用することができます（DIN1とDIN2）。

各レジスタには非同期のプリセットとクリアが使用できます。図3に示されているように、これらの動作に必要なプロダクト・タームは、プロダクト・ターム・セレクト・マトリックスによって各レジスタに割り当てられます。レジスタはアクティブHighの入力でプリセットまたはクリアされますが、デバイス内部のアレイで信号の極性を反転させることによって、これらの機能がアクティブLowの信号でコントロールされるように設定することもできます。専用のグローバル・クリア・ピン（DIN3）からの信号を使用したレジスタのクリア機能を各レジスタに個別に設定することもできます。このグローバル・クリア信号はアクティブHighまたはアクティブLowでも動作するようにプログラムすることが可能です。

MAX 9000のすべてのマクロセルは、同一のマクロセル内でレジスタの出力と組み合わせ回路の出力をそれぞれ独立に使用できるデュアル出力構造となっています。この機能はレジスタ・パッキングと呼ばれるプロセスによって実現されています。レジスタ・パッキングが使用された場合、プロダクト・ターム・セレクト・マトリックスがレジスタのD入力に1本のプロダクト・タームのみを分配し、残りのプロダクト・タームがレジスタと分離された組み合わせ回路に使用できるように分配されます。そして、レジスタの出力と組み合わせ回路の出力は共にFastTrackインタコネクトまたはLABのローカル・アレイに接続することができます。

エキスパンダ・プロダクト・ターム

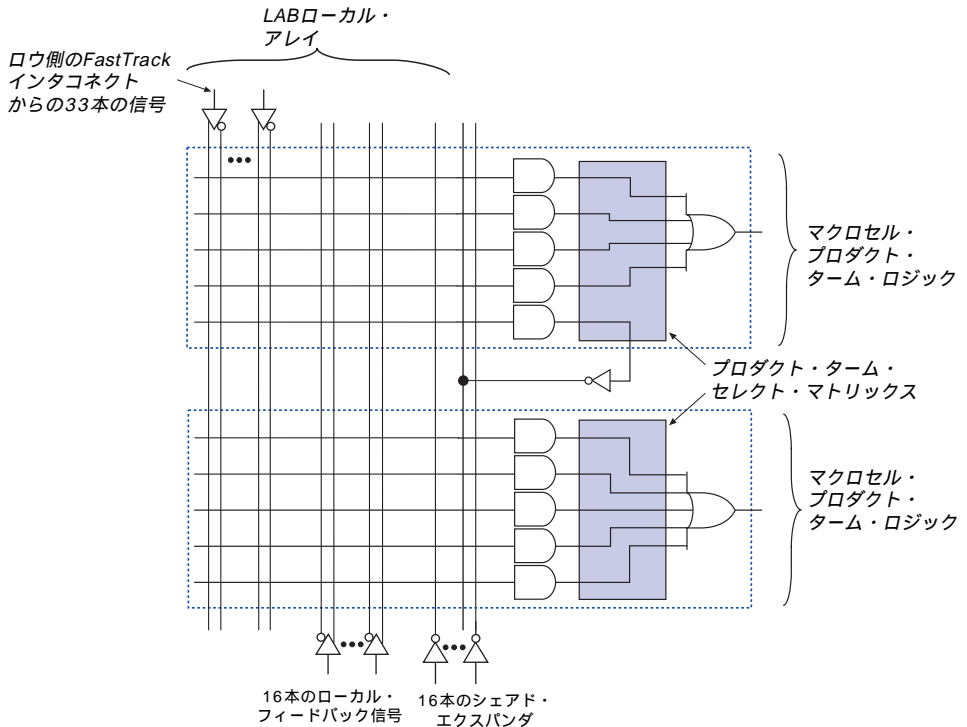
ほとんどの論理機能は各マクロセルに提供されている5本のプロダクト・タームによって実現できますが、さらに複雑なロジックの構成には追加のプロダクト・タームが必要になります。このような場合、必要なリソースを他のマクロセルから提供させることもできますが、MAX 9000のアーキテクチャでは同一LAB内の任意のマクロセルに対して追加のプロダクト・タームとなる「シェアラブル・エキスパンダ」と「パラレル・エキスパンダ」が提供されています。これらのエキスパンダは、ロジックが可能な限り最小のリソースで最も高速で動作するように論理合成する場合に非常に有効なリソースとなっています。

シェアラブル・エキスパンダ

各LABは最大16本までのシェアラブル・エキスパンダを持っており、これらは特定のマクロセルに直接接続されていないプロダクト・ターム（各マクロセルから1本ずつ）をプールしたような形となっています。このプロダクト・タームの出力は反転されて、内部にフィードバックされています。複雑なロジックを実現する場合、シェアラブル・エキスパンダは同一LAB内の任意のマクロセルで使用するか、あるいはLAB内のすべてのマクロセルで共有することができます。シェアラブル・エキスパンダが使用された場合、 $t_{LOCAL} + t_{SEXP}$ に相当する小さな追加タイミング遅延が発生します。図4はシェアラブル・エキスパンダが複数のマクロセルに接続できることを示したものです。

図4 シェアラブル・エキスパンダ

シェアラブル・エキスパンダは同一LAB内の任意のマクロセル、またはすべてのマクロセルで共有が可能。

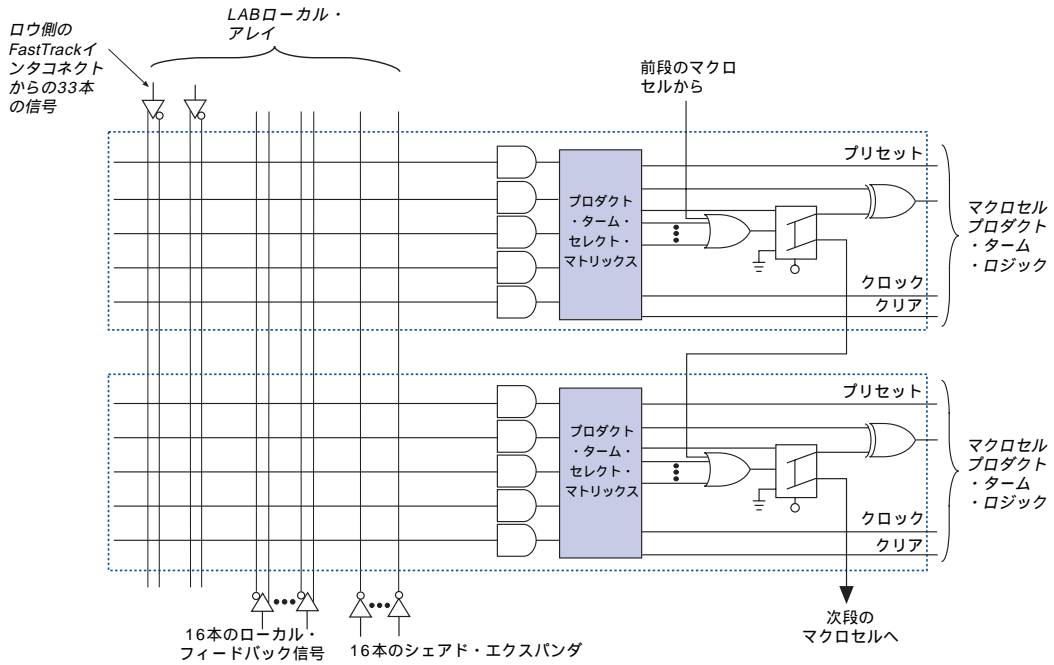


パラレル・エキスパンダ

パラレル・エキスパンダは各マクロセルで使用されていないプロダクト・タームで、高速で複雑な論理機能を実現する場合に隣接したマクロセルで使用することができます。各マクロセルには5本のプロダクト・タームがあり、さらに15本のパラレル・エキスパンダをLAB内の隣接したマクロセルから供給することができます。これにより、1個のマクロセルのORゲートには最大20本までのプロダクト・タームを入力することができます。図5はパラレル・エキスパンダが隣接したマクロセルに接続されたときの状態を示したものです。

図 5 MAX 9000の平行・エキスパンダ

マクロセル内の使用されていないプロダクト・タームは隣接したマクロセルに割り当てることが可能。



MAX+PLUS IIのコンパイラは、5本の平行・エキスパンダを1セットとして最大3セットまでを追加のプロダクト・タームを必要とするマクロセルに自動的に割り当てることができます。このエキスパンダが使用されるごとに、小さな追加タイミング遅延 (t_{PEXP}) が発生します。1個のマクロセルが14本のプロダクト・タームを必要とする場合、コンパイラはマクロセル内の5本の専用プロダクト・タームと2セットの平行・エキスパンダを使用します。最初の1セット目の平行・エキスパンダからは5本のプロダクト・タームが割り当てられ、2セット目の平行・エキスパンダからは4本のプロダクト・タームが割り当てられて、合計14本のプロダクト・タームがマクロセルに割り当てられます。このような場合は、 t_{PEXP} の2倍に相当する追加遅延が発生します。

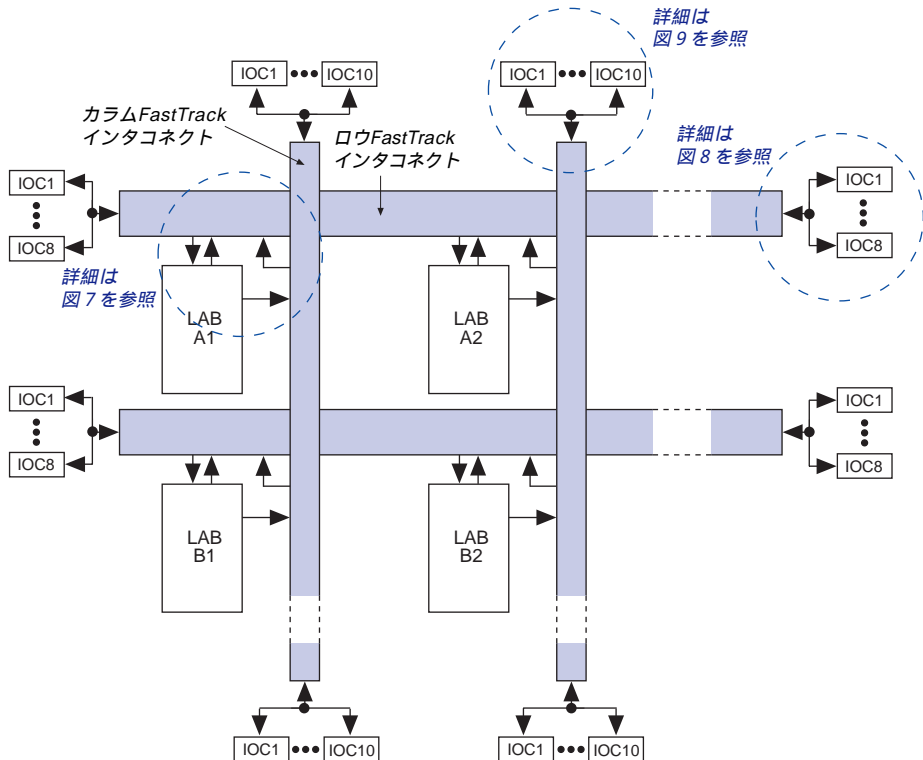
LAB内の8個のマクロセルを1つのグループとして、その2つのグループ (マクロセル-1からマクロセル-8までと、マクロセル-9からマクロセル-16までの2グループ) が平行・エキスパンダの貸し借りをするための2つのチェーンを構成しています。1個のマクロセルは下位の番号のマクロセルの平行・エキスパンダを借りることができます。例えば、マクロセル-8はマクロセル-7から、またはマクロセル-7とマクロセル-6から、あるいはマクロセル-7、-6、-5から平行・エキスパンダを借りることができます。8個のマクロセルで構成されるグループ内では、最も番号の小さいマクロセルが平行・エキスパンダを貸すだけで、最も番号の大きなマクロセルが平行・エキスパンダを借りるだけとなります。

FastTrackインタコネク

MAX 9000のアーキテクチャには、マクロセル間およびマクロセルとデバイスI/Oピンとの接続にMAX 9000のデバイス全体を水平方向と垂直方向に走っている連続した配線チャンネル、FastTrackインタコネクが提供されています。このデバイス全体をカバーした配線構造は、複雑なデザインに対してもその性能を予測可能にしています。これに対してFPGAでは配線領域がセグメント化されているため、一定しない複数のパスを接続するためのスイッチ・マトリックスが必要となり、ロジック・リソース間のディレイが増加して性能が低下してしまいます。図6はロウとカラムのインタコネクと4個の隣接したLABにおける配線のリソースを示したものです。

図6 MAX 9000デバイスの配線リソース

各LABの名称はデバイス内のロウ (A、B、C...) およびカラム (1、2、3...) の物理的な位置を表したものと なっています。

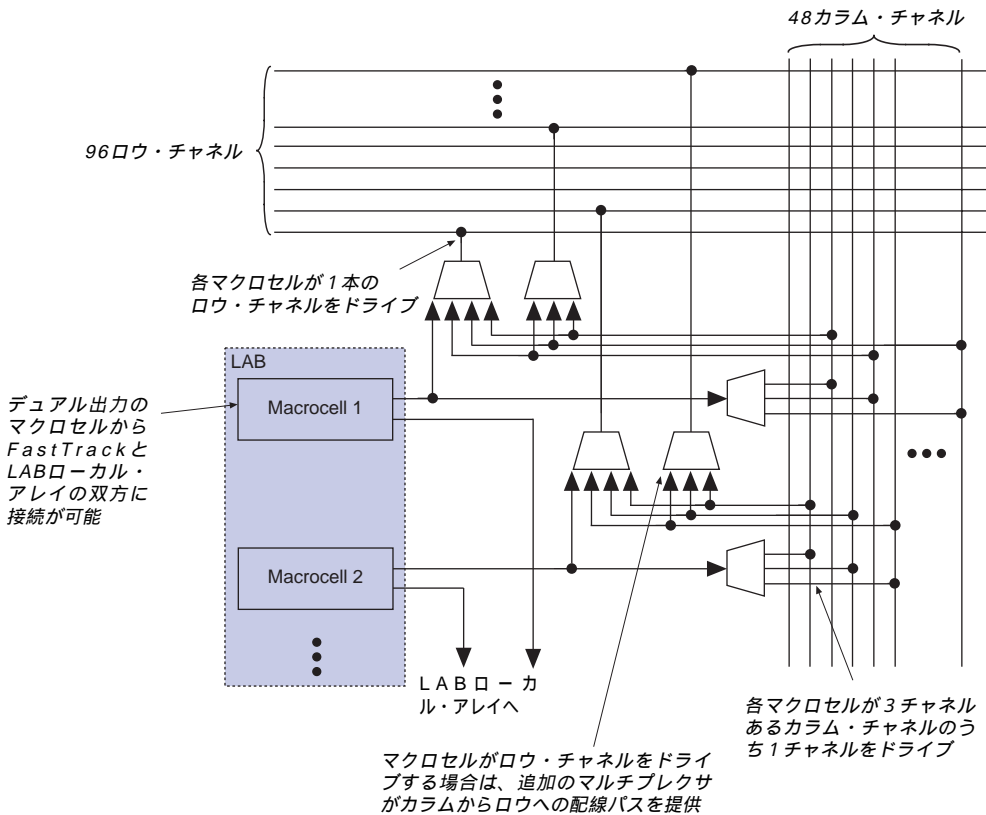


MAX 9000デバイス内のLABはロウおよびカラムのマトリックスの形で配置されています。表5は各MAX 9000デバイスのロウとカラムの数を示したものです。

デバイス名	ロウ数(n)	カラム数(m)
EPM9320, EPM9320A	4	5
EPM9400	5	5
EPM9480, EPM9480A	6	5
EPM9560, EPM9560A	7	5

各ロウのLABには専用のロウ・インタコネクがあり、同じロウに位置したLAB間の信号の接続に使用できます。また、ロウ・インタコネクはI/Oピンをドライブすることができ、デバイス内の他のLABとも接続できます。各ロウ・インタコネクは計96チャンネルの配線バスを持っています。図7は1個のマクロセルに接続されるロウとカラムのインタコネクを示したものです。

図7 MAX 9000のロウおよびカラム・インタコネクとLABとの接続



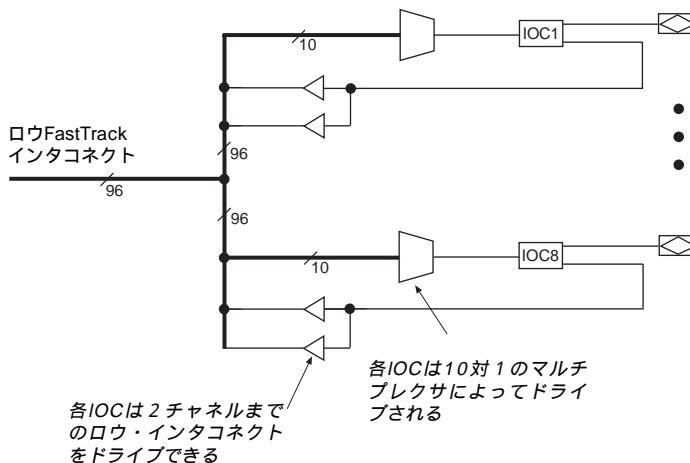
LAB内の各マクロセルは、分離された3チャンネルのカラム・インタコネクットのいずれか1チャンネルをドライブすることができます。カラム・チャンネルはデバイス全体を垂直方向に走っており、同一カラムに位置している複数のマクロセルで使用されます。MAX+PLUS IIのコンパイラはカラム・チャンネルに対する接続を自動的に最適化します。

マクロセルの出力は、3本のカラム・チャンネルと共有されている4対1のマルチプレクサを通じて1本のロウ・インタコネクット・チャンネルに接続することができます。このマルチプレクサがマクロセルとロウ・インタコネクットとの接続に使用された場合でも、3本のカラム・チャンネルの信号を追加の3対1のマルチプレクサを介して別のロウ・チャンネルへ接続することができます。LABでは、これらのマルチプレクサが48チャンネルあるすべてのカラム・インタコネクットとの接続、および32チャンネルのロウ・インタコネクットとの接続を行います。

ロウ・インタコネクットとI/Oセルとの接続

図8はロウ・インタコネクット・チャンネルとI/Oセル（IOC）とが接続される様子を示したものです。IOCからの入力信号は分離された2チャンネルのロウ・インタコネクットをドライブすることができます。IOCが出力として使用されるときは、ロウ・チャンネルを選択する10対1のマルチプレクサによって信号がドライブされます。各ロウ・チャンネルの先端ではデバイスの周辺に配置された最大8個までのIOCを接続することができます。

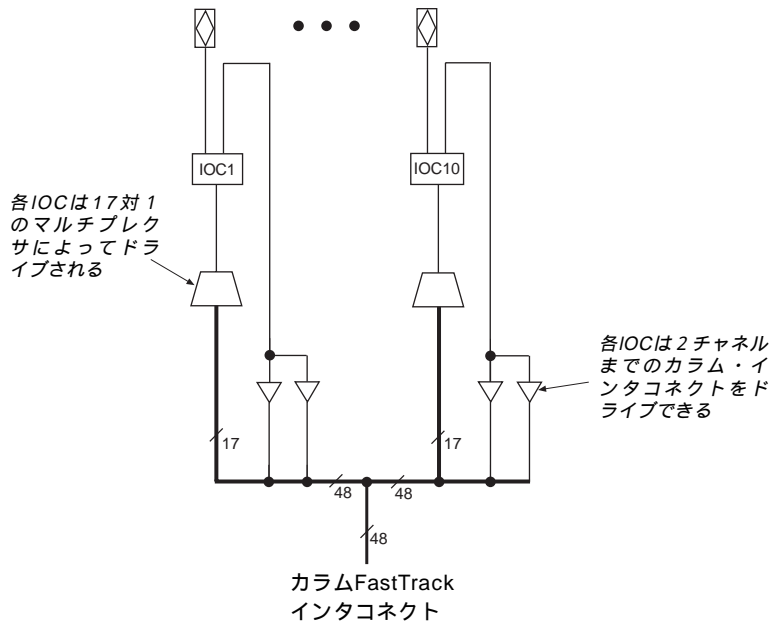
図8 MAX 9000のロウ・インタコネクットとIOCとの接続



カラム・インタコネクットとI/Oセルとの接続

カラム・チャンネルの各先端には最大10個までのIOCが接続できます。（図9参照）IOCからの入力は分離された2本のカラム・チャンネルをドライブすることができます。IOCが出力として使用された場合は、カラム・チャンネルを選択する17対1のマルチプレクサによって信号がドライブされます。

図9 MAX 9000のカラム・インタコネクとI/Oセルとの接続



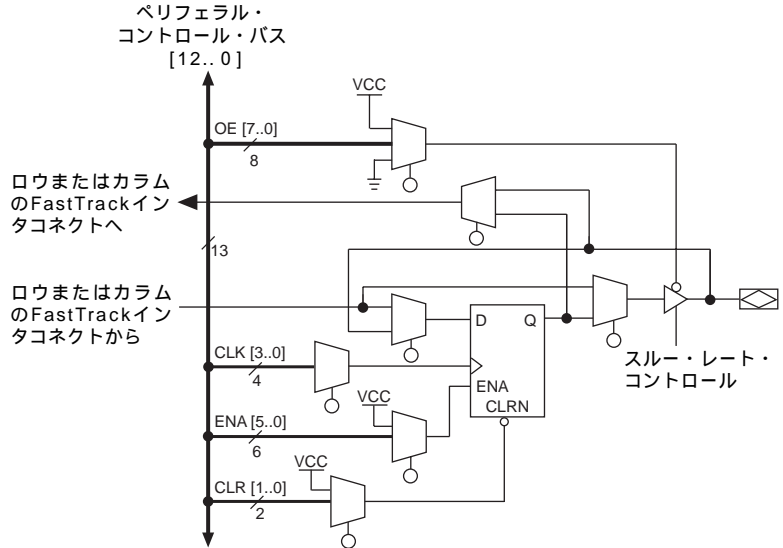
専用入力

MAX 9000には汎用のI/Oピンの他に4本の入力専用ピンが提供されています。これらの入力専用ピンからはデバイス全体のLABとIOCに対してスキューの小さな信号を供給することができるため、通常はグローバルなクロック、クリア、出力イネーブルなどのコントロール信号に使用されます。これらのグローバルなコントロール信号はマクロセルや、IOCのクロック、クリア、IOCの出力イネーブルにも接続することができます。また、この専用入力からの信号はロウFastTrackインタコネクにも接続できるため、汎用のデータ入力としても使用できます。（図2を参照）

I/Oセル

図10はI/Oセル（IOC）のブロック図です。MAX 9000デバイスには汎用の入力機能を持つI/Oピン、または4本の入力専用ピンから信号が入力されます。IOCはロウ・インタコネクおよびカラム・インタコネク・チャンネルの先端に配置されています。

図10 MAX 9000のI/Oセル (IOC) のブロック図



I/Oピンは入力、出力、あるいは双方向のピンとして使用できます。各IOCはクロック・イネーブル入力を持ったレジスタを1個、内蔵しています。このレジスタは高速のセットアップ・タイムを必要とする外部データの入力レジスタとして、あるいは高速の「Clock-to-Output」遅延が必要なデータの出力レジスタとして使用することができます。IOCレジスタに提供されているクロック・イネーブルの機能を使用することにより、高速の「Clock-to-Output」遅延が要求される個所にグローバル・クロックを使用し、さらに使用するクロックが選択できるという柔軟性も併せて確保されます。

IOCに対するクロック、クロック・イネーブル、クリア、出力イネーブルの各信号には、I/Oコントロール信号用のネットワークが提供されています。これらの信号は入力専用ピン、または内部ロジックから供給されます。IOCをコントロールする信号のバスはデバイス内でスキューが最小になるように設計されています。これらのコントロール用信号のソースは高速ドライバによってバッファされているため、デバイスの周辺に配置されたIOCに対して信号を高速でドライブすることができます。この「ペリフェラル・バス」は最大8本までの出力イネーブル信号、最大4本までのクロック信号、最大6本までのクロック・イネーブル信号、および最大2本までのクリア信号を供給するようにコンフィギュレーションすることができます。表6はこのペリフェラル・バスをドライブする信号ソースと、IOCのコントロール信号がペリフェラル・バスをどのように共有しているかを示したものです。

各IOC内の出力バッファでは、出力のスルー・レートが調整可能となっており、ロー・ノイズのモード、または高性能のモードのいずれかに設定することができます。低速スルー・レートの動作モードではボード・レベルのノイズが

低減されますが、出力のバッファの遅延 (t_{OD}) には一定の追加タイミング遅延が発生します。高速スルー・レートの動作モードは、ノイズに対する適切な対策が取られているシステム内のスピードがクリティカルとなる出力に使用される必要があります。このスルー・レートはデザインの入力時に各ピンごとに個別に指定することができ、またすべてのピンに対してグローバルにデフォルトのスルー・レートを設定することも可能です。スルー・レート・コントロールは出力信号の立ち上がりと立ち下がりの双方のエッジに影響を及ぼします。

表6 ベリフェラル・バスのソース

ベリフェラル・ コントロール信号	ソース			
	EPM9320 EPM9320A	EPM9400	EPM9480 EPM9480A	EPM9560 EPM9560A
OE0/ENA0	Row C	Row E	Row F	Row G
OE1/ENA1	Row B	Row E	Row F	Row F
OE2/ENA2	Row A	Row E	Row E	Row E
OE3/ENA3	Row B	Row B	Row B	Row B
OE4/ENA4	Row A	Row A	Row A	Row A
OE5	Row D	Row D	Row D	Row D
OE6	Row C	Row C	Row C	Row C
OE7/CLR1	Row B/GOE	Row B/GOE	Row B/GOE	Row B/GOE
CLR0/ENA5	Row A/GCLR	Row A/GCLR	Row A/GCLR	Row A/GCLR
CLK0	GCLK1	GCLK1	GCLK1	GCLK1
CLK1	GCLK2	GCLK2	GCLK2	GCLK2
CLK2	Row D	Row D	Row D	Row D
CLK3	Row C	Row C	Row C	Row C

出力の コンフィギュ レーション

MAX 9000デバイスのアーキテクチャはMultiVolt I/Oインタフェース機能をサポートしており、電源電圧の異なるシステムとMAX 9000デバイスをインタフェースすることができます。すべてのパッケージの5.0-Vデバイスでは、I/Oピンの動作電圧を3.3-Vまたは5.0-Vのいずれかに設定することができます。これらのデバイスは内部動作と入力バッファ用の複数の電源ピン (VCCINT) と複数のI/O出力ドライバ用の電源ピン (VCCIO) を持っています。

VCCINTピンは常に5.0-Vの電源に接続されている必要があります。V_{CCINT}のレベルが5.0-Vになっている場合は入力電圧がTTLレベルとなり、3.3-Vと5.0-Vの双方の入力に対する互換性が提供されます。

VCCIOピンは出力レベルの要求によって、5.0-Vまたは3.3-Vの電源のいずれかに接続することができます。VCCIOピンを5.0-Vの電源に接続した場合は出力レベルが5.0-Vのシステムと互換性を持つようになり、3.3-Vの電源に接続した場合は出力のHighレベルが3.3-Vとなって、5.0-Vと3.3-Vのシステムと互換性を持つようになります。V_{CCIO}が4.75-V未満の動作では、出力バッファに追加遅延が発生し、この遅延時間が t_{OD1} ではなく、 t_{OD2} となります。

イン・システム ・プログラマ ビリティ (ISP)

MAX 9000デバイスは4本のJTAG BSTインタフェース用ピンを使ってインシステムでプログラムすることができます。このイン・システム・プログラマビリティ (ISP) の機能を活用することによって、デザインの開発とデバッグのサイクルの時間を短縮し、効率的に繰り返し行うことができるようになります。MAX 9000デバイスのアーキテクチャにEEPROMセルのプログラムに必要な12.0-Vのプログラム電圧を生成するための回路が内蔵されており、ボード上のデバイスをプログラムするための12.0-Vの外部電源を用意する必要はありません。ISPの動作中、I/Oピンはトライ・ステートとなりボード上でコンフリクトが発生しないようになります。

ISPの機能を活用することにより、デバイスをプログラムする前に標準的な自動挿入機を使用してプリント基板に取り付けることができようになり、製造工程を簡略化することができます。MAX 9000デバイスのプログラムはアルテラのBitBlasterまたはByteBlasterのダウンロード・ケーブル、エンベデッド・プロセッサ、またはICT (In-Circuit testers) からデータをダウンロードすることによって行えます。このISP機能を利用した製造工程では、デバイスのプログラミングがデバイスをボード上に実装した後で行うことができるため、QFPパッケージのようなピン数の多いパッケージのリードをプログラム時のハンドリングによって損傷するようなトラブルが解消されます。また、MAX 9000デバイスをフィールドでリプログラミングすることができるため、MAX 9000デバイスを使用した製品のアップ・グレードをソフトウェアまたはモデムを使用して行うこともできます。

外部ハード ウェアによる プログラミング

MAX 9000デバイスは486またはペンティアム・ベースのPCとアルテラのロジック・プログラマ・カードおよびアルテラのマスタ・プログラミング・ユニット (MPU) と対応するプログラミング・アダプタを使ってプログラムすることもできます。このMPUはデバイスとアダプタ間の正しい電気的な接触を確保するためのコンティニューティ・テストを実行します。詳細については、アルテラの1998年版データブックに収録されている「*Altera Programming Hardware*」のデータシートを参照して下さい。

MAX+PLUS IIのテキスト・エディタまたは波形エディタによって作成されたテキストまたは波形フォーマットのテスト・ベクタを使用して、プログラム後のデバイスをテストすることができます。追加されたデザインの検証を行う場合、このファンクション・テストを実行して、MAX 9000デバイスの機能動作とシミュレーションの結果を比較することが可能です。

Data I/O、BP Microsystemなどのサード・パーティのプログラマ・ベンダもアルテラのデバイスに対するプログラミング・サポートを提供しています。詳細については、1998年版データブックに掲載されている「*Programming Hardware Manufacturers*」を参照して下さい。

IEEE 1149.1
(JTAG)
バウンダリ・ス
キャン・サポート

すべてのMAX 9000デバイスには、IEEE Std. 1149.1-1990で規定されているJTAGのバウンダリ・スキャン・テスト (BST) 回路が内蔵されています。表7はMAX 9000ファミリのデバイスでサポートされているJTAGインストラクションを示したものです。各デバイスのJTAGピンの位置はこのデータシートの32ページからの「ピン配置」の表に示されています。JTAGインタフェースが必要ない場合は、これらのJTAGピンをユーザI/Oピンとして使用できます。

表7 MAX 9000のサポートしているJTAGインストラクション	
JTAGインストラクション	内 容
SAMPLE/PRELOAD	動作中のデバイスのピンから信号を取り込んでテストすることができる。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することによって外部回路との接続とボードレベルの配線がテストできる。
BYPASS	TDI ピンとTDOピンの間に1ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながらBSTデータが指定したデバイスをバイパスして隣接したデバイスに同期転送されるようにすることができる。
IDCODE	IDCODEレジスタを選択し、これをTDIとTDOのピン間に配置することによって、IDCODEがTDOにシリアルにシフト・アウトされるようにすることができる。EPM9400とEPM9480のみでサポート。
UESCODE	UESCODEを選択し、UESCODEがTDOにシリアルにシフト・アウトされるようにすることができる。このインストラクションはMAX 9000Aデバイスにのみ適用される。
ISP関連インストラクション	これらのインストラクションは、JTAGポートを介して、BitBlasterシリアル・ダウンロード・ケーブル、ByteBlasterパラレル・ポート・ダウンロード・ケーブル、あるいはJamファイル (.jam) やシリアル・ベクタ・フォーマット (.svf) ファイルを採用したエンベデッド・プロセッサやテスト機器からMAX 9000デバイスをプログラムするときに使用される。

図11はJTAG信号に対するタイミングの規格を示したものです。

図11 MAX 9000のJTAG信号波形

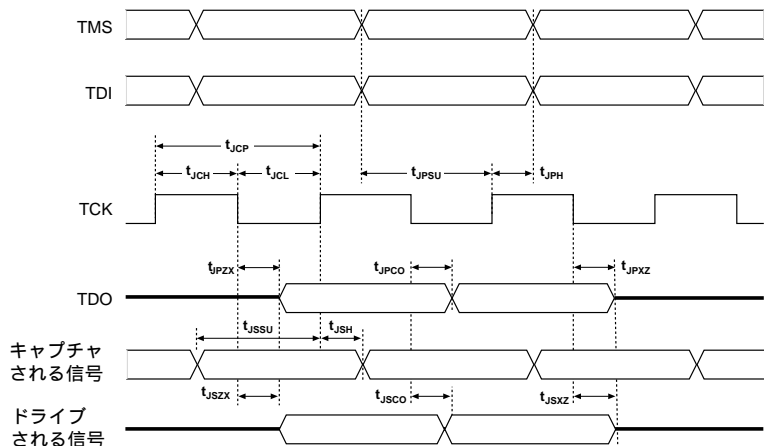


表 8 は MAX 9000 デバイスの JTAG 信号に関連したタイミング・パラメータとその値を示したものです。

シンボル	パラメータ	最小	最大	単位
t_{JCP}	TCK クロックの期間	100		ns
t_{JCH}	TCK の High 時間	50		ns
t_{JCL}	TCK の Low 時間	50		ns
t_{JPSU}	JTAG ポートのセットアップ・タイム	20		ns
t_{JPH}	JTAG ポートのホールド・タイム	45		ns
t_{JPCO}	JTAG ポートの「Clock-to-Output」遅延		25	ns
t_{JPZX}	JTAG ポートのハイ・インピーダンスから有効出力まで		25	ns
t_{JPXZ}	JTAG ポートの有効出力からハイ・インピーダンスまで		25	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	20		ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	45		ns
t_{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		25	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		25	ns
t_{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		25	ns



MAX 9000 デバイスの JTAG 動作に関する詳細は、アプリケーション・ノート、AN 39 (IEEE 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices) を参照して下さい。

プログラマブル・スピード / パワー・コントロール

MAX 9000 デバイスにはユーザの指定した信号パス、またはデバイス全体をロー・パワーで動作させることができるパワー・セーブ・モードが提供されています。ほとんどのアプリケーションでは最大周波数で動作するゲートが全体のごく一部となるため、このパワー・セーブ機能を使用してデバイス全体の消費電力を 50% またはそれ以下に低減することができます。

また、MAX 9000 デバイスの各マクロセルを高速の動作モード (Turbo Bit™ をオン)、あるいはロー・パワーの動作モード (Turbo Bit をオフ) のいずれかに個別にプログラムすることができます。この結果、デザイン内でスピードがクリティカルとなるパスのみを高速モードで動作させながら、残りのパスをロー・パワーで動作させることができます。ロー・パワー・モードで動作するマクロセルでは、LAB ローカル・アレイへの遅延時間 (t_{LOCAL}) に対して一定の追加タイミング遅延 (t_{LPA}) が発生します。

デザインのセキュリティ

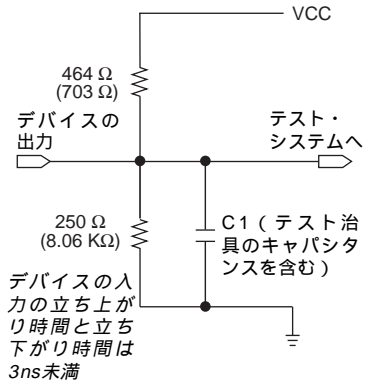
すべての MAX 9000 デバイスは、デバイス内にプログラムされたデータへのアクセスをコントロールすることができるプログラマブルなセキュリティ・ビットを持っています。このビットがプログラムされると、デバイス内に実現された設計データのコピーや読み出しが不可能となります。これによって、EEPROM セルにプログラムされたデータを見ることができなくなり、ハイ・レベルなデザインのセキュリティ機能が実現されます。この機能をコントロールするセキュリティ・ビットは、他のプログラムされたデータと同様にデバイスがイレーズされたときのみリセットされます。

デバイスの テスト

MAX 9000 EPLDの各デバイスには完全な機能テストが実施されており、その動作が保証されています。プログラムされるEEPROMの各ビットとすべての論理機能は完全にテストされており、100%のプログラミング・イールドが保証されています。MAX 9000デバイスのACテストは、図12に等価な測定条件で行われています。デバイスのテストには、生産フローの中のあらゆる工程で複数のテスト・パターンが使用されています。

図12 MAX 9000のACテスト条件

電源のトランジェントがAC特性の測定に影響を及ぼすことがあります。正確な測定を行うため、複数の出力を同時に変化させることは避けて下さい。スレッショルドのテストはACの測定条件で行わないで下さい。デバイスの出力が負荷のキャパシタンスをディスチャージするとき、大振幅で高速なグラウンド電流のトランジェントが発生します。これらのトランジェントがグラウンド・ピンとテスト・システムのグラウンドとの間に存在する寄生インダクタンスに流れると、ノイズ・マージンが著しく低下します。カッコ内の数値は3.3-V出力の場合です。



動作条件

以下の表はMAX 9000デバイスの絶対最大定格、推奨動作条件、DC特性、キャパシタンスを示したものです。

MAX 9000デバイスの絶対最大定格 注(1)、(2)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GNDに対して 注(3)	-2.0	7.0	V
V_I	DC入力電圧		-2.0	7.0	V
V_{CCISP}	イン・システム・プログラミング時の供給電圧		-2.0	7.0	V
I_{OUT}	ピン当たりのDC出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	動作周囲温度	バイアス時	-65	135	°C
T_J	接合温度	バイアス時のセラミック・パッケージ		150	°C
		バイアス時のPQFPおよびRQFPパッケージ		135	°C

MAX 9000デバイスの推奨動作条件 注(2)

シンボル	パラメータ	条件	最小	最大	単位
V _{CCINT}	内部ロジックと入力バッファ用供給電圧	注(4)、(5)	4.75 (4.50)	5.25 (5.50)	V
V _{CCIO}	5.0-V動作時の出力バッファ用供給電圧	注(4)、(5)	4.75 (4.50)	5.25 (5.50)	V
	3.3-V動作時の出力バッファ用供給電圧	注(4)、(5)	3.00 (3.00)	3.60 (3.60)	V
V _{CCISP}	イン・システム・プログラミング時の供給電圧		4.75	5.25	V
V _I	入力電圧		0	V _{CCINT}	V
V _O	出力電圧		0	V _{CCIO}	V
T _A	動作周囲温度	一般用	0	70	°C
		工業用	-40	85	°C
T _J	接合温度	一般用	0	90	°C
		工業用	-40	105	°C
t _R	入力信号立ち上がり時間			40	ns
t _F	入力信号立ち下がり時間			40	ns

MAX 9000デバイスのDC特性 注(2)、(6)、(7)

シンボル	パラメータ	条件	最小	最大	単位
V _{IH}	Highレベル入力電圧		2.0	V _{CCINT} +0.3	V
V _{IL}	Lowレベル入力電圧		-0.3	0.8	V
V _{OH}	5.0-V HighレベルTTL出力電圧	I _{OH} = -4 mA DC, V _{CCIO} = 4.75 V, 注(8)	2.4		V
	3.3-V HighレベルTTL出力電圧	I _{OH} = -4 mA DC, V _{CCIO} = 3.00 V, 注(8)	2.4		V
	3.3-V HighレベルCMOS出力電圧	I _{OH} = -0.1 mA DC, V _{CCIO} = 3.00 V, 注(8)	V _{CCIO} -0.2		V
V _{OL}	5.0-V LowレベルTTL出力電圧	I _{OL} = 12 mA DC, V _{CCIO} = 4.75 V, 注(8)		0.45	V
	3.3-V LowレベルTTL出力電圧	I _{OL} = 12 mA DC, V _{CCIO} = 3.00 V, 注(8)		0.45	V
	3.3-V LowレベルCMOS出力電圧	I _{OL} = 0.1 mA DC, V _{CCIO} = 3.00 V, 注(8)		0.2	V
I _I	専用入力ピンのリーク電流	V _I = V _{CC} or ground, 注(9)	-10	10	μA
I _{OZ}	トライ・ステート出力オフ・ステート電流	V _O = V _{CC} or ground	-40	40	μA

MAX 9000デバイスのキャパシタンス : EPM9320、EPM9400、EPM9480、EPM9560 注(10)

シンボル	パラメータ	条件	最小	最大	単位
C _{DIN1}	専用入力ピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		18	pF
C _{DIN2}	専用入力ピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		18	pF
C _{DIN3}	専用入力ピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		17	pF
C _{DIN4}	専用入力ピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		20	pF
C _{I/O}	I/Oピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		12	pF

MAX 9000Aデバイスのキャパシタンス : EPM9320A、EPM9480A、EPM9560A 注(2)、(10)

シンボル	パラメータ	条件	最小	最大	単位
C _{DIN1}	専用入力ピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		16	pF
C _{DIN2}	専用入力ピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		10	pF
C _{DIN3}	専用入力ピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		10	pF
C _{DIN4}	専用入力ピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		12	pF
C _{I/O}	I/Oピンのキャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		8	pF

MAX 9000デバイスの標準的なI_{CC}電源電流の値

シンボル	パラメータ	条件	EPM9320	EPM9400	EPM9480	EPM9560	単位
I _{CC1}	I _{CC} 供給電流 (ローパワー・モードのスタンバイ時、標準)	V _I =ground, 無負荷、注(11)	100	110	140	150	mA

MAX 9000Aデバイスの標準的なI_{CC}電源電流の値 注(2)

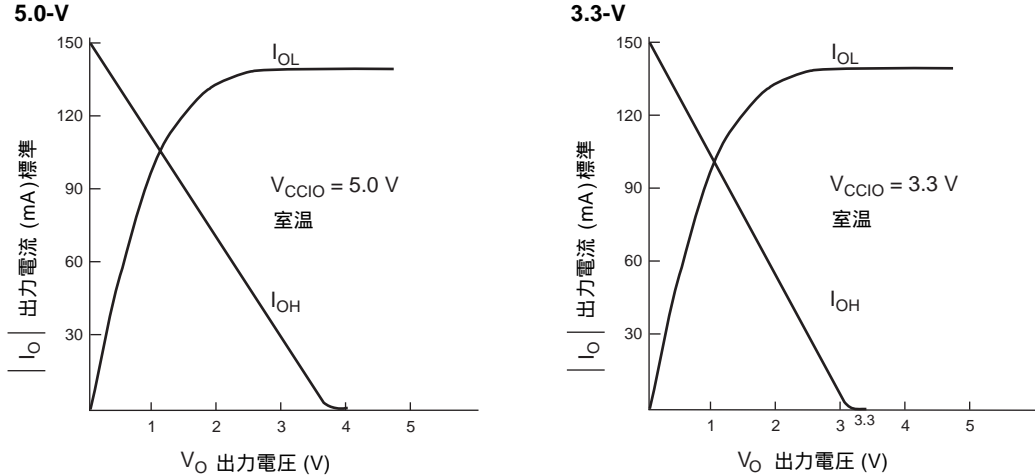
シンボル	パラメータ	条件	EPM9320A	EPM9480A	EPM9560A	単位
I _{CC1}	I _{CC} 供給電流 (ローパワー・モードのスタンバイ時、標準)	V _I =ground, 無負荷、注(11)	注(12)	注(12)	注(12)	mA

注 :

- (1) 1998年版データブックに掲載されている「*Operating Requirements for Altera Device*」を参照して下さい。
- (2) EPM9320A、EPM9480A、EPM9560Aの各デバイスのパラメータ値は暫定仕様です。
- (3) 最小DC入力電圧は - 0.3Vです。過渡状態の期間、無負荷の条件で20ns以下の幅であれば、入力が - 2.0Vまでアンダシュート、または7.0Vまでオーバシュートしても構いません。
- (4) V_{CC}立ち上げ時の電圧上昇は直線的になる必要があります。
- (5) カッコ内の数値は工業用温度範囲の製品のものです。
- (6) 標準値はT_A=25、V_{CC}=5.0-Vの条件の時です。
- (7) これらの値は23ページに示されている「MAX 9000デバイスの推奨動作条件」の下で規定されています。
- (8) このパラメータは出力の50%が12mAをシンクしている条件で測定されます。I_{OH}のパラメータはHighレベルTTLまたはCMOS出力電流、I_{OL}のパラメータLowレベルTTLまたはCMOS出力電流として参照されます。
- (9) JTAG入力ピンのリーク電流は標準で - 60μAです。
- (10) キャパシタンスは25での測定条件で、サンプル・テストのみです。
- (11) 16ビットのローダブル、イネーブルつき、アップ/ダウン・カウンタを各LABIにプログラムして測定したものです。I_{CC}は0で測定されます。
- (12) これらの値については、日本アルテラの応用技術部へお問い合わせ下さい。

図13はMAX 9000のV_{CCIO}=5.0-VおよびV_{CCIO}=3.3-Vにおける標準的な出力ドライブ特性を示したものです。

図13 MAX 9000デバイスの出力ドライブ特性 注(1)、(2)



注:

- (1) EPM9320A、EPM9480A、EPM9560Aの特性は暫定情報です。
- (2) 上記の出力ドライブ特性はJTAG用のTDOピンにも適用されます。

タイミング・モデル

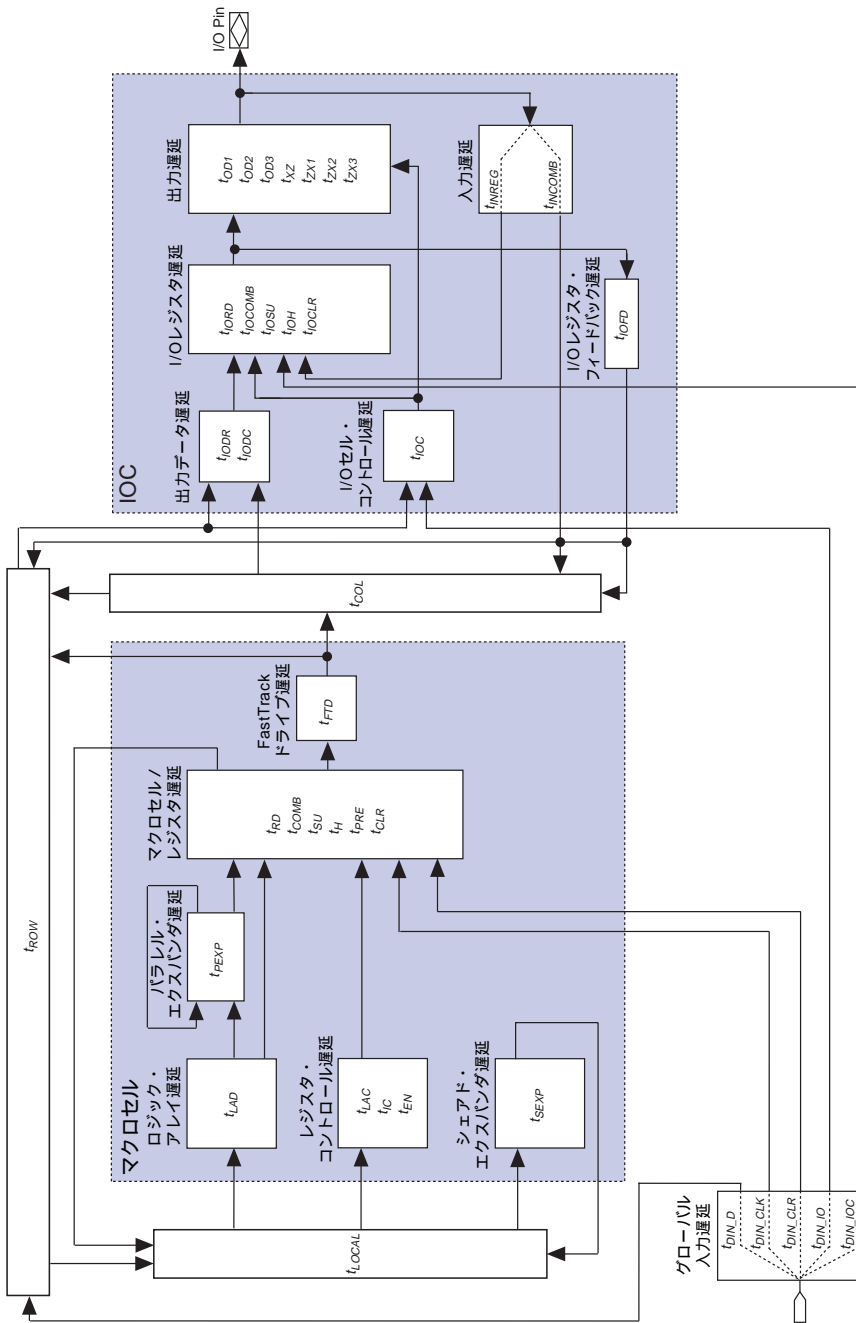
MAX 9000デバイスでは、連続した高性能な配線リソースであるFastTrackインタコネクต์によって予測可能な性能と正確なシミュレーションが保証されています。このMAX 9000の予測可能な性能は、セグメント化された配線方式を使用しているために性能の予測が不可能となるFPGAと大きく異なる点です。MAX+PLUS IIのシミュレータとタイミング・アナライザ、または業界標準のEDAツールを使用することによって、タイミング・シミュレーションと遅延時間の予測を行うことができます。MAX+PLUS IIのシミュレータは、論理合成前に設計回路の正確さを評価するために行う機能シミュレーションと、論理合成後のタイミング・シミュレーションを0.1nsの分解能でサポートしています。また、タイミング・アナライザは指定されたポイント間のタイミング・ディレイ情報を提供し、セットアップ・タイムとホールド・タイムの予測、およびシステム・レベルの性能解析を行います。

図14に示すMAX 9000のタイミング・モデルは、回路内の多様なパスと各機能に対応した遅延時間を表したものです。このモデルは、マクロセル、IOC、インタコネクต์の3つの部分から構成されています。インタコネクต์には、ロウおよびカラムのFastTrackインタコネクต์、LABローカル・アレイのパスが含まれます。図14の各パラメータは、このデータシートの「内部タイミング特性」の表の中でワースト・ケースの値として表示されています。MAX 9000のタイミング・モデルとこれらのタイミング・パラメータを使用した計算結果から、MAX 9000デバイスの性能を推定することができます。



MAX 9000のタイミング遅延を計算する方法の詳細については、アプリケーション・ノート AN 77「*Understanding MAX 9000 Timing*」を参照して下さい。

図14 MAX 9000のタイミング・モデル



MAX 9000 外部タイミング特性 注(1)

			-7 注(2)、(3)		-10 注(2)		-15		-20		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	最小	最大	単位
t_{PD1}	ロウI/Oピンの入力からロウI/Oピンへの出力	C1 = 35 pF, 注(4)		7.5		10.0		15.0		20.0	ns
t_{PD2}	カラムI/Oピンの入力からカラムI/Oピンへの出力	C1 = 35 pF 注(4)	EPM9320	8.2		10.8		16.0		23.0	ns
			EPM9400	8.4		11.0		16.2		23.2	ns
			EPM9480	8.6		11.2		16.4		23.4	ns
			EPM9560	8.8		11.4		16.6		23.6	ns
t_{FSU}	I/Oセルのグローバル・クロック・セットアップ・タイム				3.0		5.0		6.0	ns	
t_{FH}	I/Oセルのグローバル・クロック・ホールド・タイム				0.0		0.0		0.0	ns	
t_{FCO}	グローバル・クロックからI/Oセルまでの出力遅延	C1 = 35 pF				4.8		7.0		8.5	ns
t_{ODH}	クロック立ち上がり後の出力データ・ホールド・タイム	C1 = 35 pF, 注(5)			1.0		1.0		1.0		ns
t_{CNT}	内部グローバル・クロックの最小期間	注(6)				6.9		8.5		10.0	ns
f_{CNT}	内部グローバル・クロックの最高動作周波数	注(6)			144.9		117.6		100.0		MHz

MAX 9000 内部タイミング特性 注(1)

マクロセルの遅延時間			-7 注(2)、(3)		-10 注(2)		-15		-20		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	最小	最大	単位
t_{LAD}	ロジック・アレイの遅延					3.5		4		4.5	ns
t_{LAC}	ロジック・コントロール・アレイの遅延					3.5		4		4.5	ns
t_{IC}	アレイ・クロックの遅延					3.5		4		4.5	ns
t_{EN}	レジスタ、イネーブル時間					3.5		4		4.5	ns
t_{SEXP}	シェアド・エキスパンダの遅延					3.5		5		7.5	ns
t_{PEXP}	パラレル・エキスパンダの遅延					0.5		1		2	ns
t_{RD}	レジスタの遅延					0.5		1		1	ns
t_{COMB}	組み合わせ回路の遅延					0.4		1		1	ns
t_{SU}	レジスタのセットアップ・タイム				2.4		3.0		4.0		ns
t_H	レジスタのホールド・タイム				2.0		3.5		4.5		ns
t_{PRE}	レジスタのプリセット時間					3.5		4		4.5	ns
t_{CLR}	レジスタのクリア時間					3.7		4		4.5	ns
t_{FTD}	FastTrackドライブ遅延					0.5		1		2.0	ns
t_{LPA}	ロー・パワー・モード追加遅延	注(7)				10.0		15.0		20.0	ns

MAX 9000 Programmable Logic Device Family Data Sheet

IOCの遅延時間			-7 注(2)、(3)		-10 注(2)		-15		-20		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	最小	最大	単位
t_{IODR}	ロウI/Oのデータ出力遅延					0.2		0.2		1.5	ns
t_{IODC}	カラムI/Oのデータ出力遅延					0.4		0.2		1.5	ns
t_{IOC}	I/Oコントロール信号遅延	注(8)				0.5		1.0		2.0	ns
t_{IORD}	I/Oレジスタのクロックから出力までの遅延					0.6		1.0		1.5	ns
t_{IOCOMB}	I/Oセル組み合わせ出力遅延					0.2		1.0		1.5	ns
t_{IOSU}	I/Oレジスタ、セットアップ・タイム				2.0		4.0		5.0		ns
t_{IOH}	I/Oレジスタ、ホールド・タイム				1.0		1.0		1.0		ns
t_{IOCLR}	I/Oレジスタ、クリア遅延					1.5		3.0		3.0	ns
t_{IOFD}	I/Oレジスタ、フィードバック遅延					0.0		0.0		0.5	ns
t_{INREG}	I/O入力パッドおよびバッファからI/Oレジスタまでの遅延					3.5		4.5		5.5	ns
t_{INCOMB}	I/O入力パッドおよびバッファからロウおよびカラム・インタコネクトまでの遅延					1.5		2.0		2.5	ns
t_{OD1}	出力バッファとパッドの遅延 Slow slew rate=off $V_{CCIO}=5.0\text{-V}$	$C1 = 35\text{ pF}$ 注(1)				1.8		2.5		2.5	ns
t_{OD2}	出力バッファとパッドの遅延 Slow slew rate=off $V_{CCIO}=3.3\text{-V}$	$C1 = 35\text{ pF}$ 注(1)				2.3		3.5		3.5	ns
t_{OD3}	出力バッファとパッドの遅延 Slow slew rate=on $V_{CCIO}=5.0\text{-V}$ または 3.3-V	$C1 = 35\text{ pF}$ 注(1)				8.3		10.0		10.5	ns
t_{XZ}	出力バッファ、ディセーブル遅延	$C1 = 5\text{ pF}$				2.5		2.5		2.5	ns
t_{ZX1}	出力バッファ、イネーブル遅延 Slow slew rate=off $V_{CCIO}=5.0\text{-V}$	$C1 = 35\text{ pF}$ 注(1)				2.5		2.5		2.5	ns
t_{ZX2}	出力バッファ、イネーブル遅延 Slow slew rate=off $V_{CCIO}=3.3\text{-V}$	$C1 = 35\text{ pF}$ 注(1)				3.0		3.5		3.5	ns
t_{ZX3}	出力バッファ、イネーブル遅延 Slow slew rate=on $V_{CCIO}=5.0\text{-V}$ または 3.3-V	$C1 = 35\text{ pF}$ 注(1)				9.0		10.0		10.5	ns

インタコネクットの遅延時間			-7 注(2)、(3)		-10 注(2)		-15		-20		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	最小	最大	単位
t_{LOCAL}	LABローカル・アレイ遅延					0.5		0.5		0.5	ns
t_{ROW}	ロウFastTrack配線遅延	注(9)				0.9		1.4		2.0	ns
t_{COL}	カラムFastTrack配線遅延	注(9)				0.9		1.7		3.0	ns
t_{DIN_D}	入力専用ピンからのデータ遅延					4.0		4.5		5.0	ns
t_{DIN_CLK}	入力専用ピンからのクロック遅延					2.7		3.5		4.0	ns
t_{DIN_CLR}	入力専用ピンからのクリア遅延					4.5		5.0		5.5	ns
t_{DIN_IOC}	入力専用ピンからI/Oレジスタ・クロック遅延					2.5		3.5		4.5	ns
t_{DIN_IO}	入力専用ピンからのI/Oレジスタ・コントロール信号遅延					5.5		6.0		6.5	ns

表中の注：

- (1) これらの値は23ページの「MAX 9000デバイスの推奨動作条件」の下で規定されています。
- (2) -7と-10のスピード・グレードに関するタイミング・パラメータは暫定仕様です。
- (3) -7のスピード・グレードの製品は現在開発中です。供給状況については日本アルテラまたは代理店へお問い合わせ下さい。
- (4) t_{PD1} と t_{PD2} の遅延時間の測定条件についてはアプリケーション・ノートAN 77「Understanding MAX 9000 Timing」を参照して下さい。
- (5) このパラメータはサンプル・テストのみによる参考値です。この値は幅広いデバイス特性テストの結果から得られたもので、マクロセルおよびI/Oセルのレジスタに対するグローバル・クロック、アレイ・クロックの双方に適用されます。
- (6) 16ビットのローダブル、イネーブル機能つきアップ/ダウン・カウンタを各LABにプログラムして測定したものです。
- (7) ロー・パワー・モードで動作中のマクロセルでは、 t_{LOCAL} のパラメータに t_{LPA} のパラメータを加える必要があります。
- (8) 通常のアプリケーションでは、 t_{ROW} 、 t_{COL} および t_{IOC} の遅延がワースト・ケースの値となります。実際のワースト・ケースの性能を確定する場合は、コンパイルの完了後にタイミング・シミュレーション、またはタイミング解析を行う必要があります。
- (9) これらのパラメータの値は標準的なアプリケーションにおけるワースト・ケースの値です。実際のワースト・ケースの性能はコンパイル完了後にシミュレーションとタイミング解析を行って確認して下さい。

消費電力の推定

MAX 9000デバイスの動作周波数 (f_{MAX} 単位: MHz) に対する消費電力 (P) は次の式で計算できます。

$$P = P_{INT} + P_{IO} = I_{CCINT} \times V_{CC} + P_{IO}$$

この式において、 P_{IO} の値はデバイスの出力負荷の特性とスイッチング周波数に依存しますが、1998年版データブックに掲載されているアプリケーション・ノート AN 74「Evaluating Power for Altera Devices (日本語版「アルテラ・デバイスの消費電力評価方法」)」の中で示されているガイド・ラインにしたがって算出することができます。 I_{CCINT} の値はスイッチング周波数とアプリケーションのロジックに依存します。

この I_{CCINT} の値は、次の式を使って計算することができます。

$$I_{CCINT} = (A \times MC_{TON}) + [B \times (MC_{DEV} - MC_{TON})] + (C \times MC_{USED} \times f_{MAX} \times \text{togLC})$$

この式に使用されているパラメータは下記の通りです。

- MC_{TON} = MAX+PLUS IIのレポート・ファイル (.rpt) で示されるターボ・ビットがオンで使用されているマクロセル数
 MC_{DEV} = デバイス内のマクロセルの総数
 MC_{USED} = MAX+PLUS IIのレポート・ファイル (.rpt) で示されるデザイン内で使用されるマクロセルのトータル数
 f_{MAX} = デバイスの最高動作周波数
 togLC = 各クロック・エッジでトグルするロジック・セルの平均的な比率 (通常は12.5%)
A, B, C = 表9で示される定数

表9 MAX 9000の I_{CC} の計算式で使用される定数の値

デバイス	定数A	定数B	定数C
EPM9320	0.81	0.33	0.056
EPM9320A 注(1)			
EPM9400	0.60	0.33	0.053
EPM9480	0.68	0.29	0.064
EPM9340A 注(1)			
EPM9560	0.68	0.26	0.052
EPM9560A 注(1)			

注:

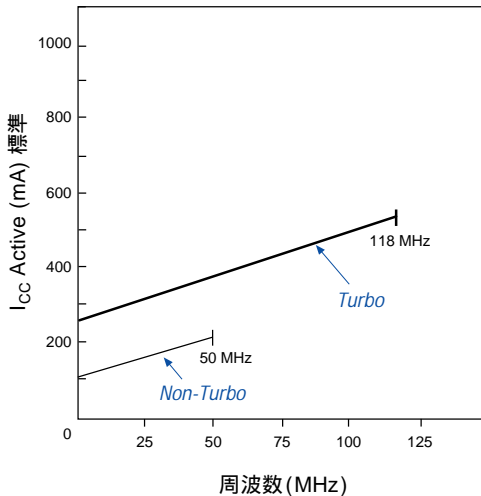
(1) これらの値については、日本アルテラの応用技術部へお問い合わせ下さい。

この計算式は、各LABIに無負荷の16ビットのローダブル、イネーブル付きアップ/ダウン・カウンタを構成した代表的なパターンを使用した場合で、標準的な条件での I_{CC} を推定するためのものです。 I_{CC} の値はデバイス内に実現されたパターンと動作環境条件に依存するため、実際の I_{CC} の値はデバイスの動作時に確認する必要があります。図15はMAX 9000デバイスにおける動作周波数に対する供給電流の標準的な特性を示したものです。

図15 MAX 9000デバイスの I_{CC} 対動作周波数特性 (1/2)

EPM9320A、EPM9480A、EPM9560Aの I_{CC} 対動作周波数特性については、日本アルテラの応用技術部へお問い合わせ下さい。

EPM9320



EPM9400

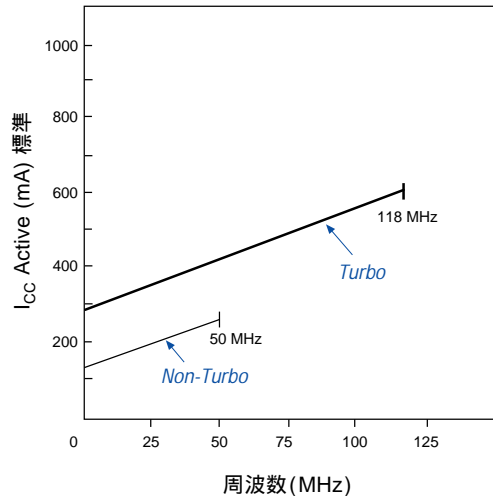
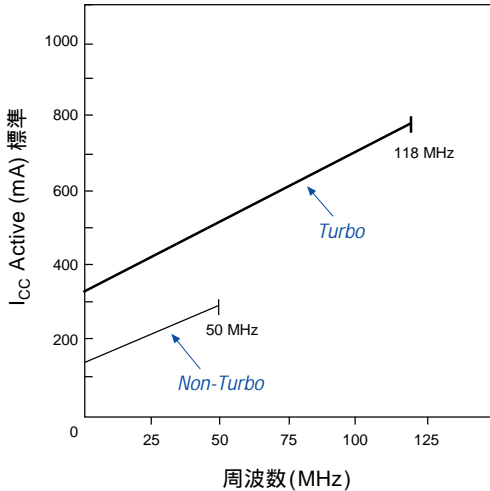


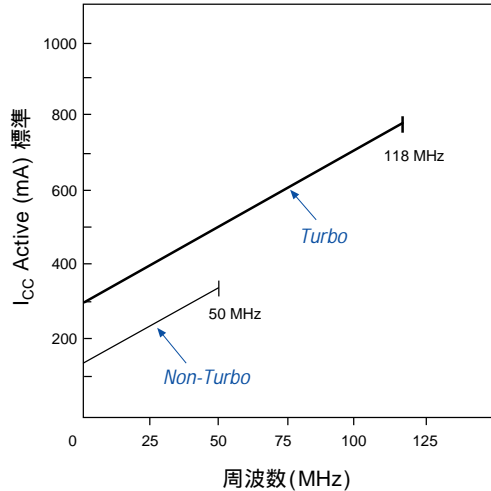
図15 MAX 9000デバイスの I_{CC} 対動作周波数特性 (2/2)

EPM9320A、EPM9480A、EPM9560Aの I_{CC} 対動作周波数特性については、日本アルテラの応用技術部へお問い合わせ下さい。

EPM9480



EPM9560



デバイスの ピン配置

表 10、11、12、13は、EPM9320、EPM9320A、EPM9400、EPM9480Q、EPM9480A、EPM9560Q、EPM9560Aの各パッケージごとのピン配置を示したものです。

表10 EPM9320/EPM9320Aの専用ピン (1/2)

ピン名	84-Pin PLCC 注(1)	208-Pin RQFP	280-Pin PGA 注(2)	356-Pin BGA
DIN1 (GCLK1)	1	182	V10	AD13
DIN2 (GCLK2)	84	183	U10	AF14
DIN3 (GCLR)	13	153	V17	AD1
DIN4 (GOE)	72	4	W2	AC24
TCK	43	78	A9	A18
TMS	55	49	D6	E23
TDI	42	79	C11	A13
TDO	30	108	A18	D3

表10 EPM9320/EPM9320Aの専用ピン (2/2)

ピン名	84-Pin PLCC 注(1)	208-Pin RQFP	280-Pin PGA 注(2)	356-Pin BGA
GND	6, 18, 24, 25, 48, 61, 67, 70	14, 20, 24, 31, 35, 41, 42, 43, 44, 46, 47, 66, 85, 102, 110, 113, 114, 115, 116, 118, 121, 122, 132, 133, 143, 152, 170, 189, 206	D4, D5, D16, E4, E5, E6, E15, E16, F5, F15, G5, G15, H5, H15, J5, J15, K5, K15, L5, L15, M5, M15, N5, N15, P4, P5, P15, P16, R4, R5, R15, R16, T4, T5, T16	A9, A22, A25, A26, B25, B26, D2, E1, E26, F2, G1, G25, G26, H2, J1, J25, J26, K2, L26, M26, N1, N25, P26, R2, T1, U2, U26, V1, V25, W25, Y26, AA2, AB1, AB26, AC26, AE1, AF1, AF2, AF4, AF7, AF20
VCCINT (5.0-Vのみ)	14, 21, 28, 57, 64, 71	10, 19, 30, 45, 112, 128, 139, 148	D15, E8, E10, E12, E14, R7, R9, R11, R13, R14, T14	D26, F1, H1, K26, N26, P1, U1, W26, AE26, AF25, AF26
VCCIO (3.3-Vまたは 5.0-V)	15, 37, 60, 79	5, 25, 36, 55, 72, 91, 111, 127, 138, 159, 176, 195	D14, E7, E9, E11, E13, R6, R8, R10, R12, T13, T15	A1, A2, A21, B1, B10, B24, D1, H26, K1, M25, R1, V26, AA1, AC25, AF5, AF8, AF19
No Connect (N.C.)	29	6, 7, 8, 9, 11, 12, 13, 15, 16, 17, 18, 109, 140, 141, 142, 144, 145, 146, 147, 149, 150, 151	B6, K19, L2, L4, L18, L19, M1, M2, M3, M4, M16, M17, M18, M19, N1, N2, N3, N4, N16, N17, N18, N19, P1, P2, P3, P17, P18, P19, R1, R2, R3, R17, R18, R19, T1, T2, T3, T17, T18, T19, U1, U2, U3, U17, U18, U19, V1, V2, V19, W1	B4, B5, B6, B7, B8, B9, B11, B12, B13, B14, B15, B16, B18, B19, B20, B21, B22, B23, C4, C23, D4, D23, E4, E22, F4, F23, G4, H4, H23, J23, K4, L4, L23, N4, P4, P23, R3, R26, T2, T3, T4, T5, T22, T23, T24, T25, T26, U3, U4, U5, U22, U23, U24, U25, V2, V3, V4, V5, V22, V23, V24, W1, W2, W3, W4, W5, W22, W23, W24, Y1, Y2, Y3, Y4, Y5, Y22, Y23, Y24, Y25, AA3, AA4, AA5, AA22, AA23, AA24, AA25, AA26, AB2, AB3, AB4, AB5, AB23, AB24, AB25, AC1, AC2, AC23, AD4, AD23, AE4, AE5, AE6, AE7, AE9, AE11, AE12, AE14, AE15, AE16, AE18, AE19, AE20, AE21, AE22, AE23
VPP, 注(3)	56	48	C4	E25
トータル・ユーザ I/Oピン数 注(4)	56	128	164	164

注:

- (1) このパッケージを使用する場合は、事前に熱特性に関する十分な検討を行って下さい。また、熱特性の詳細については、1998年版データブックに掲載されているアプリケーション・ノート AN 74「Evaluating Power for Altera Devices (日本語版「アルテラ・デバイスの消費電力評価方法」)を参照して下さい。
- (2) このパッケージは、EPM9320Aに提供されません。
- (3) イン・システム・プログラミングが行われているとき、各デバイスのVPPピンは5.0-Vの電源に接続されている必要があります。通常の動作モードのときは、VPPピンが内部でプル・アップされるため、このピンを5.0-Vの電源に接続するか、またはオープンの状態のままにすることができます。
- (4) この表にユーザI/Oピンは表示されていません。

表11 EPM9400の専用ピン			
ピン名	84-Pin PLCC 注(1)	208-Pin RQFP	240-Pin RQFP
DIN1 (GCLK1)	2	182	210
DIN2 (GCLK2)	1	183	211
DIN3 (GCLR)	12	153	187
DIN4 (GOE)	74	4	234
TCK	43	78	91
TMS	54	49	68
TDI	42	79	92
TDO	31	108	114
GND	6, 13, 20, 26, 27, 47, 60, 66, 69, 73	14, 20, 24, 31, 35, 41, 42, 43, 44, 46, 47, 66, 85, 102, 110, 113, 114, 115, 116, 118, 121, 122, 132, 133, 143, 152, 170, 189, 206	5, 14, 25, 34, 45, 54, 65, 66, 81, 96, 110, 115, 126, 127, 146, 147, 166, 167, 186, 200, 216, 229
VCCINT (5.0-Vのみ)	16, 23, 30, 56, 63, 70	10, 19, 30, 45, 112, 128, 139, 148	4, 24, 44, 64, 117, 137, 157, 177
VCCIO (3.3-Vまたは5.0-V)	17, 37, 59, 80	5, 25, 36, 55, 72, 91, 111, 127, 138, 159, 176, 195	15, 35, 55, 73, 86, 101, 116, 136, 156, 176, 192, 205, 220, 235
No Connect (N.C.)	—	6, 7, 8, 9, 11, 12, 13, 109, 144, 145, 146, 147, 149, 150, 151	1, 2, 3, 6, 7, 8, 9, 10, 11, 12, 13, 168, 169, 170, 171, 172, 173, 174, 175, 178, 179, 180, 181, 182, 183, 184, 185, 236, 237, 238, 239, 240
VPP, 注(2)	55	48	67
トータル・ユーザI/Oピン数 注(3)	55	135	155

注：

- (1) このパッケージを使用する場合は、事前に熱特性に関する十分な検討を行って下さい。また、熱特性の詳細については、1998年版データブックに掲載されているアプリケーション・ノート AN 74「Evaluating Power for Altera Devices (日本語版「アルテラ・デバイスの消費電力評価方法」)を参照して下さい。
- (2) 各デバイスのVPPピンはイン・システム・プログラミングが行われているとき、5.0-Vの電源に接続されている必要があります。通常の動作モードのときは、VPPピンが内部でプル・アップされるため、このピンを5.0-Vの電源に接続するか、またはオープンの状態のままにすることができます。
- (3) この表にユーザI/Oピンは表示されていません。

表12 EPM9480/EPM9480Aの専用ピン		
ピン名	208-Pin RQFP	240-Pin RQFP
DIN1 (GCLK1)	182	210
DIN2 (GCLK2)	183	211
DIN3 (GCLR)	153	187
DIN4 (GOE)	4	234
TCK	78	91
TMS	49	68
TDI	79	92
TDO	108	114
GND	14, 20, 24, 31, 35, 41, 42, 43, 44, 46, 47, 66, 85, 102, 110, 113, 114, 115, 116, 118, 121, 122, 132, 133, 143, 152, 170, 189, 206	5, 14, 25, 34, 45, 54, 65, 66, 81, 96, 110, 115, 126, 127, 146, 147, 166, 167, 186, 200, 216, 229
VCCINT (5.0-Vのみ)	10, 19, 30, 45, 112, 128, 139, 148	4, 24, 44, 64, 117, 137, 157, 177
VCCIO (3.3-Vまたは5.0-V)	5, 25, 36, 55, 72, 91, 111, 127, 138, 159, 176, 195	15, 35, 55, 73, 86, 101, 116, 136, 156, 176, 192, 205, 220, 235
No Connect (N.C.)	6, 7, 8, 9, 109, 149, 150, 151	1, 2, 3, 178, 179, 180, 181, 182, 183, 184, 185, 236, 237, 238, 239, 240
VPP, 注(1)	48	67
トータル・ユーザI/Oピン数 注(2)	142	171

注：

- (1) イン・システム・プログラミングが行われているとき、各デバイスのVPPピンは5.0-Vの電源に接続されている必要があります。通常の動作モードのときは、VPPピンが内部でプル・アップされるため、このピンを5.0-Vの電源に接続するか、またはオープンの状態のままにすることができます。
- (2) この表にユーザI/Oピンは表示されていません。

表13 EPM9560/EPM9560Aの専用ピン (1/2)

ピン名	208-Pin RQFP	240-Pin RQFP	280-Pin PGA 注(1)	304-Pin RQFP 注(1)	356-Pin BGA
DIN1 (GCLK1)	182	210	V10	266	AD13
DIN2 (GCLK2)	183	211	U10	267	AF14
DIN3 (GCLR)	153	187	V17	237	AD1
DIN4 (GOE)	4	234	W2	296	AC24
TCK	78	91	A9	114	A18
TMS	49	68	D6	85	E23
TDI	79	92	C11	115	A13
TDO	108	114	A18	144	D3
GND	14, 20, 24, 31, 35, 41, 42, 43, 44, 46, 47, 66, 85, 102, 110, 113, 114, 115, 116, 118, 121, 122, 132, 133, 143, 152, 170, 189, 206	5, 14, 25, 34, 45, 54, 65, 66, 81, 96, 110, 115, 126, 127, 146, 147, 166, 167, 186, 200, 216, 229	D4, D5, D16, E4, E5, E6, E15, E16, F5, F15, G5, G15, H5, H15, J5, J15, K5, K15, L5, L15, M5, M15, N5, N15, P4, P5, P15, P16, R4, R5, R15, R16, T4, T5, T16	13, 22, 33, 42, 53, 62, 73, 74, 102, 121, 138, 155, 166, 167, 186, 187, 206, 207, 226, 254, 273, 290	A9, A22, A25, A26, B25, B26, D2, E1, E26, F2, G1, G25, G26, H2, J1, J25, J26, K2, L26, M26, N1, N25, P26, R2, T1, U2, U26, V1, V25, W25, Y26, AA2, AB1, AB26, AC26, AE1, AF1, AF2, AF4, AF7, AF20
VCCINT (5.0-Vのみ)	10, 19, 30, 45, 112, 128, 139, 148	4, 24, 44, 64, 117, 137, 157, 177	D15, E8, E10, E12, E14, R7, R9, R11, R13, R14, T14	12, 32, 52, 72, 157, 177, 197, 217	D26, F1, H1, K26, N26, P1, U1, W26, AE26, AF25, AF26
VCCIO (3.3-Vまたは 5.0-V)	5, 25, 36, 55, 72, 91, 111, 127, 138, 159, 176, 195	15, 35, 55, 73, 86, 101, 116, 136, 156, 176, 192, 205, 220, 235	D14, E7, E9, E11, E13, R6, R8, R10, R12, T13, T15	3, 23, 43, 63, 91, 108, 127, 156, 176, 196, 216, 243, 260, 279	A1, A2, A21, B1, B10, B24, D1, H26, K1, M25, R1, V26, AA1, AC25, AF5, AF8, AF19

表13 EPM9560/EPM9560Aの専用ピン (2/2)

ピン名	208-Pin RQFP	240-Pin RQFP	280-Pin PGA 注(1)	304-Pin RQFP 注(1)	356-Pin BGA
No Connect (N.C.)	109	—	B6, W1	1, 2, 76, 77, 78, 79, 80, 81, 82, 83, 84, 145, 146, 147, 148, 149, 150, 151, 152, 153, 154, 227, 228, 229, 230, 231, 232, 233, 234, 235, 236, 297, 298, 299, 300, 301, 302, 303, 304	B4, B5, B6, B7, B8, B9, B11, B12, B13, B14, B15, B16, B18, B19, B20, B21, B22, B23, C4, C23, D4, D23, E4, E22, F4, F23, G4, H4, H23, J23, K4, L4, L23, N4, P4, P23, T4, T23, U4, V4, V23, W4, Y4, AA4, AA23, AB4, AB23, AC23, AD4, AD23, AE4, AE5, AE6, AE7, AE9, AE11, AE12, AE14, AE15, AE16, AE18, AE19, AE20, AE21, AE22, AE23
VPP, 注(2)	48	67	C4	75	E25
トータル・ユーザ I/Oピン数 注(3)	149	187	212	212	212

注：

- (1) このパッケージはEPM9560 Aに提供されません。
- (2) イン・システム・プログラミングが行われているとき、各デバイスのVPPピンは5.0-Vの電源に接続されている必要があります。通常の動作モードのときは、VPPピンが内部でプル・アップされるため、このピンを5.0-Vの電源に接続するか、またはオープン状態のままにすることができます。
- (3) この表にユーザI/Oピンは表示されていません。

パッケージ・ アウトライン

図16から図21までのパッケージ・アウトラインの寸法の表示方法は下記のフォーマットとなっています。

$$\frac{\text{インチ最小 (ミリメートル最小)}}{\text{インチ最大 (ミリメートル最大)}} \quad \text{または} \quad \frac{\text{インチ標準} \pm \text{許容差}}{\text{(ミリメートル標準} \pm \text{許容差)}}$$

または

$$\frac{\text{インチ}}{\text{(ミリメートル)}} \text{ BSC, Min., Max., Ref., Typ., R, Dia., Sq.}$$

です。

表 14 パッケージ・アウトラインに使用される記号

シンボル	説明
BSC	Basic の略。理論値、または目標値
Min.	規定された最小値
Max.	規定された最大値
Ref.	参考値。参照のための値で、保証された値ではない。
Typ.	標準値。一般的な値として表示されているもので、保証された値ではない。
R	半径。曲線の寸法を表す値。
Dia.	直径。曲線の寸法を表すための値
Sq.	長さ方向と幅方向のサイズが等しいパッケージの面積を表す。

図16 84ピン、プラスチック・J-リード・チップ・キャリア (PLCC) パッケージ寸法図

基準測定寸法はインチです。カッコ内のミリメートルの値は参考値です。表示フォーマットについては38ページを参照して下さい。

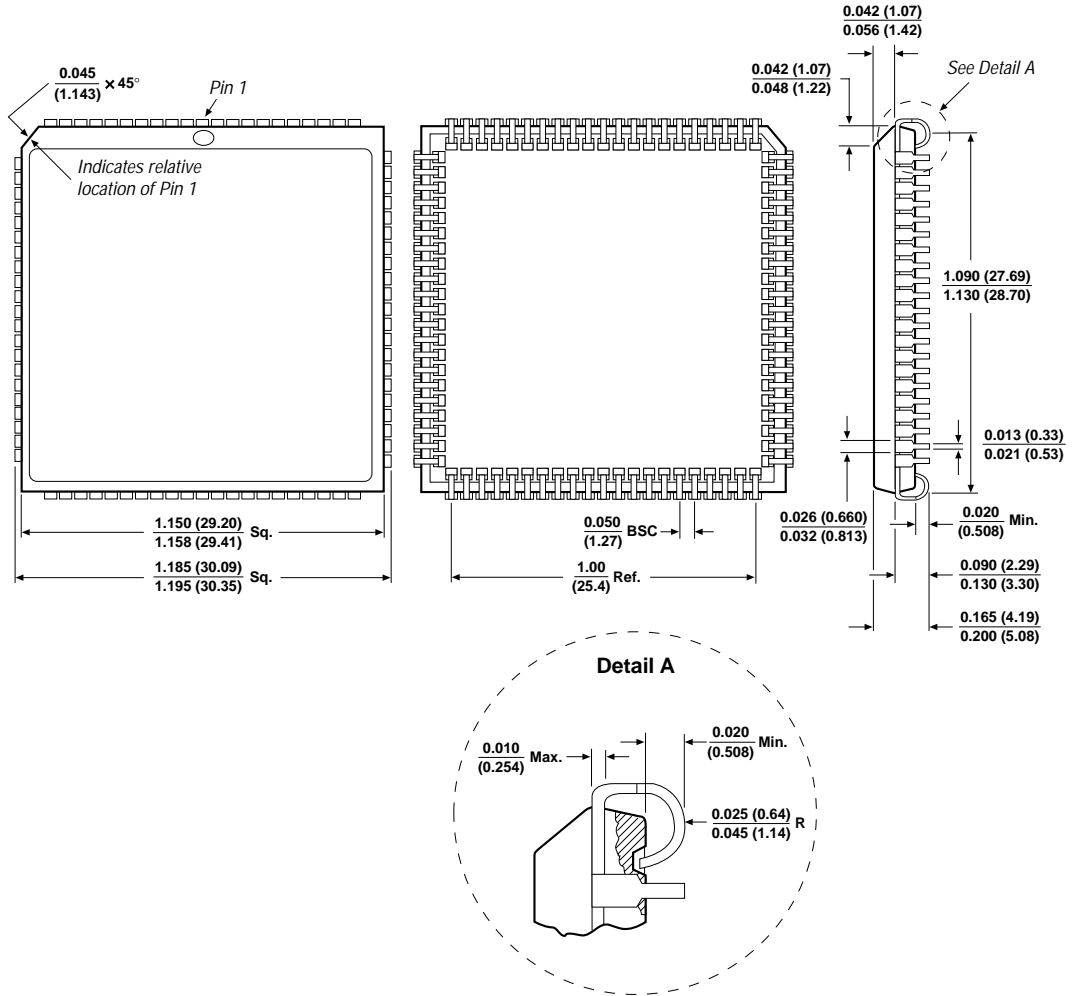


図17 208ピン、パワー・クワッド・フラット・パック (RQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては38ページを参照して下さい。

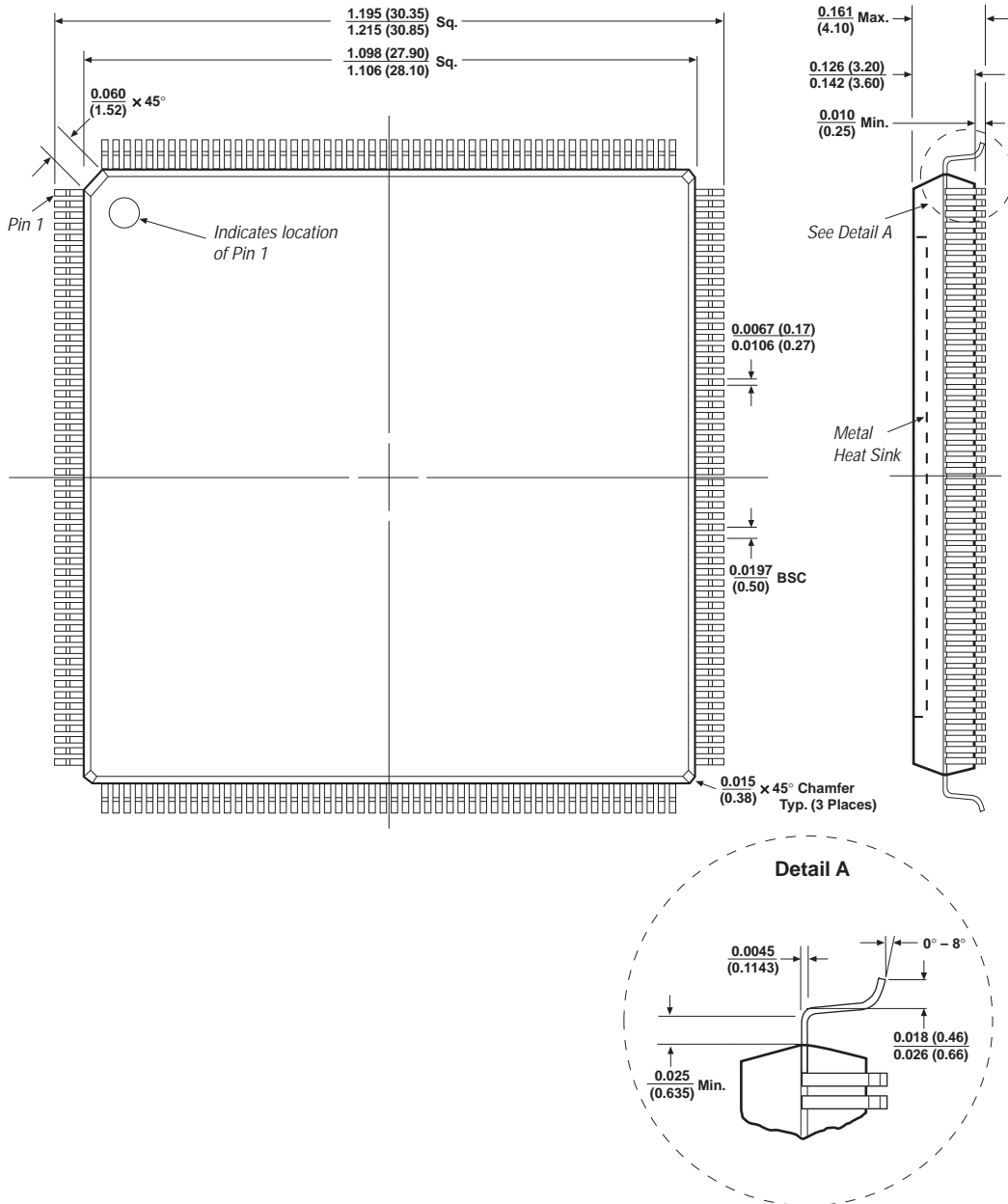


図18 240ピン、パワー・クワッド・フラット・バック(RQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては38ページを参照して下さい。

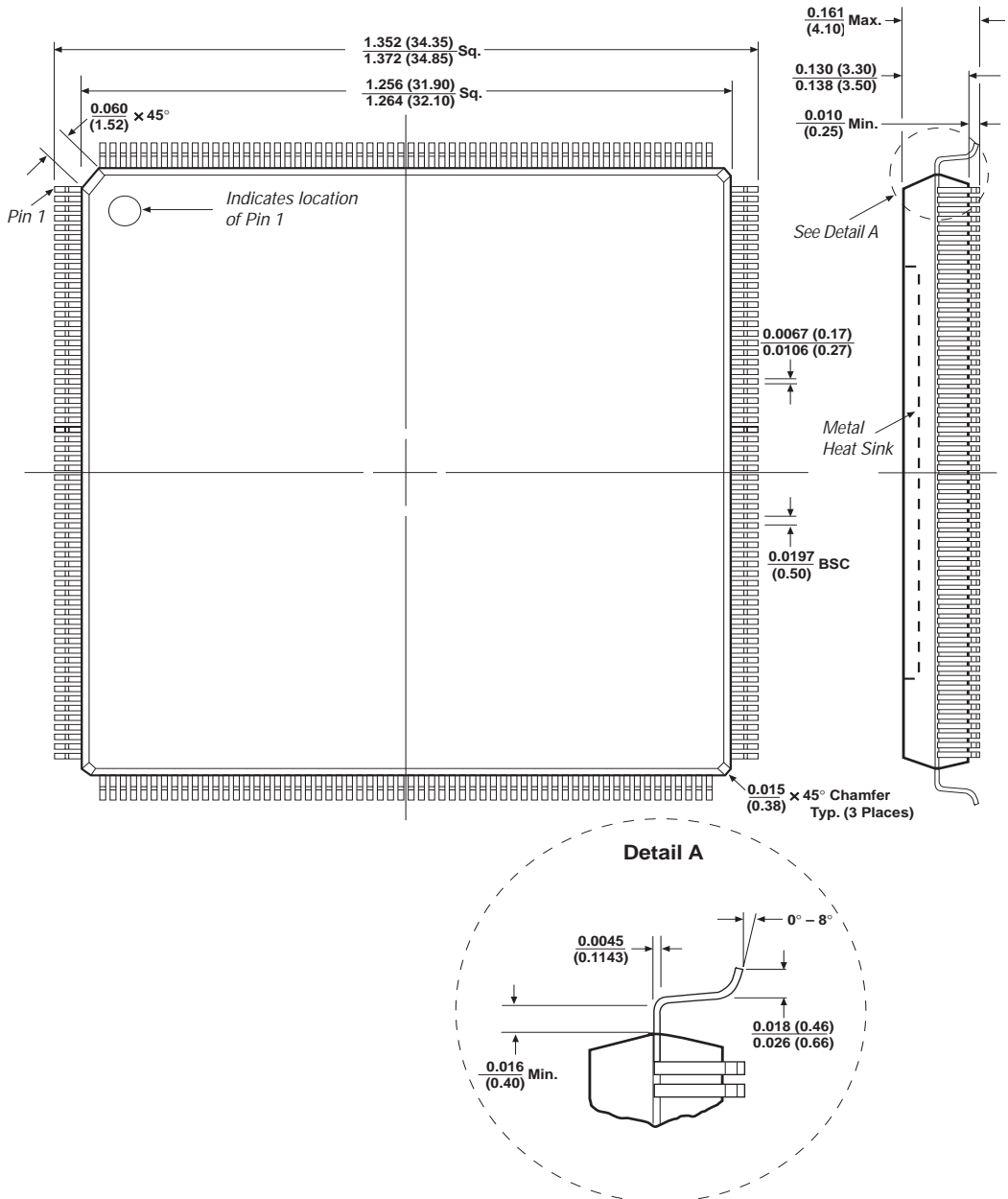


図19 280ピン、ピン・グリッド・アレイ (PGA) パッケージ寸法図

基準測定寸法はインチです。カッコ内のミリメートルの値は参考値です。表示フォーマットについては38ページを参照して下さい。

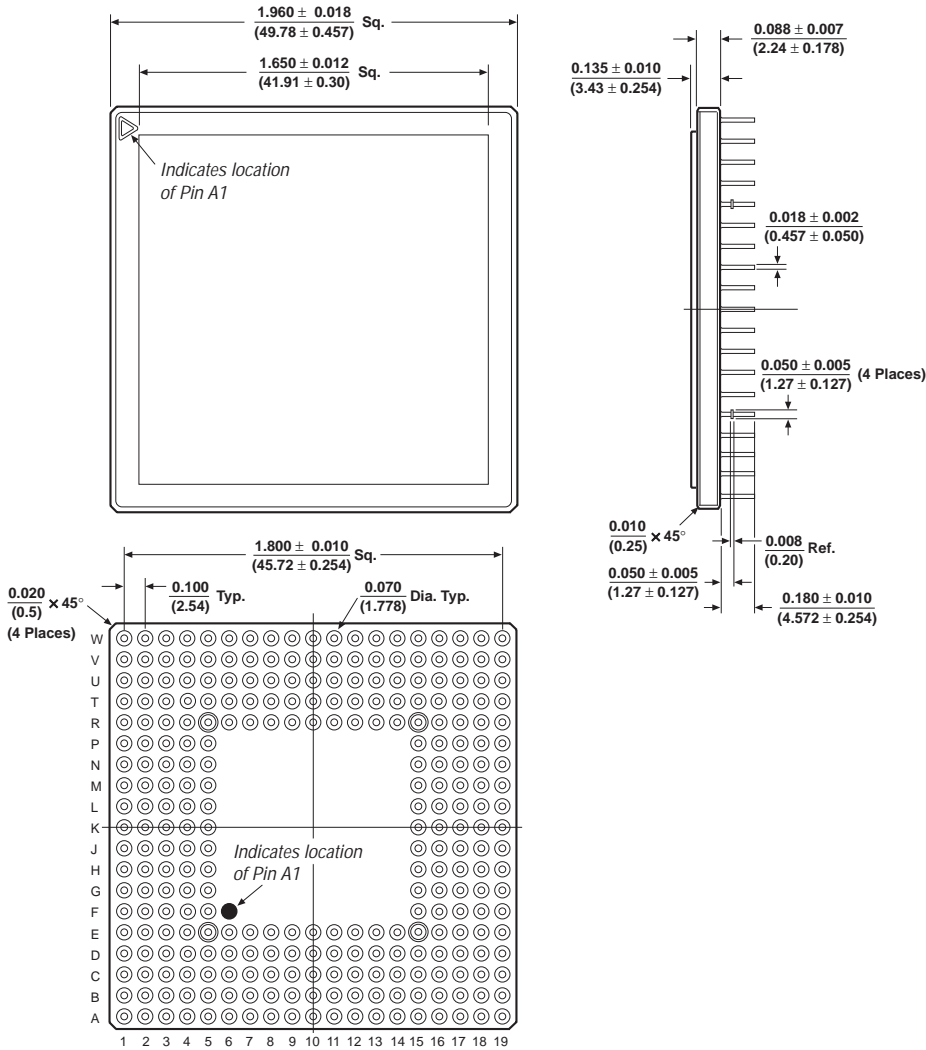


図20 304ピン、パワー・クワッド・フラット・パック(RQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては38ページを参照して下さい。

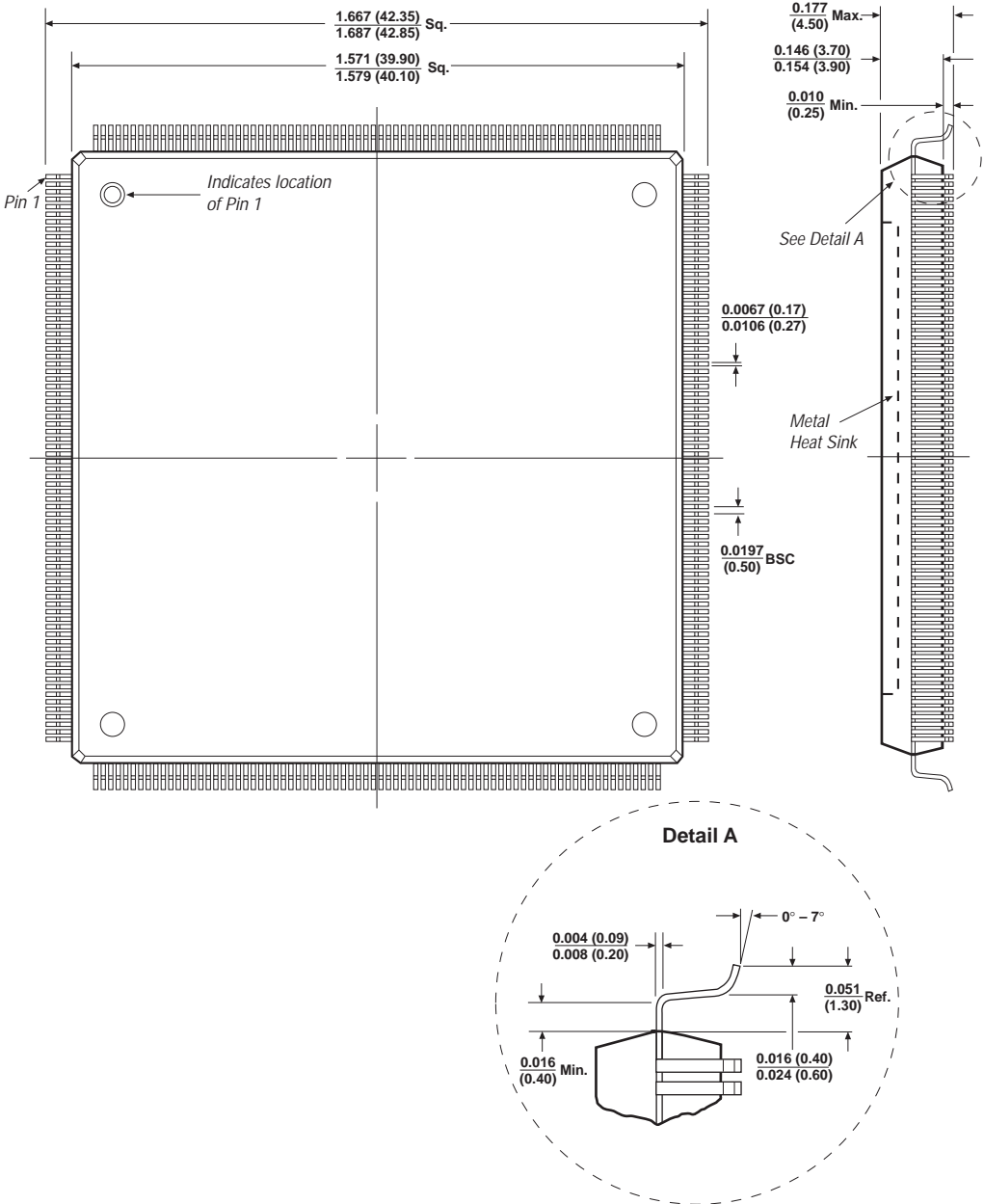
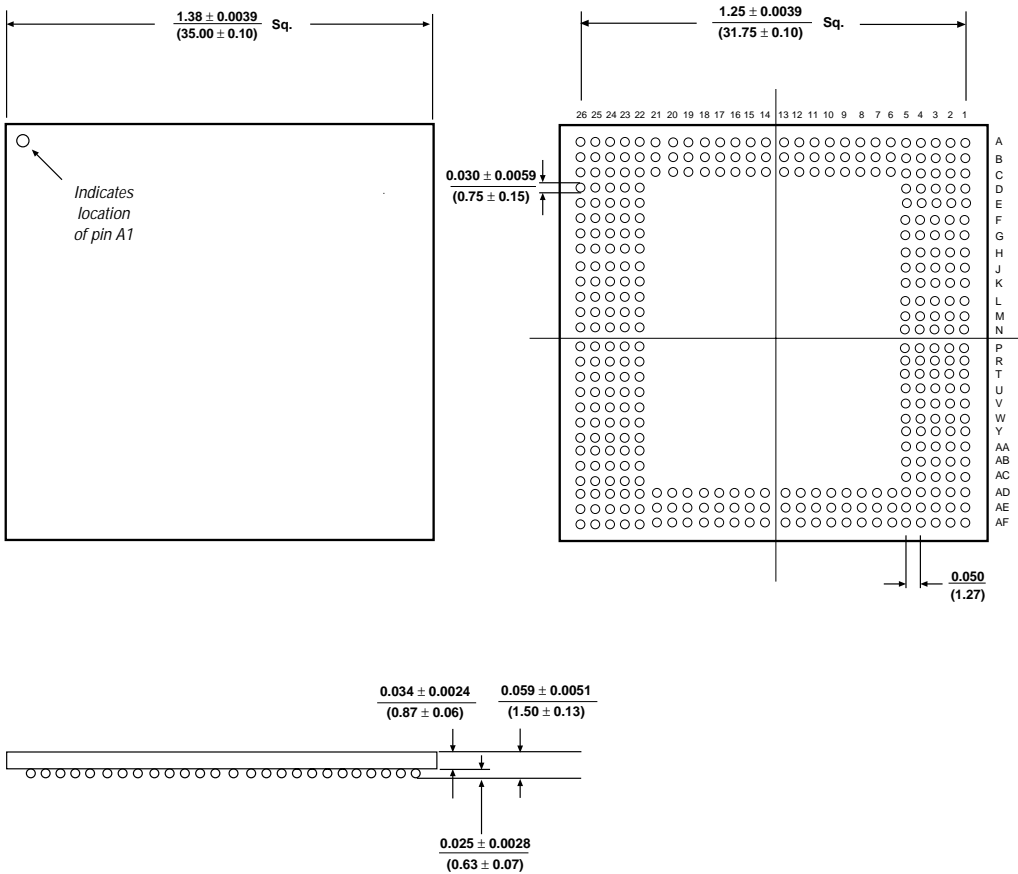


図21 356ピン、ボール・グリット・アレイ(BGA) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては38ページを参照して下さい。



日本アルテラ株式会社

〒163-0436
 東京都新宿区西新宿2-1-1
 新宿三井ビル私書箱261号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,
 San Jose, CA 95134
 TEL : (408) 544-7000
<http://www.altera.com>