



Stratix

高集積、高性能FPGA



February 2004

高集積、高性能 FPGA



高い評価を得ているアルテラの Stratix™ FPGA ファミリは、あらゆる FPGA ベンダにおいて最も包括的な機能セットを実現します。

Stratix FPGA は、Stratix II、Stratix GX および HardCopy Stratix™ デバイス・ファミリと共通の最先端のアーキテクチャ・エレメントを提供しており、広範な高集積、高性能アプリケーションを構築します。Stratix デバイスは、ロジック・エレメント (LE) 数で 10,570 ~ 79,040 個の集積度をカバーしており、最大 7M ビットのエンベデッド RAM と 88 個の 18 × 18 乗算器を備えています。また、最大 12 個の PLL (Phase-locked Loop) および最大 40 本のシステム・クロックを備えており、シングル・エンドおよび差動標準 I/O 規格をサポートしています。新しい Stratix II FPGA は、これらすべての機能を拡張しており、容量および性能も向上しています。

すべてのアルテラのデバイスと同様に Stratix ファミリは、ソフトウェア・ツール、IP (Intellectual Property) ライブラリ、および開発システムを含む非常にパワフルな開発ツール一式でサポートされています。アルテラの Quartus® II ソフトウェア・ツールには、デザイン・エントリ、シミュレーション、論理合成、および配置配線機能が統合されています。Quartus II ソフトウェアにより、ユーザは 1 つの統合された開発環境で設計を行うことができ、MAX® CPLD から Stratix II FPGA までのすべてのアルテラ・デバイスをターゲットとすることができます。アルテラの IP コアは、パラメータ化および最適化されており、メモリ・インタフェースから Nios® エンベデッド・プロセッサまでの多様なアプリケーションに対応します。Nios エンベデッド・プロセッサは、FPGA で使用可能であり、組み込みに最適なプロセッサ・アーキテクチャを持ち、Quartus II ソフトウェアおよびアルテラの開発キットに組み込まれた開発ツールでサポートされています。開発ボ

ード、完全なツール・スイート、およびトライアル IP を含むアルテラの安価な開発キットは、ユーザの開発環境の迅速な立ち上げを強力にサポートします。

Stratix ファミリは、包括的なブロック・ベースの設計手法を実現するように設計された業界発のプログラマブル・ロジック・デバイス (PLD) ファミリで、現在量産出荷されています。Quartus II デザイン・ソフトウェアとの併用により、ユーザは個別のデザイン・ブロックを最適化することができ、ブロックを移動させたり、他の最適化されたファンクションとインテグレーションする場合でも、ブロックの性能をロックすることができます。システム・インテグレーションの過程で長い時間が消費される性能の最適化を短縮できるため、Stratix FPGA は高集積プログラマブル・ロジックの持つ「Time-to-Market」の利点をさらに強化します。実際に、Stratix デバイスは、プッシュ・ボタン操作によって達成される性能が、従来のアーキテクチャと比較して平均で 50%、最高で 100% も改善されます。

Stratix FPGA は、1.5V、0.13 ミクロンの全層銅配線 SRAM プロセスをベースとしています。3 種類のサイズのメモリ・ブロックで構成されている Stratix の TriMatrix™ メモリ構造により、広いメモリ帯域幅や大容量ストレージ・メモリの要求に最適化されています。デジタル信号処理 (DSP) アプリケーション向けに、Stratix デバイスは、算術演算アプリケーションにおける性能のボトルネックを解消する最大 88 個の 18 × 18 乗算器ブロックを内蔵しています。乗算器はアルテラの DSP ブロックに実装され、乗算および乗算累積回路で構成された DSP ブロックは予測可能な性能を実現し、高いデータ・スループットが要求される複雑なアプリケーションの使用リソースを大幅に節減します。表 1 には、Stratix デバイスの特長と利点がまとめられており、表 2 には各製品がサポートする幅広い機能とパッケージ・オプションが示されています。

表 1. Stratix の特長と利点

| 特 長 | 利 点 |
|----------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 高性能アーキテクチャ | 配線構造により、最短の開発時間で最高のシステム性能を達成するブロック・ベースの設計手法を実現。 |
| TriMatrix メモリ | 最大 7M ビットの RAM、8 テラビット/秒のメモリ帯域幅、250MHz を超えるデータ転送レートを実現する、3 種類のサイズのエンベデッド・メモリ・ブロック。 |
| DSP ブロック | DSP ブロックあたり最高 2.67 GMACS のデータ・スループットに対応できる、予測可能な 333MHz 性能。 |
| 広帯域幅の標準 I/O 規格および高速インタフェース | 10 ギガビットのイーサネット (XSBI)、SFI-4、POS-PHY Level 4、HyperTransport™、RapidIO™、最高 840Mbps の UTOPIA Level 4 インタフェースなどを含む高速標準 I/O 規格や高速インタフェースをサポート。さらに、最先端の外部メモリ・デバイス・インタフェースもサポート。 |
| クロック・マネージメント回路 | クロック・スイッチオーバー、PLL リコンフィギュレーション、スペクトラム拡散クロッキング、周波数合成、およびプログラマブルな位相および遅延シフトなどの機能をそなえた、最大 12 個の PLL および最大 40 本のシステム・クロック。 |
| リモート・システム・アップグレード機能 | PLD のアップデートが遠隔地からリアル・タイムで可能。 |
| コスト削減が可能なマイグレーション・パス | 高集積 Stratix デバイスをサポートしている HardCopy™ デバイスへの移行によりコストを削減。 |

表 2. Stratixファミリの概要

| 項目 | EP1S10 | EP1S20 | EP1S25 | EP1S30 | EP1S40 | EP1S60 | EP1S80 |
|--------------------------------|--------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------|---------------------------------------------------------------|-----------------------------------------------------------------|-----------------------------------------------------------------|---------------------------------------|
| LE数 | 10,570 | 18,460 | 25,660 | 32,470 | 41,250 | 57,120 | 79,040 |
| M512 RAMブロック数 (512ビット+パリティ) | 94 | 194 | 224 | 295 | 384 | 574 | 767 |
| M4K RAMブロック数 (4Kビット+パリティ) | 60 | 82 | 138 | 171 | 183 | 292 | 364 |
| M-RAMブロック数 (512Kビット+パリティ) | 1 | 2 | 2 | 4 | 4 | 6 | 9 |
| トータルRAMビット数 | 920,448 | 1,669,248 | 1,944,576 | 3,317,184 | 3,423,744 | 5,215,104 | 7,427,520 |
| DSPブロック数 | 6 | 10 | 10 | 12 | 14 | 18 | 22 |
| エンベデッド乗算器数 ¹ | 48 | 80 | 80 | 96 | 112 | 144 | 176 |
| PLL数 | 6 | 6 | 6 | 10 | 12 | 12 | 12 |
| 最大ユーザI/Oピン数 | 426 | 586 | 706 | 726 | 822 | 1,022 | 1,238 |
| パッケージ・オプション | 672-Pin Ball-Grid Array (BGA) 484-Pin FineLine BGA® 672-Pin FineLine BGA 780-Pin FineLine BGA | 672-Pin BGA 484-Pin FineLine BGA 672-Pin FineLine BGA 780-Pin FineLine BGA | 672-Pin BGA 672-Pin FineLine BGA 780-Pin FineLine BGA 1,020-Pin FineLine BGA | 956-Pin BGA 780-Pin FineLine BGA 1,020-Pin FineLine BGA | 956-Pin BGA 1,020-Pin FineLine BGA 1,508-Pin FineLine BGA | 956-Pin BGA 1,020-Pin FineLine BGA 1,508-Pin FineLine BGA | 956-Pin BGA 1,508-Pin FineLine BGA |

注: ¹ 9×9構成のエンベデッド乗算器数。各デバイス内に構成可能な18×18構成の乗算器数は、9×9乗算器のトータル数の1/2として算出できます。36×36構成の乗算器数は、9×9乗算器のトータル数の1/8で算出できます。

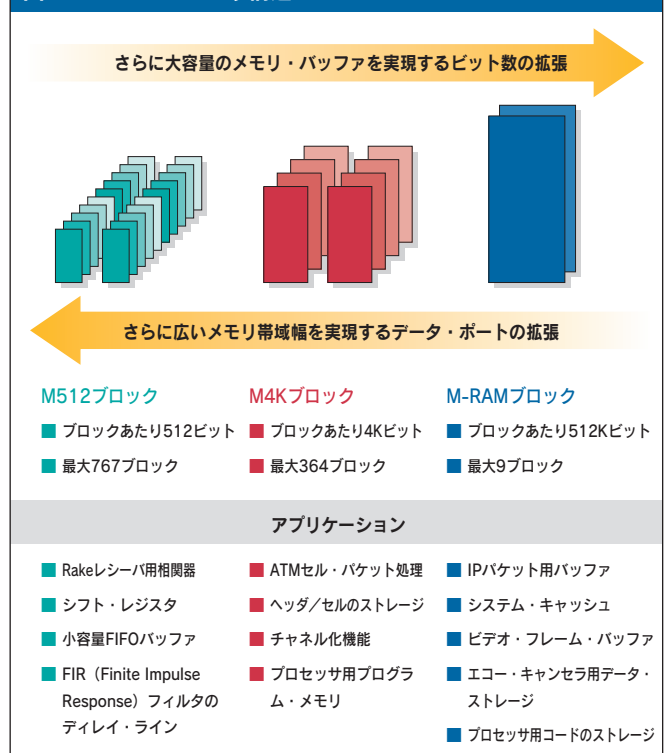
広帯域幅のソリューション

Stratixデバイス・ファミリは、特に高速システムにおいて増大している広帯域化の要求に対応するように設計されています。さらに広い帯域幅に対する要求は、全体のメモリ帯域幅、I/Oの帯域幅、コアの性能などあらゆる領域で増大しています。非常に柔軟性の高い連続した配線構造のMultiTrack™の採用によって性能が最適化されているStratixは、従来のアーキテクチャよりも大幅に高いコア性能を実現します。この配線構造とTriMatrixメモリ、DSPブロック、専用の高速I/Oインタフェースなどのエンベデッド機能により、Stratixデバイスは最高のシステム・インテグレーションを実現し、広帯域システムの要求に対応しています。

TriMatrixメモリ

Stratixデバイスは、3種類のサイズのエンベデッドRAMブロックで構成されているTriMatrixメモリ構造を特長としています。TriMatrixメモリは、512ビットのM512ブロック、4KビットのM4Kブロック、512KビットのM-RAMブロックが内蔵されており、各ブロックは広範囲の機能がサポートされるようにコンフィギュレーションすることができます。TriMatrixメモリ構造の各エンベデッドRAMブロックは、それぞれ異なるクラスのアプリケーションをターゲットにしています。M512ブロックは高速FIFO (First-in First-out) アプリケーションのような小容量のメモリ・ファンクションに、M4Kブロックはマルチ・チャンネルI/Oプロトコルから入力されるデータのストアに使用

図 1. TriMatrixメモリ構造



することができます。また、M-RAMブロックは、インターネット・プロトコル・パケット用バッファのような大量のデータのストアが要求されるアプリケーションや、オン・チップのNiosエンベデッド・プロセッサ用のプログラム/データ・メモリなどに使用可能です。すべてのメモリ・ブロックには、エラー・コントロール、エンベデッド・シフト・レジスタ機能、複数のデータ幅のモード、およびミックスド・クロック・モードをサポートするための追加のパリティ・ビットが含まれています。さらに、M4KおよびM-RAMブロックは、全二重デュアル・ポート・モードと最先端の部分書き込みを行うためのバイト・マスキング機能をサポートしています。図1に示されるように、最大7MビットのRAM容量と最高8テラビット/秒のデバイス・メモリ帯域幅をサポートするTriMatrixメモリ構造により、Stratixファミリは多くのメモリを必要とするアプリケーションに理想的な選択肢となっています。

DSPブロック

Stratixデバイス内のプログラマブルなDSPブロックは、高性能のエンベデッド演算ユニットとなっており、rakeレシーバ、ボイス・オーバー・インターネット・プロトコル (VoIP) ゲートウェイ、OFDM (Orthogonal Frequency Division Multiplexing : 直交周波数分割多重) トランシーバ、イメージ処理、マルチメディア・エンターテインメント・システムなどのアプリケーションに最適化されています。高いデータ・スループットが要求される多様なアプリケーションに対して、高い柔軟性、効率、そして価値を提供するStratixデバイスのDSPブロックは、FIR (Finite Impulse Response) フィルタ、高速フーリエ変換 (FFT) ファンクション、コリレータ (相関器)、および暗号化/複号化ファンクションなどの幅広い標準的なDSPファンクションを実装することができるため、ワイヤレス通信、テレコミュニケーション、ビデオ、およびイメージ処理などの市場をターゲットにしたシステムに理想的なソリューションを提供します。DSPブロックは、複雑な演算アプリケーションにおける性能のボトルネックを解消し、予測可能な信頼性の高い性能を実現すると共に、性能を犠牲にすることなく使用リソースを節減します。このため、高い計算機能を必要とし、同時に高いデータ・スループットも要求される複雑なシステムに最適です。StratixデバイスのDSPブロックは、ハードウェア乗算器、加算器、減算器、乗算累積器、およびパイプライン・レジスタなどで構成されています。図2に示されているように、StratixデバイスのDSPブロックは専用回路として実装されているため、ユーザに最適な性能を提供することができます。StratixデバイスのDSPブロックは333MHzで動作することができ、各DSPブロックで最高2.67GMACSのデータ・スループット性能を実現します。Stratixデバイスは最大22個のDSPブロックを内蔵しており、現在供給されている主なデジタル信号プロセッサと比べて10倍以上のスループットを実現することができます。表3は、StratixデバイスのDSPブロックの特長をまとめたものです。

図2. DSPブロックのアーキテクチャ

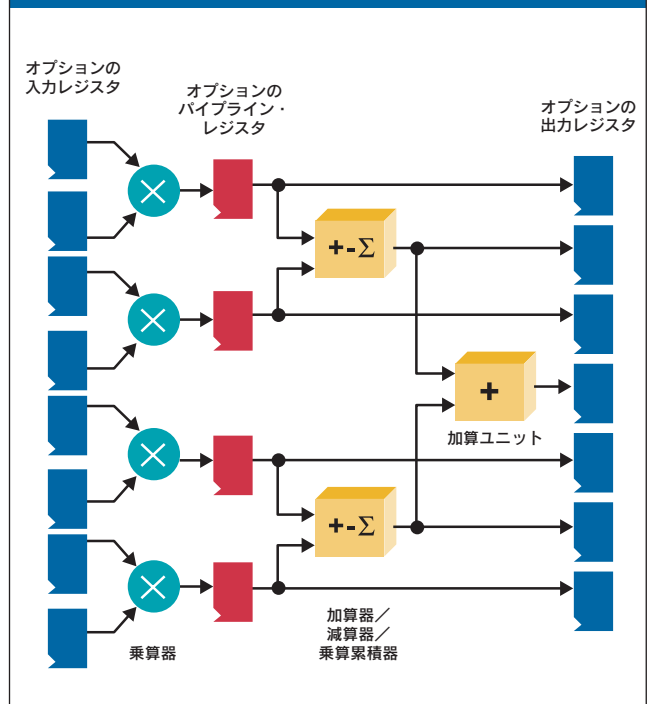


表3. DSPブロックの特長

| プログラマブル・エレメント | 利点 |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 乗算器 | <ul style="list-style-type: none"> ■ 9×9、18×18、および36×36構成の乗算 ■ 浮動小数点演算 ■ 符号付きおよび符号なしの動作 ■ すべてのモードでフル精度の演算結果 ■ 入力にオプションのシフト・レジスタ |
| 加算器/減算器/乗算累積器 | <ul style="list-style-type: none"> ■ 乗算器および減算器間のダイナミック・スイッチング ■ 乗算器および減算器での9ビット、18ビット、または36ビットの動作 ■ 52ビットの乗算累積器 ■ 符号付きおよび符号なしの動作 |
| 加算ユニット | <ul style="list-style-type: none"> ■ 1クロック・サイクルで最大4個の演算結果を統合 |
| 複雑なシフト・ファンクション | <ul style="list-style-type: none"> ■ バレル・シフタ、クロス・バー・スイッチ、および暗号化機能 |

広帯域の標準 I/O 規格および高速インタフェース

Stratix デバイスは、シングル・エンドおよび差動形式の標準 I/O 規格をサポートしており、バックプレーン、ホスト・プロセッサ、バス、メモリ・デバイス、および 3D グラフィック・コントローラとインタフェースを容易に行うことができます。Stratix デバイスは、最大 152 本

表 4. Stratixデバイスがサポートする標準I/O規格およびインタフェース

| 項目 | シングル・エンド標準I/O規格 | 差動標準I/O規格 | 外部メモリ・インタフェース |
|----------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 業界標準 | LVTTTL、LVCMOS、SSTL、HSTL、PCI-X、CTT、AGP、GTL+ | LVDS、LVPECL、HyperTransport、PCML | SSTL-2、SSTL-3、SSTL-18、HSTL Class I & II、差動SSTL、差動HSTL |
| 専用回路 | <ul style="list-style-type: none"> ■ On-Chip Termination ■ PCI準拠 ■ PCI-X | True-LVDS回路 <ul style="list-style-type: none"> ■ 専用SERDES回路 ■ 差動I/Oバッファ ■ データ・リアライメント | 専用DDR回路 <ul style="list-style-type: none"> ■ 専用DQS回路 ■ DDRタイミング回路 ■ 専用I/Oレジスタ |
| 関連するアルテラのIP (Intellectual Property) コアとリファレンス・デザイン | <ul style="list-style-type: none"> ■ 32/64ビットのPCI ■ CSIX ■ DMA (Direct Memory Access) コントローラ ■ USB (Universal Serial Bus) コントローラ | <ul style="list-style-type: none"> ■ POS-PHY Level 4 ■ UTOPIA Level 4 ■ Flexbus Level 4 ■ HyperTransport ■ RapidIO | <ul style="list-style-type: none"> ■ DDR SDRAMコントローラ ■ SDR (Single Data Rate) SDRAM コントローラ ■ DDR FCRAMコントローラ ■ QDR (Quad Data Rate) SRAM コントローラ ■ ZBT RAMコントローラ |

の高速差動I/Oチャンネルを提供しています。これらの各I/Oチャンネルには、表4に示されている高速インタフェース規格に対応した専用のシリアライザ/デシリアライザ (SERDES) 回路が内蔵されています。これらの高速I/Oインタフェースの標準規格や広帯域プロトコルのサポートにより、Stratixデバイスは完全なシステム・インテグレーションを実現する理想的なソリューションとなっています。

差動標準I/O規格のサポート

Stratixデバイスには、LVDS、LVPECL、PCML、HyperTransportの差動標準I/O規格、および差動形式のHSTLとSSTLをサポートするTrue-LVDS™回路が内蔵されています。Stratixデバイス・ファミリーは高速入力の差動I/Oチャンネルを最大136チャンネル、高速出力の差動I/Oチャンネルを最大152チャンネル備えており、このうち最大で80チャンネルが840Mbpsの動作に最適化されています。

シングル・エンド標準I/O規格のサポート

ボード上の他のデバイスとのインタフェースを行えるようにするため、Stratixデバイスは、LVTTTL、LVCMOS、SSTL、HSTL、GTL、GTL+、PCI-X、AGP、およびCTTを含むシングル・エンド形式の標準I/O規格をサポートしています。シングル・エンド標準I/O規格は、差動標準I/O規格よりも大きな電流ドライブ能力を提供し、DDR (Double Data Rate) SDRAMやZBT (Zero-Bus Turnaround) SRAMなどの最先端のメモリ・デバイスと共に動作する場合に必要となります。

高速インタフェースのサポート

アルテラは、Stratixデバイスで業界最先端の高速差動I/Oインタフェースを継続的にサポートしています。Stratixデバイスは、10ギガビットのイーサネット (XSBI)、SFI-4、POS-PHY Level 4 (SPI-4 Phase 2)、HyperTransport、RapidIO、およびUTOPIA IVの標準規格を含む幅広い高速インタフェースをサポートしています。アルテ

図 3. Stratixデバイスがサポートするオン・ボードの高速インタフェース

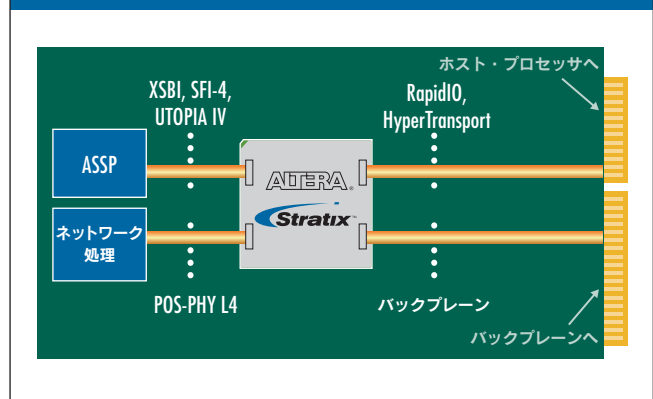


表 5. Stratixデバイスがサポートする外部メモリ・インタフェース

| 外部メモリ・デバイス | 最高データ転送レート | メモリ・クロック・スピード |
|-------------|------------|---------------|
| SDR SDRAM | 200 Mbps | 200 MHz |
| DDR SDRAM | 400 Mbps | 200 MHz |
| DDR FCRAM | 400 Mbps | 200 MHz |
| ZBT SRAM | 200 Mbps | 200 MHz |
| QDR SRAM | 668 Mbps | 167 MHz |
| QDR II SRAM | 668 Mbps | 167 MHz |

ラのIP (Intellectual Property) コアを使用することによって、Atrantic™インタフェースを通じたこれらの高速インタフェース間のブリッジを実現することができます。さらに、図3に示すように、Stratixデバイスは1個のデバイス内で4種類までの広帯域インタフェースをサポートできるため、これまでになかったブリッジ・ソリューションを提供します。

高速外部メモリ・インタフェースのサポート

オン・チップのTriMatrix メモリに加え、Stratix デバイスは増大するメモリ帯域幅の要求に対応するため、外部メモリとのインタフェースをサポートし、チップ外部に接続される追加データ・ストレージの使用も可能にしています。これにより、ユーザは主要なベンダの広範な最新SRAM およびDRAMのメモリ・デバイスをStratix デバイ스에簡単に接続することができます。Stratix デバイスの機能とカスタマイズ可能なIP を活用することにより、データ・アクセスの性能を低下させることなく、また開発時間を増大させることなく、大容量のメモリ・デバイスを複雑なシステム・デザイン内に組み込むことができます。Stratix デバイスは、表5 に示されているような多様な最先端メモリ・インタフェースに対応しています。

高性能アーキテクチャ

革新的なアーキテクチャをベースにしているStratix デバイスは、デザイン全体の柔軟性を確保しながら、専用のシリコン・ブロックによって提供される高い性能の利点を活用することができます。このアーキテクチャによって、ユーザが目標としている性能と帯域幅の達成に必要なソリューションが提供されます。

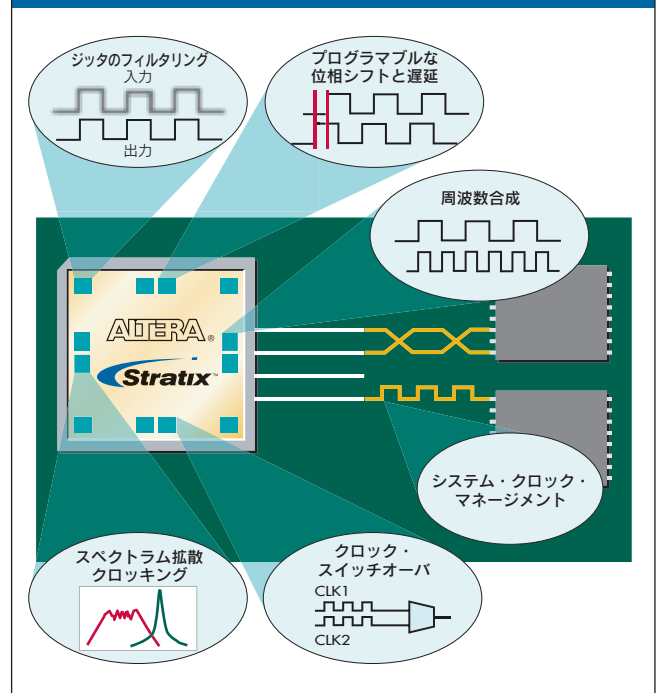
Stratix アーキテクチャの優位点

新しく設計されたアーキテクチャをベースにしたStratix デバイス・ファミリは、複雑なデザインのシステム・インテグレーション能力を新しいレベルまで引き上げています。LogicLock™ 設計手法の実現によって、Stratix デバイスは困難なシステム・インテグレーションのプロセスを簡略化し、ブロック・ベースのデザインによる開発と最高性能が得られる最適化を可能にしています。この新しい高性能アーキテクチャにはMultiTrack インタコネクとDirectDrive™ テクノロジも採用されています。MultiTrack インタコネクは、デザイン・ブロック内およびデザイン・ブロック間を接続するときに使用される、性能を高めるために最適化された長さの異なる連続した配線ラインで構成されています。また、DirectDrive テクノロジはアルテラの独自開発による確定的な配線技術であり、これによってデバイス内の位置に関係なく、あらゆるファンクションに理想的な配線リソースが使用されるようになります。これら2つの新しいアーキテクチャの利点により、デザインの変更や追加で一般的に発生する時間のかかるシステムの再最適化サイクルが不要になるため、ブロック・ベースのデザインによるシステム・インテグレーションがさらに簡略化されます。

クロック・マネージメント回路

デバイスあたり最大12個のPLLと最大40本のシステム・クロックを提供するStratix デバイスは、セントラル・クロック・マネージャの機能を果たして、システム・タイミングの課題に対応します。Stratix デバイスは、これまでハイエンド・ディスクリットPLLデバイスでのみ提供されていたシステム・レベルのクロック・マネージメント機能をオン・チップのPLLで実現した業界初のPLDです。Stratix デバイスは2種類のPLLを提供しています。enhanced PLLは、外

図4. Stratixデバイスのクロック・マネージメント回路

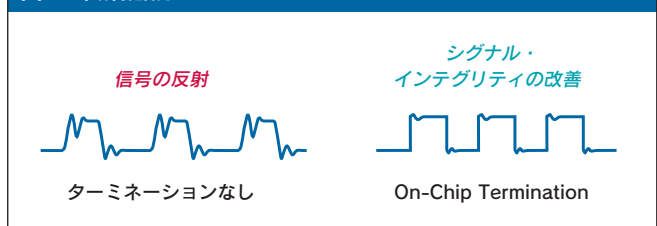


部フィード・バック、クロック・スイッチオーバ、PLL リコンフィギュレーション、スペクトラム拡散クロッキング、プログラマブルな帯域幅などの最先端の機能をサポートしています。また、fast PLLは高速の差動I/Oインタフェースに最適化されており、汎用のクロックとして使用することができます。図4は、Stratix デバイスのPLLによって実現される機能を示しています。

On-Chip Termination テクノロジ

Stratix デバイスは、直列終端、差動終端、およびドライバ・インピーダンス・マッチングをサポートするOn-Chip Termination (チップ内終端) 抵抗テクノロジーを持っています。ドライバ・インピーダンス・マッチングは、信号の反射を減少させる重要な役割を果たし、シグナル・インテグリティを改善して(図5を参照)、最高のシステム性能を実現します。Stratix デバイスのOn-Chip Terminationは、他の終端方法と比べてPCB上に必要な外部抵抗の数が最小に抑えられるため、ボード・スペースを節減しボードのレイアウトも簡略化します。内部抵抗値を一定に保つため、アルテラの終端テクノロジーはI/Oバンク

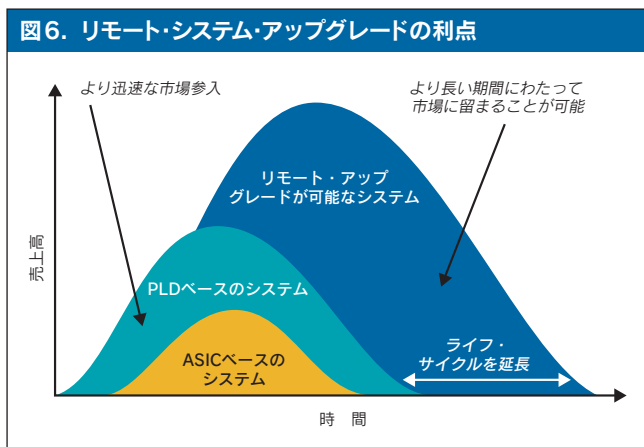
図5. 終端抵抗



ごとに2個の精密抵抗を外部接続して内部抵抗の値を監視します。これにより、終端抵抗がプロセス、温度、および電圧の変化や偏差に応じて補正されます。

リモート・システム・アップグレード

PLDの採用によりデザインを短期間で市場に投入することが可能になりますが、Stratixデバイスのリモート・システム・アップグレード機能を活用することによって、製品を最先端の技術レベルに維持することができます。リモート・システム・アップグレードは、あらゆる通信ネットワークを通じて新しいデザインを送信することができ、ユーザーのSOPCデザインを競合よりも先進の状態に維持します。Stratixデバイスは、優れたデザインの柔軟性を提供すると共に、図6に示されるように製品のライフ・サイクルを延長させることができます。



アルテラのSOPCソリューション

Stratixデバイスは、system-on-a-programmable-chip (SOPC) デザイン向けの高度なシステム・インテグレーションを実現します。アルテラは、Quartus II デザイン・ソフトウェア、最適化されたIP、Nios エンベデッド・プロセッサ、およびカスタム・トレーニングなど、Stratix デバイスに完全なシステムを構築するためのソリューションを提供しています。

デザイン・ソフトウェアの技術的リーダーシップ

アルテラの強力で使いやすいQuartus IIソフトウェアは、デザイン・フロー手法のサポート、システム・デザイン、IPの統合および評価、配置配線テクノロジー、タイミング・クロージャ手法、インシステム検証テクノロジー、およびサードパーティEDAのサポートにおいて、独自の優れた特長を備えています。Quartus IIソフトウェアは、FPGA、CPLD、およびHardCopyストラクチャードASICデザインに最も包括的な設計環境を提供します。Quartus IIソフトウェアの技術的リーダーシップは、高集積度FPGAデザインに対応した比類のない性能、効率、および使いやすさを提供します。Quartus IIソフトウェアの詳

細については、www.altera.co.jp/quartus2 をご覧ください。

インタラクチャル・プロパティ

アルテラとAMPPSM (Altera Megafunction Partners Program) のパートナー企業は、アルテラのStratixデバイス向けに最適化され、標準品として入手可能な60種以上のIPメガファンクションを提供しています。パラメータ化されているこれらのIPのブロックは簡単に実装することができるため、デザインおよびテストの時間が短縮されます。これらのメガファンクションは、特定のアプリケーションをターゲットにしており、最適化された性能を提供すると共にシステムの再利用を可能にし、製品の「Time-to-Market」を大幅に短縮するトータル・ソリューションを提供します。

Nios エンベデッド・プロセッサ・ソリューション

Nios エンベデッド・プロセッサを使用することによって、Stratixデバイス上にエンベデッド・プロセッサを集積した完全なSOPCデザインを実現することができます。Nios エンベデッド・プロセッサは、Stratixデバイス・ファミリの最先端のアーキテクチャ機能向けに最適化されており、優れた性能および能力を実現します。アルテラのSOPC Builderを使用することにより、ユーザーは幅広いIPコンポーネントから最適なコアを選択し、特定のアプリケーション用にカスタマイズしてデザインに統合することができます。これによって、カスタマイズされた実装方法に対応したハードウェア、ソフトウェア、およびシミュレーション・モデルが自動的に生成されます。StratixデバイスおよびNiosエンベデッド・プロセッサ・ソリューションは、デザインのプロセスを簡略化し、「Time-to-Market」を加速します。

アルテラのWebサイト

Stratixデバイスは、広帯域、高性能のデザインのニーズに対する理想的なソリューションを提供します。Stratixデバイス・ファミリとその広帯域ソリューションの詳細は、日本アルテラのWebサイト、www.altera.co.jp/stratix をご覧ください。



日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1
新宿アイランドタワー32F 私書箱1594号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.co.jp>
E-mail: japan@altera.com

本社 **Altera Corporation**

101 Innovation Drive, San Jose, CA 95134
USA
TEL : (408)544-7000
<http://www.altera.com>