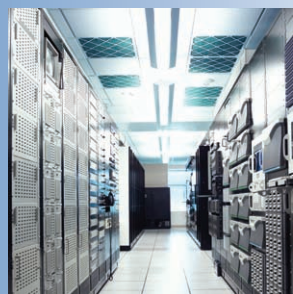
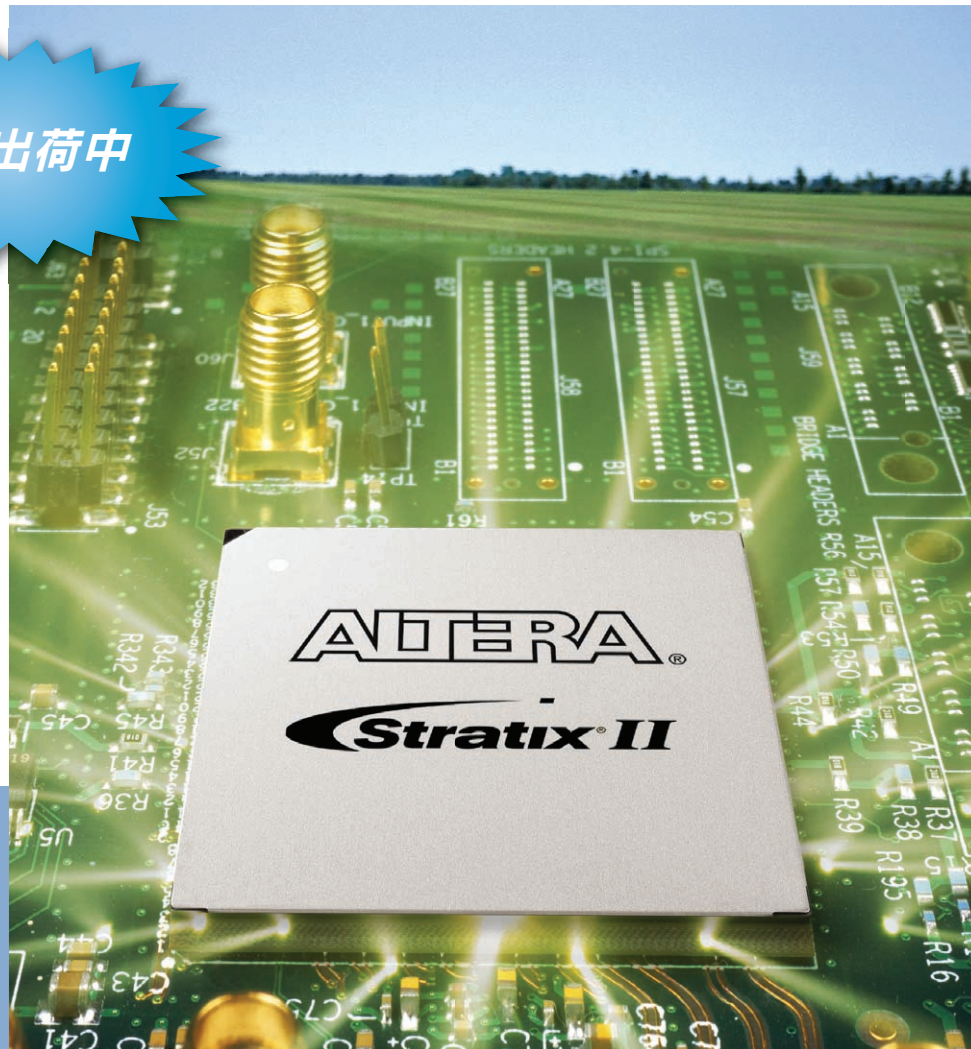


**ALTERA**®

# Stratix II

90nm プロセス、高性能&高集積FPGA

現在出荷中



**November 2004**

## 高性能で高集積のFPGA



アルテラから最新の高集積、高性能FPGAのStratix II®デバイスが発表されました。

新しい革新的なロジック構造で形成されたStratix IIデバイスは、前世代のFPGA製品と比べて、50%の性能向上および2倍以上のロジック集積度を実現しています。Stratix II FPGAのベンチマーク結果は、競合FPGAと比べ最も高い性能を実現しています。Stratix IIデバイスは、最大500MHzの内部クロック周波数および250MHz以上のデザイン性能(通常値)をサポートしています。新しいロジック構造によって、設計者は狭小なスペースにより多くの機能を搭載することで製品コストを低減できます。これは、プログラマブル・ロジックを使用した設計による「Time-to-Market」の利点と共に、ASICレベルの集積度および性能を享受できるようになったことを意味します。Stratix IIデバイスは、設計者に時間のかかる既存のテクノロジーの使用を余儀なくさせていた性能、集積度およびコストの障壁を排除します。

90nmプロセス・テクノロジー・ノードを最適化した第2世代製品のStratix IIデバイスは、業界で高い評価を得ているStratix FPGAファミリの機能および特長をすべて備えています。Stratix IIデバイスは、同等の集積度のStratixデバイスと比べると約40%コストが低く、中

規模から大規模のアプリケーションに最適なソリューションを提供します。量産アプリケーション向けには、Stratix II FPGAのHardCopy® ストラクチャードASICが、業界で唯一のFPGAプロトタイプから低コストの量産製品までのシームレスな開発手段を提供します。Stratix II FPGA



デザインのHardCopyストラクチャードASICバージョンは、性能をさらに向上し、FPGAを実現しながら消費電力を低減し、著しく低いユニット・コストを提供します。



QUARTUS® II

Stratix IIデバイスは、業界最先端の高集積FPGA設計向け開発ソフトウェアであるQuartus® II開発ソフトウェアでサポートされています。Quartus II開発ソフトウェアは、ASICレベルの設計能力を備えており、合成、最適化、および検証ツールを1つに統合した包括的な設計環境を提供します。タイミング・クロージャおよびブロック・ベース設計手法、SOPC BuilderおよびSingleTap® IIロジック・アナライザなどの機能により、コンセプトから製品までのデザインを数時間で行うことが可能になります。

表 1. Stratix IIファミリの特長と利点

特長	利点
新しいロジック構造	高性能を実現し、リソース使用効率を最大化するアダプティブ・ロジック・モジュール(ALM)で構成された新しい革新的なロジック構造。加算器ツリーおよびその他の複雑な演算機能を効果的に実行する専用機能を内蔵。
高性能ロジック・アレイ	Stratix IIデバイスは、最大500MHzの内部クロック・レートおよび250MHz以上のシステム性能(通常値)をサポート。Stratix IIデバイスの平均性能は、第一世代製品のStratixデバイスに比べて50%向上。
外部メモリ・インタフェース回路	専用回路で、複数の標準64ビット、168ピン/144ピンのデュアル・インライン・メモリ・モジュール(DIMM)とのインタフェースをサポートするための十分な帯域幅およびI/Oピンを備えた267MHz DDR2 SDRAM、300MHz RLDRAM II、および200MHz QDR II SRAMデバイスなどの最先端の外部メモリ・インタフェースをサポート。
1Gbpsの差動I/Oおよび高速インタフェース	10ギガビットのイーサネット(XSBI)、SFI-4、SPI 4.2、HyperTransport™、RapidIO™、および最大1GbpsのUTOPIA Level 4インタフェースなどの高速I/O標準規格および高速インタフェースをサポート。
ダイナミック・フェーズ・アライメント(DPA)	シグナル・インテグリティを最大化し、プリント基板(PCB)レイアウトおよび高速データ転送用タイミング管理を簡素化。高速データ転送システムにおけるチャネル間およびチャネル-クロック間スキューを排除することによって、1Gbpsのデータ転送レートが可能。
TriMatrix™メモリ	パリティ内蔵、最大性能370MHz、最大9Mbitの3種類のブロック・サイズのメモリ。
DSPブロック	JPEG2000、MPEG-4、802.11x、広帯域符号分割多重アクセス方式(W-CDMA)、高速ダウンリンク・パケット・アクセス(HSDPA)、1x EV DVなどの高速DSPアプリケーションの性能要求に対応。DSPブロックは、最大370MHzで動作する最大384個の18ビット×18ビット乗算器を提供。
デザイン・セキュリティ	設計の知的財産の盗用を防止する、128ビットAESデザイン暗号化技術および不揮発性キー・ストレージ。
クロック・マネージメント回路	すべてのオンおよびオフ・チップ・クロッキング要求のためのPLLリコンフィギュレーション、スペクトラム拡散クロッキング、周波数合成、プログラマブル位相シフト、遅延シフトなどの機能を備えた、最大12個のPLL(Phase-Locked-Loop)および最大48本のシステム・クロック。
リモート・システム・アップグレード	信頼性が高い安全なイン・システム・アップグレードおよびバグ修正配置が可能。
Stratix IIデバイスのHardCopyサポート	低コストHardCopyストラクチャードASICへのシームレスでコスト削減のマイグレーション・パス。

## FPGA テクノロジにおける基準を定義

TriMatrixメモリ、デジタル信号処理 (DSP) ブロック、および外部メモリ・インタフェースなど、高く評価されているStratix IIデバイス・ファミリの機能をベースとしたStratix IIデバイスは、FPGAテクノロジにおける新しい基準となっています。Stratix II FPGAは、1.2V、90nm、全層銅配線SRAMプロセスで製造されており、15,600～179,400個のロジック・エレメント (LE) に相当する集積度、および最大9MビットのエンベデッドRAMを提供します。Stratix IIデバイスは、128ビットAES (advanced encryption standard) および不揮発性キー・ストレージを使用したデザイン・セキュリティ、DPA回路、および新しい外部メモリ・インタフェースのサポートなどの新しい機能を備えています。表1にはStratix IIデバイスの主な特長と利点がまとめられており、表2には広範な機能とパッケージ・オプションが示されています。

## Stratix IIの革新的なアーキテクチャ

Stratix IIのアーキテクチャは、性能を考慮して設計されています。Stratix II FPGAは、革新的なロジック構造であるアルテラの新しいアダプティブ・ロジック・モジュール (ALM) で構築されており、デバイスのロジック効率および内部周波数をかつてないレベルまで引き上げています。図1のStratix IIのフロアプランの説明を参照してください。

図1. Stratix II EP2S60のフロアプラン

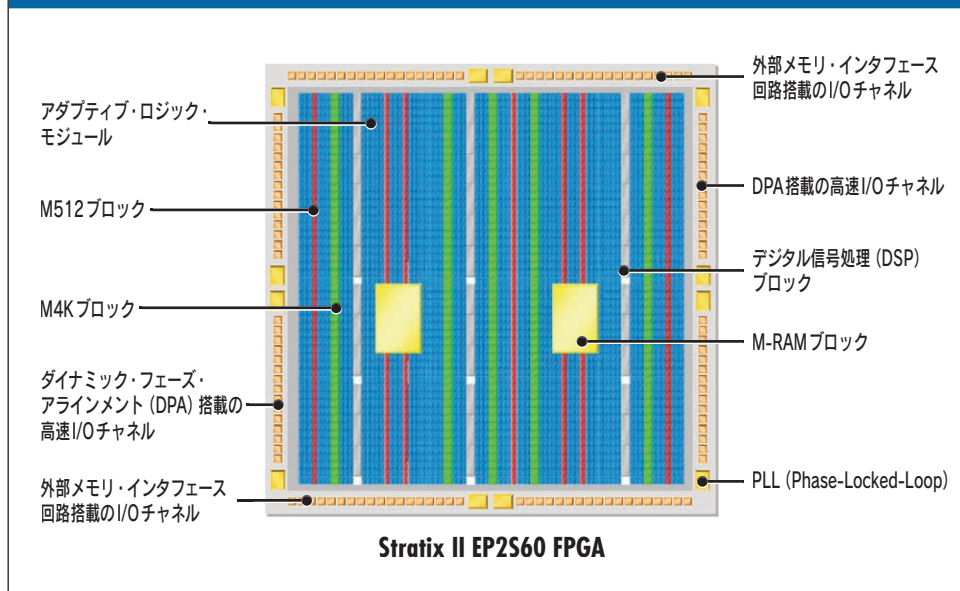


表2. Stratix IIファミリの概要

特長	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
ALM <sup>1</sup> 数	6,240	13,552	24,176	36,384	53,016	71,760
等価LE数	15,600	33,880	60,440	90,960	132,540	179,400
M512 RAMブロック数 (512ビット+パリティ)	104	202	329	488	699	930
M4K RAMブロック数 (4Kビット+パリティ)	78	144	255	408	609	768
M-RAMブロック数 (512Kビット+パリティ)	0	1	2	4	6	9
トータルRAMビット数	419,328	1,369,728	2,544,192	4,520,448	6,747,840	9,383,040
DSPブロック数 <sup>2</sup>	12	16	36	48	63	96
エンベデッド18ビット×18ビット乗算器数	48	64	144	192	252	384
PLL数	6	6	12	12	12	12
最大ユーザI/Oピン数	366	542	718	902	1,126	1,170
パッケージ・オプション	484-Pin FBGA <sup>3</sup> 672-Pin FBGA	484-Pin FBGA 672-Pin FBGA	484-Pin FBGA 672-Pin FBGA 1,020-Pin FBGA	484-Pin HFBGA <sup>4</sup> 780-Pin FBGA 1,020-Pin FBGA 1,508-Pin FBGA	780-Pin FBGA 1,020-Pin FBGA 1,508-Pin FBGA	1,020-Pin FBGA 1,508-Pin FBGA

注: 1 各ALMは、4入力LUTベースのロジック・エレメントの2.5倍に相当します。

2 DSPブロックあたり4個の18ビット×18ビット乗算器

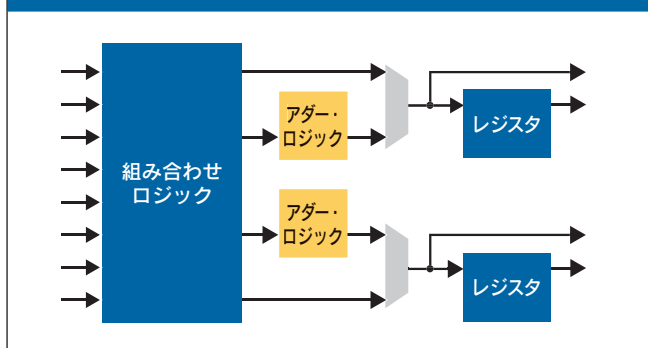
3 FPGA: FineLine BGA®パッケージ

4 HFBGA: Hybrid FineLine BGAパッケージ。484ピンHFBGAの外寸法は、27mm×27mmです。

## 新しいロジック構造

Stratix IIデバイスの新しい革新的ALMは、小さな物理面積でより多くのロジック容量と高速性能を実現します。Stratix IIアーキテクチャは、ファンクションの実装に必要なロジック・リソースとクリティカル・パス内のロジック段数を大幅に低減します。これは、同じALM内の隣接するルック・アップ・テーブル (LUT) で入力共有を可能にすることによって達成されます。複数の独立したファンクションを1つのALM内に収容することもでき、必要なロジック・リソースがさらに削減されます。90nmノードでは、インタコネクト遅延が全FPGAの大部分を占め、インタコネクト横断を減らすことがデバイス性能の最適化に不可欠なため、このロジック構造が重要になります。図2にStratix II ALMを示します。

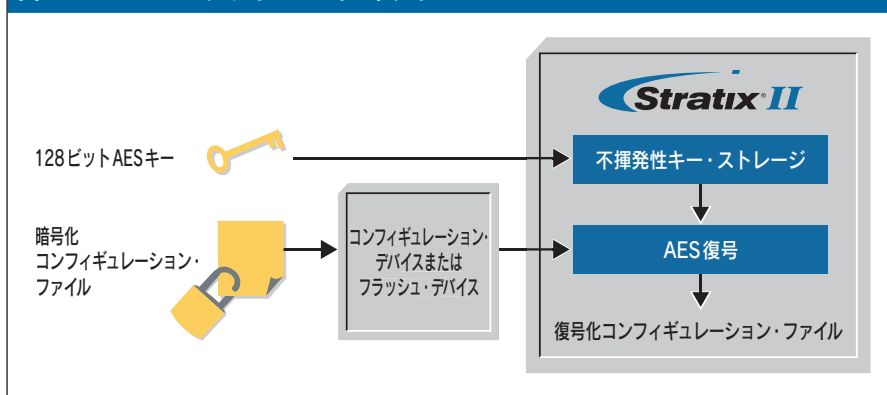
図2. Stratix IIのアダプティブ・ロジック・モジュールの構造



## デザイン・セキュリティ

FPGAデザインは、ますます複雑になり、システム・ファンクションにおいて大きな役割を担い始めていることにより、設計の知的財産の盗用は重要な課題となっています。設計者にセキュリティを提供することはシステムを保護することであり、Stratix IIデバイスはAES暗号化技術および不揮発性キー・ストレージを導入しています。図3に示されているように、各Stratix IIデバイスは、Quartus II開発ソフトウェアで生成された暗号化コンフィギュレーション・ファイルで安全にコンフィギュレーションすることができ、外部コンフィギュレーション・デバイスに保存できます。

図3. Stratix IIのデザイン・セキュリティ



## 広帯域幅の標準I/O規格と高速インターフェース

FPGAは、事実上すべてのデジタル・システムにおいて不可欠なものとなってきており、さまざまなデバイスと通信可能でなければなりません。Stratix II FPGAは、多くのシングル・エンドおよび差動標準I/O規格をサポートしており、バックプレーン、ホスト・プロセッサ、バス、およびメモリ・デバイス、3Dグラフィック・コントローラとインターフェース可能です。

### DPA搭載のソース・シンクロナス信号

Stratix IIデバイスは、1Gbps性能の最大156個のレーザおよび156個のトランスミッタ高速差動チャンネルを実現します。各I/Oチャンネルは、専用のシリアライザ/デシリアイザ (SERDES) およびDPA回路を内蔵しています。5ページの図4に示すように、DPA機能はクロック・チャンネル間だけでなく、チャンネル間スキューも除去することができます。これにより、広い帯域幅が要求されるデータ転送の信頼性が向上され、10ギガビットのイーサネットXSBI、SFI-4、SPI-4.2、HyperTransport、RadiolOおよびCSIXなどの高速インターフェース標準規格の実行に伴う複雑さが簡略化されます。

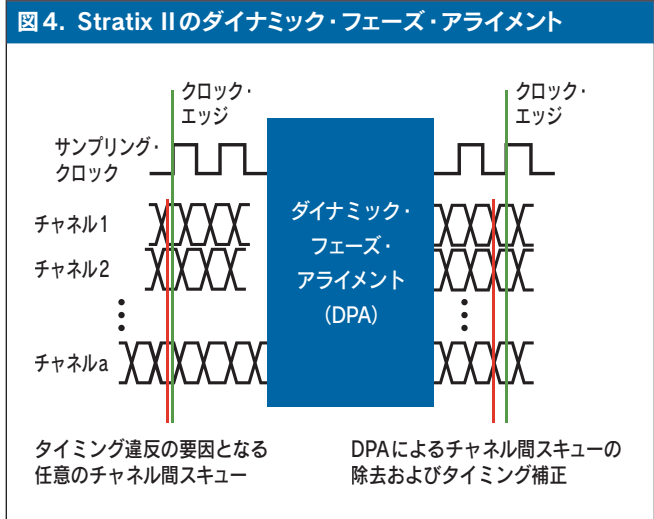
### シングル・エンド標準I/O規格のサポート

Stratix IIデバイスは、LVTTTL、LVCMOS、SSTL、HSTL、PCI、およびPCI-Xなどのシングル・エンド標準I/O規格をサポートしています。シングル・エンド標準I/O規格は、差動標準I/O規格よりも大きな電流ドライブ能力を提供し、DDR2 SDRAMおよびQDR II SRAMのような最先端のメモリ・デバイスと共に設計する場合に必要となります。

### 高速外部メモリ・インターフェースのサポート

大容量オン・チップTriMatrixメモリに加え、Stratix IIデバイスはメモリ要求の高いデザイン向けに専用の外部メモリ・インターフェースを提供しています。これにより、ユーザは5ページの表3に示されている広範な最新の標準SRAMおよびDRAMのメモリ・デバイスをStratix IIデバイスに簡単に接続することができます。Stratix IIデバイスの機能とカスタマイズ可能なIP (Intellectual Property) を活用することにより、データ・アクセスの性能を低下させることなく、また開発時間を増大させることなく、大容量のメモリ・デバイスを複雑なシステム・デザイン内に統合することができます。

インタフェース	最大クロック周波数 (MHz)	最大データ・レート (Mbps)
SDR SDRAM	200	200
DDR SDRAM	200	400
DDR2 SDRAM	267	533
RLDRAM II	300	600
QDR II SRAM	250	1,000



### 高性能メモリ帯域幅

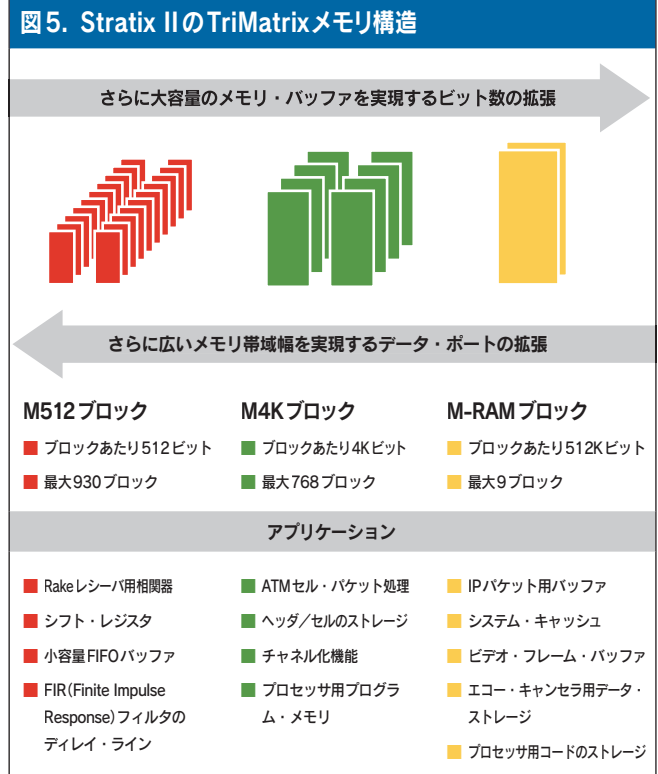
Stratix II FPGAは、Stratixデバイスで導入された TriMatrixメモリ構造を採用しています。TriMatrixメモリは、512ビットのM512ブロック、4KビットのM4Kブロック、および512KビットのM-RAMブロックで構成されており、各ブロックは広範な機能をサポートするようにコンフィギュレーションが可能です。TriMatrixメモリ構造の各エンベデッドRAMブロックは、それぞれ異なるクラスのアプリケーションをターゲットにしています。M512 RAMブロックは、FIFO (First-In First-Out) のアプリケーションのような小容量のファンクションに使用可能であり、M4Kブロックは、マルチ・チャンネルI/Oプロトコルから入力されるデータのストアに使用することができます。また、M-RAMブロックは、インターネット・プロトコル・パケット用バッファやオン・チップのNios® IIエンベデッド・プロセッサ用のプログラム/データ・メモリのような大量のデータのストアが要求されるアプリケーションに使用することができます。すべてのメモリ・ブロックは、エラー・コントロール、エンベデッド・シフト・レジスタ機能、複数のデータ幅のモード、およびミックスド・クロック・モードをサポートするための追加パリティ・ビットが含まれています。さらに、M4KブロックおよびM-RAMブロックは、先進の書き込み操作を行うトウルナー・デュアル・ポート・モードおよびバイト・マスキングをサポートしています。図5に示されるように、最大9MビットのRAM容量および370MHzの最大クロック・スピードを実現するTriMatrixメモリ構造により、Stratix IIデバイス・ファミリは多くのメモリを必要とするアプリケーションに理想的な選択肢となっています。

### 比類のないDSPパワー

Stratix II DSPブロックは、フィルタリング、圧縮、チップレート処理、等化、デジタル中間周波数、変換、および変調などの集中的な処理機能の実装に最適です。Stratix II FPGAは、DSPブロックを使用することによって、JPEG2000、MPEG-4、802.11x、CDMA2000 (code-division multiple access 2000)、1x EV DV、HSDP、W-CDMAなどの普及しつつある標準規格とプロトコルのDSPスルーput要件を容易に満たすことができます。370MHzで動作可能なStratix II DSPブロックによって、現在入手可能な最新のデジタル信号プロセッサとは桁違いの最大DSPスルーput (最大284GMAC) が実現されます。

各DSPブロックは、乗算器のさまざまなビット・サイズ (9×9、18×18、36×36) と動作モード (乗算、複素数乗算、乗算累積、および積和) に対応でき、1個のDSPブロックで3.0 GMACのDSPスルーputを達成可能です。

加えて、DSPブロックには丸め機能と飽和機能のサポートが追加され、FPGAデザインへのDSPファームウェア・コードの移植が容易になりました。スピーチ処理など、多くのアプリケーションでは、データを格納するメモリ・バッファの幅が固定されているので、丸め処理および飽和処理が使用されます。かつて、固定小数点数を使用するDSP設計者は、丸め処理および飽和処理に対応するためにデザインを修正する必要がありました。DSPブロックでの丸め機能および飽和機能のサポートによって、デジタル信号プロセッサ・ベースのデザインの



FPGA実装への移植がはるかに簡単になりました。図6にStratix IIのDSPブロック回路を示します。

### 強化されたシステム・クロック・マネージメント

デバイスあたり最大12個のPLLと最大48本のシステム・クロックを提供するStratix II FPGAは、システム・タイミングの課題に対応するセントラル・クロック・マネージャとして機能するように構築されています。これらのPLL機能のシステム・レベルのクロック・マネージメント機能は、通常ハイエンド・ディスクリットPLLデバイスでのみ提供されています。Stratix IIは、enhanced PLLとfast PLLの2種類のタイプのPLLを提供しています。enhanced PLLは、外部フィードバック、クロック・スイッチオーバ、PLLリコンフィギュレーション、スペクトラム拡散クロッキング、プログラマブル帯域幅などの最先端の機能をサポートしています。fast PLLは、高速差動I/Oインタフェース用に最適化されていますが、汎用のクロックとして使用することもできます。図7はStratix IIデバイスのPLLのシステム・タイミング機能を図解しています。

### On-Chip Termination

今日のシステム速度およびクロック・エッジ・レートの増加に伴い、デジタル・デザインにおいてシグナル・インテグリティは非常に重要となっています。シグナル・インテグリティを向上させるには、シングル・エンド信号および差動信号の両方を適切に終端する必要があります。終端は、ボード上の外部終端抵抗またはOn-Chip Terminationテクノロジーで実装できます。Stratix IIデバイスは、直列終端および差動終端をサポートするOn-Chip Terminationを提供しています。

図6. Stratix IIのDSPブロック・アーキテクチャ

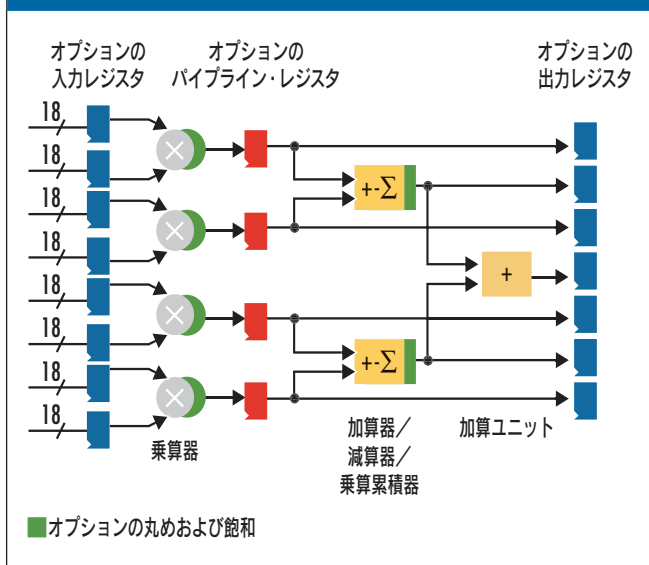
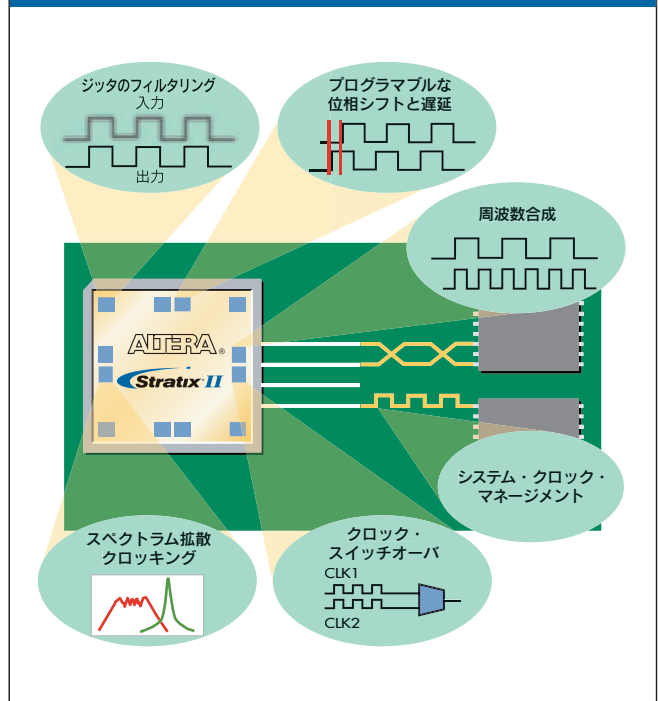


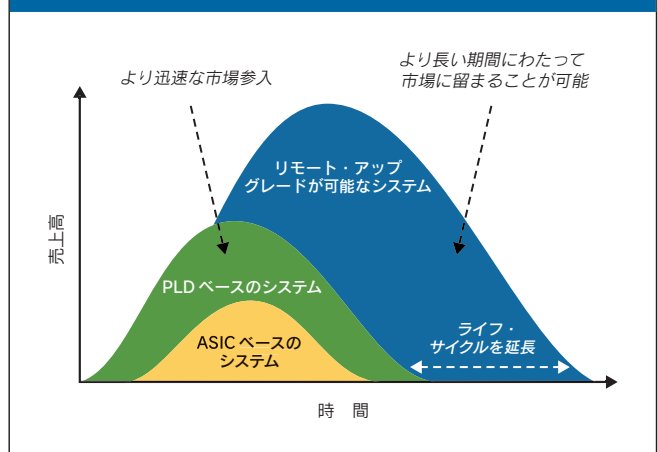
図7. Stratix IIのクロック・マネージメント回路



### リモート・システム・アップグレード

FPGAでデザインを短時間で市場に投入することが可能ですが、Stratix IIデバイスのリモート・システム・アップグレード機能を活用することによって、製品を最先端の技術レベルに長期間維持することができます。リモート・システム・アップグレードは、あらゆる通信ネットワークを通じて送信することでデザインをアップデートし、製品のライフ・サイクルを延長することが可能です。図8に示されるように、Stratix IIデバイスは、優れたデザインの柔軟性と拡張された製品寿命を提供します。

図8. Stratix IIのリモート・システム・アップグレードの利点



## アルテラのSOPCソリューション

アルテラは、Stratix IIデバイスにおけるsystem-on-a-programmable-chip (SOPC) ソリューションを構築するために、Quartus II開発ソフトウェア、最適化されたIP、Nios IIエンベデッド・プロセッサ、およびカスタム・トレーニングなどのトータル・ソリューションを提供しています。

### デザイン・ソフトウェアの技術的リーダーシップ

Stratix IIデザインの潜在能力は、Quartus II開発ソフトウェアの使用により、最大限に引き出されます。アルテラの強力で使いやすい開発ソフトウェアは、デザイン・フロー手法のサポート、システム・デザインとIPの統合およびIPの評価、配置配線テクノロジー、タイミング・クロージャ手法、インシステム検証テクノロジー、そしてサードパーティEDAのサポートにおいて、他に類を見ない特長を持つようになりました。Quartus II開発ソフトウェアは、FPGA、CPLD、およびHardCopyストラクチャードASICデザインに活用できる最も包括的な環境を提供します。Quartus II開発ソフトウェアの技術的リーダーシップとStratix IIデバイス・ファミリは、高集積度FPGAデザインに対応した比類のない性能、効率、および使いやすさを提供します。Quartus II開発ソフトウェアについて詳しくは、[www.altera.co.jp/quartus2](http://www.altera.co.jp/quartus2)をご覧ください。

### IP (Intellectual Property)

アルテラとAMPP<sup>SM</sup> (Altera Megafunction Partners Program) のパートナー企業は、多数の標準IPライブラリと共に、Stratix II向けに最適化され、標準品として入手可能なIPコアを提供しています。IPコアは、特定のアプリケーションをターゲットにしており、性能およびシステムの再利用を向上し、製品の「Time-to-Market」を大幅に短縮するトータル・ソリューションを提供します。IPの試用および購入については、IP MegaStore (アルテラのWebサイト、[www.altera.co.jp/ipmegastore](http://www.altera.co.jp/ipmegastore)) をご覧ください。

## Nios IIエンベデッド・プロセッサを使用したソリューション

エンベデッド・プロセッサNios IIファミリは、アルテラのFPGAを使用した広範囲のエンベデッド・アプリケーション向けに設計された汎用RISC CPUアーキテクチャを特長としています。Nios IIプロセッサ・ファミリは、3種類のコアで構成されています。

- Nios II /f (高速) : 最大性能を実現
- Nios II /s (標準) : 性能とサイズのバランスを重視
- Nios II /e (エコノミー) : 最小ロジック使用数で実現可能

3種類のNios IIプロセッサは、32ビット命令セット・アーキテクチャを共有し、100%バイナリ・コード互換です。

Stratix IIデバイス・ファミリの最新のアーキテクチャの利点により、Nios IIプロセッサは、優れた性能と200 DMIPS以上のパフォーマンスを実現します。Quartus II開発ソフトウェアのSOPC Builder開発ツールを使用して、設計者は広範なIPコンポーネントを選択して統合することができ、カスタム・プロセッサ実装のためのハードウェア、ソフトウェア、およびシミュレーション・モデルを自動的に生成することができます。Nios IIエンベデッド・プロセッサについて詳しくは、[www.altera.co.jp/nios2](http://www.altera.co.jp/nios2)をご覧ください。

## アルテラのWebサイト

高性能デザインに最適なStratix IIデバイス・ファミリとその広帯域ソリューションについて詳しくは、日本アルテラのWebサイト、[www.altera.co.jp/stratix2](http://www.altera.co.jp/stratix2)をご覧ください。



## 日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1  
新宿アイランドタワー32F 私書箱1594号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.co.jp>  
E-mail: [japan@altera.com](mailto:japan@altera.com)

## 本社 **Altera Corporation**

101 Innovation Drive, San Jose, CA 95134  
USA  
TEL : (408)544-7000  
<http://www.altera.com>