

# MAX II CPLD アプリケーション・ブローシャ

## MAX II

通信機器、民生用機器、コンピュータ、または工業用機器などのいかなるアプリケーションにおいても、MAX<sup>®</sup> II デバイスはコストおよび消費電力の制約が大きい制御系アプリケーションのニーズに対応する機能を提供します。低価格、低消費電力、そしてより高い集積度を提供するMAX II デバイスは、これまでのCPLDでは不可能だったアプリケーションも含め、複雑な制御系アプリケーションに対し理想的なソリューションを提供します。

革新的な新CPLDアーキテクチャを使用したMAX II デバイスは、従来のMAX デバイスと比べ以下の点で劇的に改善されています。

- 1/2の価格
- 1/10の消費電力
- 4倍の集積度
- 2倍の性能向上

これらの利点により、設計者は1つのデバイスに複数の制御系アプリケーションを統合することが可能になります。図1では、主要な制御系機能をI/O 拡張、インタフェース・ブリッジ、パワー・アップ・シーケンス、およびシステム・コンフィギュレーションの4つのカテゴリに分類しています。

従来のMAX デバイス・ファミリの半分以下のコストで実現できるMAX II デバイスは、0.18 $\mu$ m フラッシュ・プロセスをベースとしており、インスタント・オンおよび不揮発性の特長を備えています。表1にMAX II デバイス・ファミリの機能およびパッケージを示します。

図 1. MAX II CPLD アプリケーション

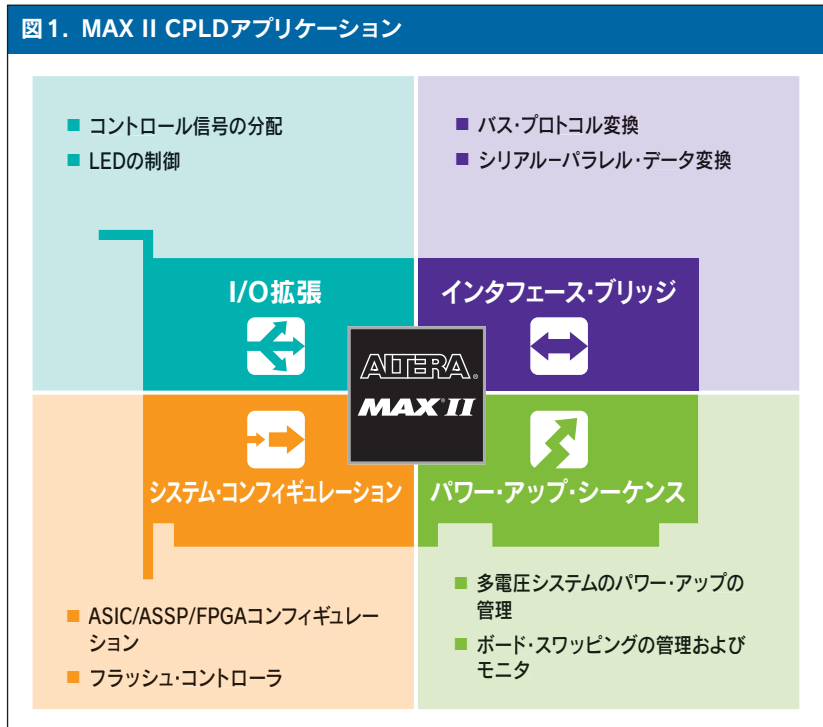


表 1. MAX II ファミリの概要

特徴	EPM240	EPM570	EPM1270	EPM2210
LE 数	240	570	1,270	2,210
標準等価マクロセル数	192	440	980	1,700
最大ユーザ I/O ピン数	80	160	212	272
ユーザ・フラッシュ・メモリ・ビット数	8,192	8,192	8,192	8,192
スピード・グレード	3, 4, 5	3, 4, 5	3, 4, 5	3, 4, 5
コーナ間の性能 ( $t_{PD1}$ )	4.7 ns	5.5 ns	6.3 ns	7.1 ns
最高速の性能 ( $t_{PD2}$ )	3.8 ns	3.7 ns	3.7 ns	3.7 ns
パッケージ・オプション <sup>1</sup>	100-pin TQFP <sup>2</sup>	100-pin TQFP 144-pin TQFP 256-pin BGA <sup>3</sup>	144-pin TQFP 256-pin BGA <sup>3</sup>	256-pin BGA <sup>3</sup> 324-pin BGA <sup>3</sup>

注: 1 すべてのパッケージが全集積度にわたってパーティカル・マイグレーションをサポートします。  
 2 TQFP: 薄型クワッド・フラット・パック  
 3 FineLine BGA<sup>®</sup> パッケージ (1.0mmピッチ)



# パワー・アップ・シーケンス

MAX II CPLDは集積度が高いため、設計者は複雑なシステム重視のパワー・アップ・シーケンスを制御するのに必要な追加ロジックを得ることができます。パワー・アップ・シーケンスは、ボード上の他のデバイスに順番に電源を供給して、すべてのデバイスの正常な動作を保証するプロセスです。パワー・アップ・シーケンスは一般に、システム・パワー・アップ、システム・リセット、チップ・セレクト生成などのファンクションを備えた多電圧環境で構成されています。多くの場合、これらのアプリケーションは、MAX II CPLDのような不揮発性のインスタント・オン・デバイスを必要とする1つのデザインに統合されます。

パワー・アップ・シーケンスでは、CPLDによってボード上の全デバイスの要件に従ってボードがパワー・アップすることが保証されます。この動作は通常、事前に定義された間隔またはボード上の他のデバイスからレディ信号の受信に基づきタイミングを制御するステート・マシンで構成されます。CPLDはボード上のすべてのデバイスのリセットを制御するため、通常は個々のチップ・セレクトも制御します。

多電圧システムのパワー・アップでは、デバイスが瞬時にオンになり、プリント基板(PCB)上の他のパワー・プレーンのパワー・アップ・シーケンスを管理する準備が整うことが必要です。ボードの複雑さとボード上のパワー・プレーン数が増えると、パワー・アップ・シーケンス・ロジックの複雑さも増大します。表2に、パワー・アップ・シーケンスに適用されるMAX II CPLDの機能を示します。

特長	利点
インスタント・オン	PCB上の他のデバイスのパワー・アップ・シーケンスを管理
MultiVolt™ コア	1.8V、2.5V、または3.3V電源で動作し、電源レール数を削減するとともに、ボード・デザインを単純化
最も低いI/Oピン1本あたりのコスト	高いI/O性能が要求される広幅バス、リセット、およびイネーブル信号の制御をより低いコストで達成するI/O機能の増強
リプログラマビリティ	最終段階での変更をサポートする最高の柔軟性を提供するデバイス・プログラマビリティによってパワー・アップ・シーケンスの開発を単純化
高集積度	部品実装密度が高いボードの複雑なパワー・アップ・シーケンスを管理

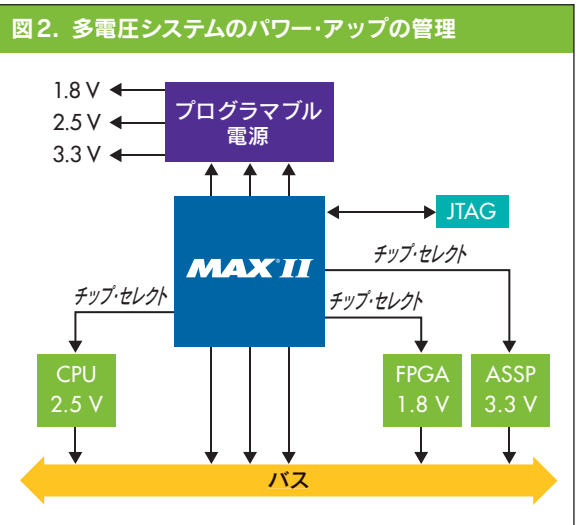
## MultiVolt パワー・アップの管理

今日のボードには、パワー・アップ・シーケンスを管理するために、より多くの電圧レベルとより複雑なコントロール・ロジックが求められており、結果として追加ロジックが必要になります。MAX II デバイスはCPLDで最高の集積度を提供しており、複雑な制御機能を1つのデバイスに実装することができます。柔軟なMultiVolt I/Oは、パワー・アップ時の重要なバス・ファンクションの制御も可能にします。図2に標準的なデバイス・パワー・アップ・シーケンス・アプリケーションを示します。複数の電源レールは各種デバイスをサポートし、コントロール・ロジックは各デバイスの全体的なパワー・アップ・シーケンスを管理します。

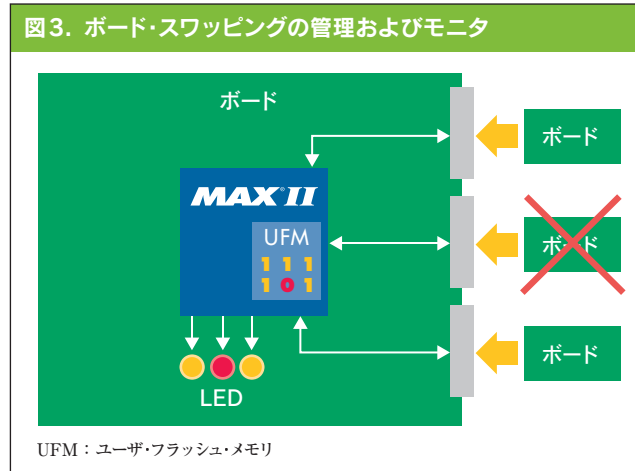
JTAG (Joint Test Action Group) ポートを使用して、パワー・アップ・シーケンスをモニタし、PCまたは試験装置へのJTAGポートを介してエラーを識別することも可能です。JTAGポートはパワー・アップ・シーケンスにブ레이크ポイントを設定して、ボードレベルでのデバッグおよび検証プロセス中のエンジニアリング時間を短縮することもできます。

## ボード・スワッピングの管理およびモニタ

ラック・システムは多くの場合、交換可能なプラグイン・ボードによってバックプレーンをサポートします。このアプリケーションは、バックプレーン上にシステム・モニタ用のボード管理コントロールおよびプラグイン・ボード上にホット・ソケット・サポートを必要とします。図3では、MAX II デバイスはバックプレーンへのボードの挿抜をモニタしています。MAX II デバイスは高電流出力ドライブ能力を備えているため、信号 LEDによってバックプレーンのソケットに接続されているボードを表示することができます。他方、オンボード・ユーザ・フラッシュ・メモリは、各ボードがバックプレーン



に挿抜されたログを記録することができます。MAX II デバイス・ファミリーは、ホット・ソケットもサポートしており、コアに損傷を与えずに、または特殊なプラグ・レイアウト要件なしで、電源が投入されているシステムへのデバイスの挿抜が可能です。



## システム・コンフィギュレーションおよび初期化

柔軟なプログラマブル・インタフェース、ユーザ・フラッシュ・メモリ、およびパラレル・フラッシュ・ローダ機能を備えた MAX II CPLD は、揮発性デバイスをコンフィギュレーションおよび初期化するための低コスト・ソリューションです。MAX II CPLD は、ディスクリット・フラッシュ・メモリ・デバイスと併用することにより、FPGA、デジタル信号プロセッサ、ASSP、および ASIC を素早く簡単にコンフィギュレーションすることができます。ベンダ固有のコンフィギュレーション・デバイスと異なり、MAX II CPLD は、供給状況やコスト上の理由からメモリ・デバイス内の変更を可能にするために、どのディスクリット・メモリ・デバイスにでもインタフェースするようにプログラムすることができます。

例えば、FPGA のコンフィギュレーションを管理するときに、MAX II デバイスを使用して、コンフィギュレーション信号を実行するステート・マシン機能を実装することができます。同時に、メモリ・コントローラは FPGA へのビット・ストリームのダウンロードを管理します。ディスクリット・メモリ・デバイスと CPLD を使用する代わりに、ディスクリット・メモリ・デバイスとマイクロコントローラを使用するソリューションもあります。ただし、マイクロコントローラは汎用

特長	利点
不揮発性およびインスタント・オン機能	動作可能になる前にすべてのデバイスが必要なコンフィギュレーション・データを持つように、パワー・アップ・シーケンスをコンフィギュレーションおよび初期化
リアル・タイムのイン・システム・プログラマビリティ (ISP)	プログラミング・ダウンタイムを短縮することにより、MAX II デバイスは 2 番目のプログラミング・ビット・ストリームをダウンロードおよび格納しながら動作可能
パラレル・フラッシュ・ローダ	MAX II デバイスを使用して外部の JTAG 非準拠フラッシュ・デバイスをコンフィギュレーションすることによりボード管理を単純化
ユーザ・フラッシュ・メモリ	ディスクリットのシリアルまたはパラレル不揮発性ストレージを MAX II デバイスに組み込むことにより、デバイス数とシステム・コストの最小化
リプログラマビリティ	新たに導入された安価なフラッシュ標準にインタフェースすることにより、「Time-to-Market」を改善し、将来のコストを節約

I/O ピン数によって制限されることがよくあります。

MAX II デバイスはさらに 8K ビットのユーザ・フラッシュ・メモリを内蔵しています。ユーザ・フラッシュ・メモリは、ASSP およびその他の揮発性デバイスに必要な初期化データを格納するのに使用できます。ユーザ・フラッシュ・メモリは、ボード上の小型のシリアルおよびパラレルの消去可能なプログラマブル・リード・オンリ・メモリ (EEPROM) を置き換えること

により、コンポーネント数とボード・コストを削減します。

表 3 に、システム・コンフィギュレーションおよび初期化の要件に対応する MAX II デバイスの特長を示します。

## FPGAコンフィギュレーションの管理 およびフラッシュ・コントローラ

他のCPLDと同様に、MAX IIデバイスは使用してフラッシュ・デバイスからFPGAにビット・ストリームをロードすることができます。また、製造プロセス中にそのビット・ストリームをフラッシュ・デバイスにプログラムすることもできます。図4に示すとおり、MAX IIデバイスのパラレル・フラッシュ・ローダは、MAX IIデバイスのJTAGピンを通してフラッシュ・デバイスをコンフィギュレーションすることができます。この機能によって非JTAG対応デバイスがJTAG回路を使用できるようにすれば、MAX II CPLDファミリのJTAG機能の利点を享受できます。この機能は製造時の複雑さを低減します。

図4に示すように、MAX IIデバイスはディスクリット・フラッシュ・メモリ・デバイスを使用して複数のFPGAをコンフィギュレーションできます。この方法は、システム・ボード上で共有されている任意のローコスト・フラッシュ・メモリ・デバイスを利用する、高速かつ柔軟性に優れた、コスト効果の高いソリューションです。MAX II CPLDファミリの高い集積度により、必要に応じてフラッシュ内にFPGAをリプログラムするために複数ページを持たせるなど、非常に複雑なコンフィギュレーション方式を採用できます。

## FIFOコンフィギュレーションの管理

MAX IIデバイスは、2チップのソリューションを1つに結合することにより、コストとボード・スペースを削減します。図5に示すとおり、このFIFO (First-In First-Out) コンフィギュレーション例はFIFOバッファのコンフィギュレーション・データが外部フラッシュ・メモリではなく、オン・チップのユーザ・フラッシュ・メモリにどのように格納されるのかを示しています。格納されるデータには、FIFOバッファ数、データ・ストリーム数、ほぼ空/ほぼ満杯のオフセットに関する情報を含めることができます。

図5. FIFOコンフィギュレーションの管理

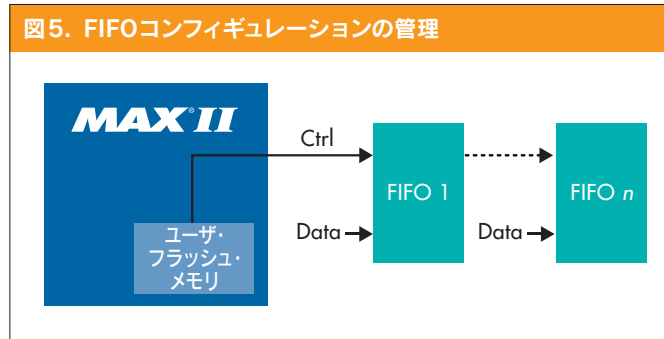
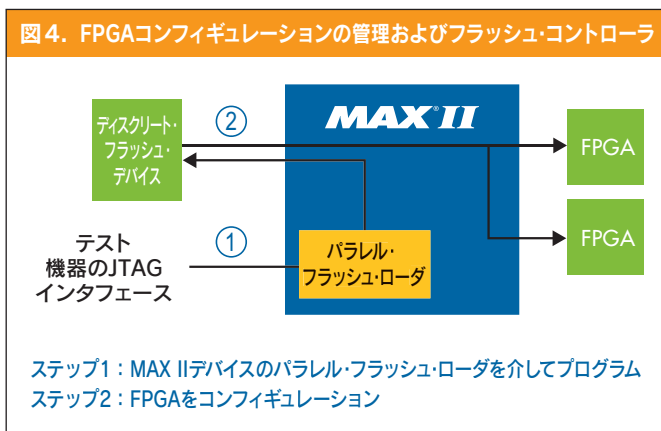


図4. FPGAコンフィギュレーションの管理およびフラッシュ・コントローラ





## I/O 拡張

ASSPおよびマイクロコントローラ上のI/Oピンの数をコスト効率よく増やすために、多くのデジタル・デザインで多数のローコストI/Oピンが重要な要件となってきています。MAX IIデバイスは、ASSP、デジタル信号プロセッサ、マイクロコントローラなどのI/Oピンが制約される今日のデジタル・ロジック・デバイスに対し、低コストの柔軟なI/O機能を提供します。

半導体プロセスの縮小化に伴い、標準デバイス上のI/Oリング・サイズによって製品の単価が決まります。必然的に、多くの半導体サプライヤがダイのサイズとコストを低減するために、汎用I/Oピンの本数を減らしています。同時に、多くのシステムがますます複雑になってきており、より大規模なコントロール信号の配信を必要としています。MAX IIデバイスは、I/Oピン1本あたりの最低コストを達成するよう最適化されており、I/Oが不足するデバイスを補完します。I/O拡張アプリケーションには、LEDやスイッチの制御はもちろん、複数のチップへのコントロール信号の配信を制御するためのアドレス・デコーディング機能が含まれています。

表4に、I/O拡張アプリケーションをサポートするMAX IIデバイス機能を示します。

表4. MAX IIデバイスの利点：I/O拡張

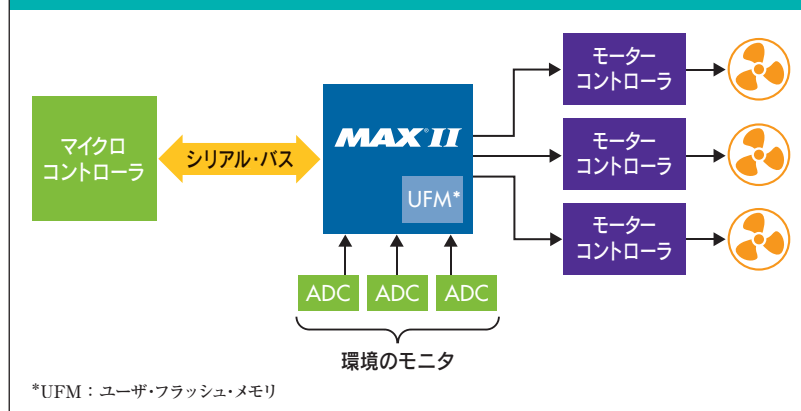
特長	利点
最も低いI/Oピン1本あたりコスト	市場においてI/Oピン1本あたりのコストが最も低いソリューションによって、バス幅が要求する多数のI/Oに対応
インスタント・オン機能	システム重視のI/O信号のパワー・アップを制御することによりシステムの損傷および不正信号を防止
2回目フィッティング	ピン配置が固定されている場合でも、高性能で柔軟性の高い配線によって、より優れたピン固定フィッティングを実現
MultiVolt I/Oインタフェース	複数のI/O電圧をサポートする複数のI/Oバンクを使用して他のデバイスにシームレスにインタフェースするため、異なる電圧レベルで動作するコンポーネントの安全な制御が可能
リプログラマビリティ	I/O分配の改善—プログラマビリティにより、各アプリケーションのI/O要件に適合するようにデバイスをカスタマイズできる柔軟性を設計者に提供

### コントロール信号の分配

図6に、I/O機能が制限されたマイクロコントローラが、2線式シリアル・バスを使用して、システム内の多数のデバイスを制御する方法を示します。このアプリケーション例は、シリアル・バス入力を受け入れ、インストラクションを配信して、複数のデバイス（ここではファン・モーター・コントローラ）を制御するMAX IIデバイスを示しています。このアプリケーションでは、モーターの周波数やデューティ・サイクル

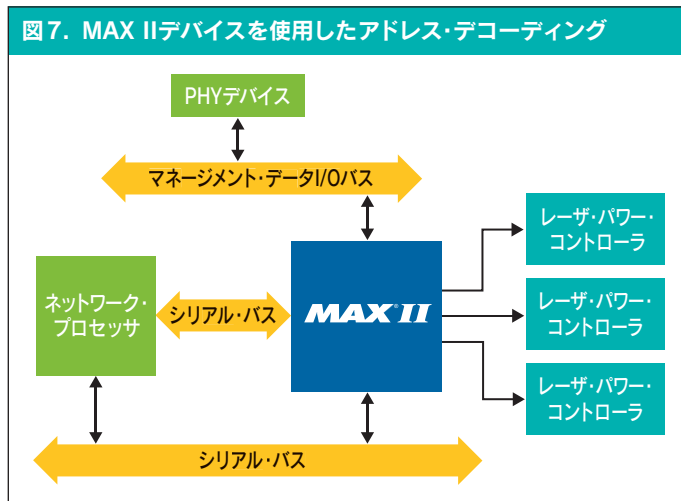
などのデータを格納するためにオン・チップ・ユーザ・フラッシュ・メモリを利用することができます。情報は、アナログ・デジタル・コンバータ(ADC)からパラレルで取得した情報を2線式シリアル・バスを介してマイクロコントローラに送信するなど、パラレルからシリアルに変換することも可能です。

図6. コントロール信号の配信



## アドレス・デコーディング

MAX II デバイスは、ホスト・プロセッサからの最小数の入力でボード上の多数のデバイスを制御できます。アドレス・デコーディングには多くの I/O ピンとボード・リソースが必要です。MAX II デバイスの LUT ベース・ロジックは効率がが高く、I/O 資産を浪費することなくアドレス・デコーディングをサポートします。MAX II デバイスでのアドレス・デコーディング例については、図 7 を参照してください。



## インタフェース・ブリッジ

MAX II デバイスは、あるバス・プロトコルを別のプロトコルに変換する最も低コストの方法を提供します。これらのアプリケーションには、電圧レベル・シフト（例：3.3V 入力から 1.8V 出力）、バス変換アプリケーション（例：独自システムから業界標準システムへの変換）、マルチポイント・バス・ブリッジ、シリアル・パラレル / パラレル・シリアル・バス変換、暗号化などがあります。

MAX II CPLD の高効率 LUT ベース・アーキテクチャは、高周波数でのアドレス・デコーディングを実装できます。MAX II デバイス用に最適化されたアルテラの PCI Compiler MegaCore<sup>®</sup> ファンクションは、32 ビット、66MHz PCI マスタ / ターゲットまたはターゲット専用インタフェースの実装を容易にします。

表 5 に、インタフェース・ブリッジ・アプリケーションをサポートする MAX II デバイス機能を示します。

表 5. MAX II デバイスの利点：インタフェース・ブリッジ

特長	利点
最も低い I/O ピン 1 本あたりのコスト	インタフェース・ブリッジ・アプリケーション用の低集積度 FPGA を MAX II デバイスに置き換え、必要な多くのピン数を低価格で提供
PCI 互換	66MHz で動作する 32 ビット・バスをサポートする MAX II デバイスを使用することにより、業界で最も広く使用されているバス・システムの 1 つにインタフェース
MultiVolt I/O インタフェース	複数の I/O 電圧およびプログラマブルなドライブ能力調整やスルー・レート調整などの信号完全性機能のサポートを含む広範な I/O 要件に対応
2 回目フィッティング	MAX II CPLD の MultiTrack <sup>™</sup> インタコネクタ配線によるピン固定フィッティング性能の向上
リプログラマビリティ	MAX II デバイスとのバス・ブリッジに関連したシステム固有の主要な問題を素早く簡単に解決

### PCI バス・ブリッジ

MAX II デバイスにより、設計者はあるボードから別のボードに PCI ブリッジを形成することができます。これらのデバイスはケーブルを通して、またはバックプレーン構成の一部として物理的に分離することができます。MAX II デバイスは他のバス・システム用リピータとしても動作可能で、バスのドライブ能力が増強

されるため、バス・システムにより多くのデバイスを含めることができます。

図 8 に示すとおり、MAX II デバイスによりホスト PCI バス・システムにオプションのアドオン・ボードを追加できます。集積度が大きい 2 品種の MAX II デバイスは PCI 仕様に準拠し、32 ビットの 66MHz、3.3V PCI ターゲットとして PCI バスに追加可能です。高集積度

MAX IIデバイスにより、非常に低い価格で、より複雑なバス・アプリケーション（例：PCIターゲット機能）をサポートできます。

### マルチポイント接続

MAX IIデバイスはマルチポイント接続を使用するアプリケーション用に作成されており、図9に示すとおりクロスポイント・スイッチとして動作できます。MAX II CPLDは次の3つの主要ブロックに分類できます。

1) 入力を出力に接続するためのスイッチ・マトリックス、2) 動作中に接続をコンフィギュレーションするためのコンフィギュレーション・レジスタ、3) コンフィギュレーションの出力アドレスをデコーディングするためのアドレス・デコーダ。MAX IIデバイスは、I/Oピン1本あたりのコストが最も低いため、このアプリケーションでは最高のコスト最適化を実現します。

図8. PCIバス・ブリッジ

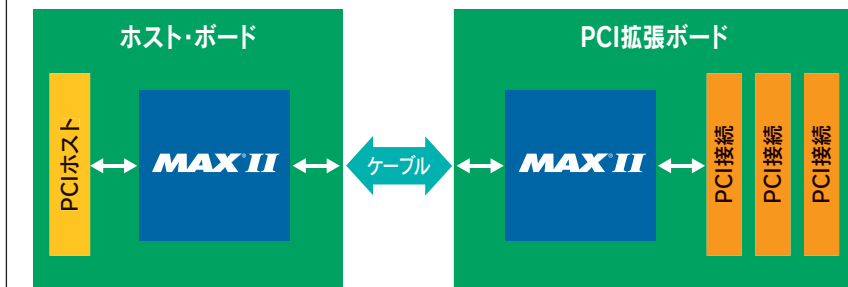
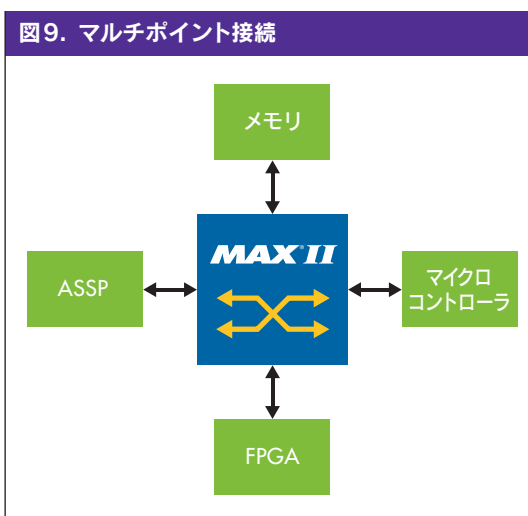


図9. マルチポイント接続

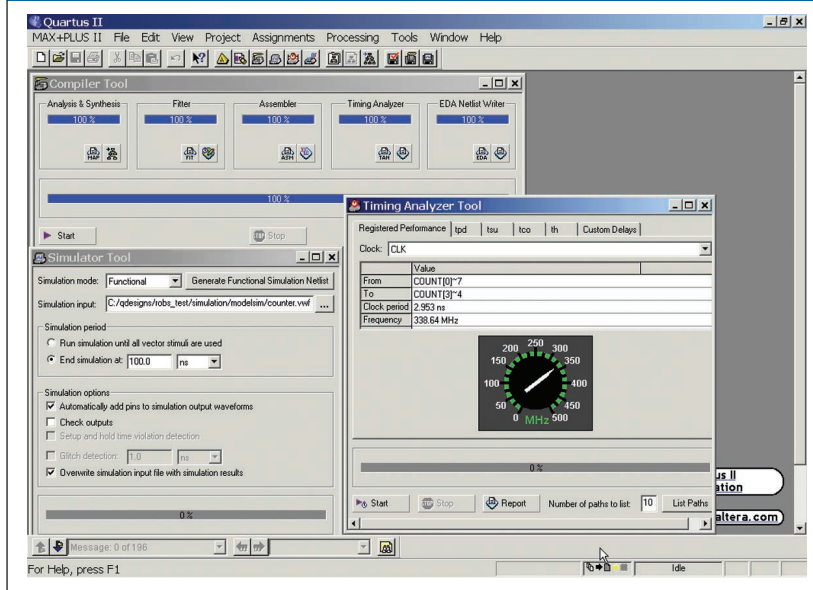


## 高性能デザイン・ソフトウェア

MAX II デバイスは、CPLD デザインに最適なアルテラの Quartus® II ソフトウェアでサポートされています。Quartus II ソフトウェアは、MAX II デバイスをシンプルかつ簡単にデザインできる以下のツールを提供します。

- VHDL および Verilog ハードウェア記述言語 (HDL) によるデザイン入力および論理合成機能
- シンプルなデザインの利用を可能にする回路図によるデザイン入力サポート
- SOPC Builder デザイン入力およびシステム生成により、エラーが発生しやすいシステム統合化作業を排除
- デザイン・コンセプトの段階からデザイン実装まで、PowerPlay 電力解析がサポート
- MAX+PLUS® II ソフトウェアのロック & フィール・オプションにより、MAX+PLUS II ソフトウェア・ユーザは新しいユーザ・インタフェースを学習することなく、Quartus II ソフトウェアの優れた機能と性能のすべての利点を享受することが可能

図 10. Quartus II ソフトウェアの MAX+PLUS II ロック & フィール



## Quartus II ソフトウェアの 無償オンライン・ デモンストレーション

使いやすい Quartus II ソフトウェアをお試しいただける、無償のオンライン・デモンストレーション (英語版) が [www.altera.com/quartusdemos](http://www.altera.com/quartusdemos) で提供されています。

## 無償の Quartus II Web Edition ソフトウェア

SOPC Builder 機能も含まれた Quartus II Web Edition ソフトウェアは、日本アルテラの Web サイト、

[www.altera.co.jp](http://www.altera.co.jp) から無償でダウンロードできます。また、無償で提供されている Altera Design Software Suite CD-ROM にも収録されています。

## アルテラの Web サイト

MAX II CPLD ファミリーは、パワー・アップ・シーケンス、システム・コンフィギュレーション、I/O 拡張、およびインタフェース・ブリッジなどの制御系アプリケーションのニーズに理想的なソリューションです。MAX II CPLD の詳細については、[www.altera.co.jp/max2](http://www.altera.co.jp/max2) をご参照ください。

# ALTERA®

日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1  
新宿アイランドタワー32F 私書箱1594号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.co.jp>  
E-mail: [japan@altera.com](mailto:japan@altera.com)

本社 **Altera Corporation**

101 Innovation Drive, San Jose, CA 95134  
USA  
TEL : (408)544-7000  
<http://www.altera.com>