

**Stratix V FPGA: すべてはバンド幅のために**

## バンド幅の要求に応えるために

モバイル・ビデオ、オーディオ／ビデオ・ストリーミング、クラウド・コンピューティング。現在、コミュニケーション・インフラストラクチャにおいて、さらなる高いバンド幅の要求を牽引するアプリケーションは多く、これらはそのほんの一例にすぎません。次世代製品を成功させるためには、バンド幅の要求を満たす一方で、コストと消費電力は厳しい制約の範囲内に抑える必要があります。



### だからこそ、アルテラは ムーアの法則だけでは十分ではないと考えます

アルテラは、テクノロジー・リーダーシップの革新と拡大を絶えず推進し、ムーアの法則を超える優位性をもたらすプログラマブル・テクノロジーを創り出しています。アルテラの新しい 28nm 「Stratix® V」 FPGA は、FPGA の各機能を劇的に向上させるプロセス改善と、独自の技術革新によって、バンド幅、コスト、消費電力における課題に対応します。

**12.5 Gbps & 28 Gbps 内蔵トランシーバ：** コストと消費電力を制約範囲内に抑えながら、最小のビット・エラー・レート (BER) で画期的なバンド幅を実現

**Embedded HardCopy® Block：** より多くの機能を実装し、コストや消費電力を増加させることなく、2倍の集積度を実現

**使いやすくきめ細やかなパーシャル・リコンフィギュレーション (部分再構成)：** 動作中にもコア機能を簡単に変更できる 究極の柔軟性を実現

量産製品においては、Stratix V FPGA のデザインを、そのまま新しい 28nm HardCopy V ASIC に移行できます。また、HardCopy V ASIC は、トランシーバ内蔵製品も提供し、Stratix V FPGA とのパッケージとピンの互換性、そしてシグナル・インテグリティの互換性を実現します。HardCopy V ASIC へのシームレスな移行は、パフォーマンスを向上させ、設計のリスクとコストを低く抑え、消費電力を 50% 低減できます。

## 28nmイノベーション：Stratix V の製品バリエーション

Stratix V FPGA は、通信、軍用、放送、コンピュータ&ストレージ、テスト&計測、医療などの分野における、多種多様なアプリケーションにて、最高のバンド幅、最高レベルのシステム・インテグレーション、そして究極の柔軟性を実現します。Stratix V FPGA は、特定アプリケーション向けの FPGA として、主に以下の 4 種類の製品バリエーションがあります。

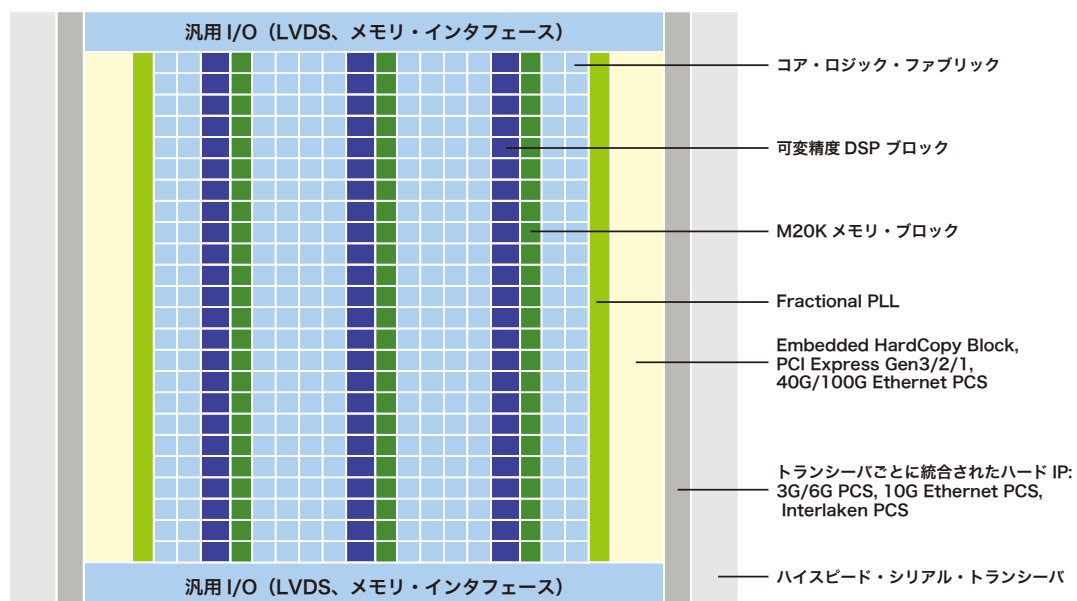
**Stratix V GT FPGA** : 12.5 Gbps & 28 Gbps 内蔵トランシーバにより、40G/100G/400Gアプリケーションなどの超広帯域幅、超高性能アプリケーションに最適

**Stratix V GX FPGA** : 12.5 Gbps 内蔵トランシーバにより、バックプレーンおよび光モジュールをサポートし、高性能、広帯域幅アプリケーションに最適

**Stratix V GS FPGA** : 12.5 Gbps 内蔵トランシーバにより、バックプレーンおよび光モジュールをサポートし、高性能可変精度デジタル信号処理 (DSP) アプリケーションに最適

**Stratix V E FPGA** : 業界最高性能のロジック・ファブリック上に、100万ロジック・エレメント以上のロジックを備え、ASICプロトタイピングに最適

### Stratix V のフロアプラン



### Stratix V デバイスの特長

- 100 万ロジック・エレメント以上のロジック
- 最大 53 M ビットのエンベデッド・メモリ
- 600 Mbps ~ 12.5 Gbps の連続周波数範囲を備える、最大 66 個のトランシーバ
- 20 Gbps ~ 28 Gbps の連続周波数範囲を備える 28 Gbps トランシーバ
- 800 MHz で動作する最大 7 個の x72 DDR3 DIMM
- 1.6 Gbps で動作する LVDS
- 最大 3,680 個の可変精度 DSP ブロック
- Embedded HardCopy Block

## 最高のバンド幅 – 大規模データを扱うアプリケーション要求に対応

Stratix V FPGA は最大のチップ帯域幅を提供します。

- 1.6 Tbps のシリアル・スイッチング能力
- 1,840 GMACS の信号処理性能
- 800 MHz で動作する最大 7 個の x72 DDR3 メモリ・インタフェース
- 最大 4 個の PCI Express Gen3 x8 ハード IP ブロック

## Stratix V のコア・アーキテクチャ

機能	特長
可変精度 DSP ブロック	サム (Sum) ・モード (18 x 18、27 x 27、または 18 x 36) または独立モード (9x9、12x12、18x18、27x27、18x36、36x36、および 54x54) の可変精度信号処理をネイティブ・サポート
アダプティブ・ロジック・モジュール (ALM)	8 入力フラクチャブル・ルック・アップ・テーブル (LUT) ごとに 4 個のレジスタを備えた強化された ALM により、高いシステム性能、容易なタイミング収束、高いロジック容量を実現
M20K エンベデッド・メモリ・ブロック	内部メモリ・ビットを最大化し、誤り訂正コード (ECC) 機能のハード化によりフロア・プランニングと配線を簡素化
メモリ・ロジック・アレイ・ブロック (MLAB)	小規模 FIFO を柔軟かつ高性能で実装 (MLAB = 640 ビット)
配線構造	90% を超えるコア利用率の実現、およびシステム性能向上のため、ロジック到達範囲を拡大し配線構造を強化

## システム・インテグレーション: より多くの機能を より小規模なFPGAに実装

Stratix V FPGA は、これまでになく高いシステム・インテグレーションにより、より多くの機能をより小規模な FPGA に実装することが可能となり、結果として消費電力とコストの低減も実現します。これを可能にする技術革新は次のとおりです。

- Embedded HardCopy Block: 最大14 MのASICゲートまたは最大700 Kロジック・エレメント相当の追加ロジックを提供し、標準アプリケーションまたはロジック比率の高いアプリケーションをハード化
- 使いやすいパーシャル・リコンフィギュレーション: 必要なFPGAの数とサイズを低減し、ボード・スペース、コスト、消費電力を削減
- fPLL (fractional Phase-Locked Loop): システム・クロック生成の柔軟性を強化し、外部の電圧制御水晶オシレータ (VCXO) の数を最少化
- EDC (electronic dispersion compensation) 機能をトランシーバに統合することにより、光モジュールに接続するための外部PHYチップが不要に
- 高度なシグナル・コンディショニング回路を内蔵することで10GBASE-KRに準拠、FPGA内蔵トランシーバでバックプレーンを直接駆動させることが可能

Embedded HardCopy Block を使用することで、アプリケーションに特化した製品バリエーションを迅速に開発できます。アルテラでは最初の製品バリエーションにおいて、PCI Express Gen3、Gen2、Gen1や Interlaken、そして 40/100 Gigabit Ethernet (GbE) などのファンクションを搭載したデバイスを開発予定です。

## 最小のトータル消費電力

- プログラマブル・パワー・テクノロジー
- 28nm High-K メタル・ゲート高性能プロセスを採用し、さらに低消費電力に最適化
- 0.85 V のコア電圧
- パーシャル・リコンフィギュレーション
- Embedded HardCopy Block
- トランシーバごとに統合されたハード IP

## 究極の柔軟性: 電源を落とさずにトランシーバとコア機能を変更

Stratix V FPGA では、他の設計部分を動作させたまま、トランシーバとコア機能を容易に変更することができます。この柔軟性を実現している技術は以下のとおりです。

**使いやすいパーシャル・リコンフィギュレーション手法:** 競合他社のソリューションより短い開発時間と少ない労力で利用可能

**ダイナミック・リコンフィギュラブル・トランシーバ:** 複数のプロトコル、データ・レート、およびフィジカル・メディア・アタッチメント (PMA) 設定を容易にサポート

**PCI Express 経由でのコンフィギュレーション:** アプリケーション内の既存の PCI Express リンクを使用して、FPGAをコンフィギュレーションできます。迅速なコンフィギュレーションを実現すると共に、ボード上の外付けコンフィギュレーション・デバイス数を最小限に抑えることで、ボード・デザインが簡素化されます。

## 28nm 製品のアプリケーション

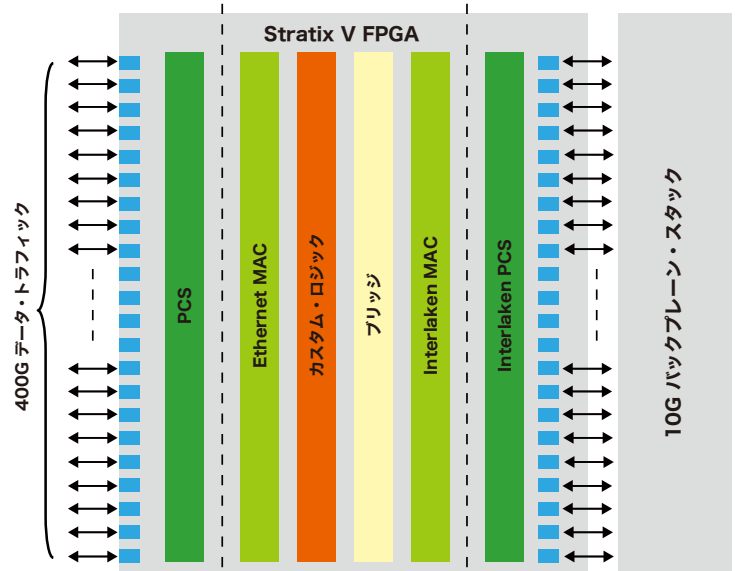
プロトコル規格の変更、バンド幅および DPS 性能の増加、コスト・プレッシャー、製品の差異化。これらは、さまざまなアプリケーションで Stratix V FPGA が直面する設計課題のほんの一部に過ぎません。

以下に挙げる各アプリケーション例は、幅広い次世代デザインにおいて、アルテラの新しい 28nm デバイスがいかに独自の機能を提供できるかを示します。

### ワイヤライン

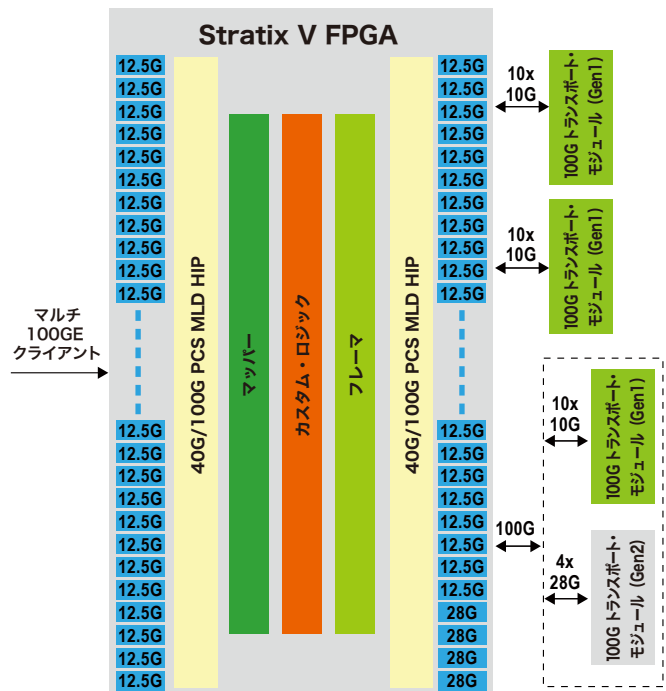
#### 400ギガビット・イーサネット (GbE) ライン・カード

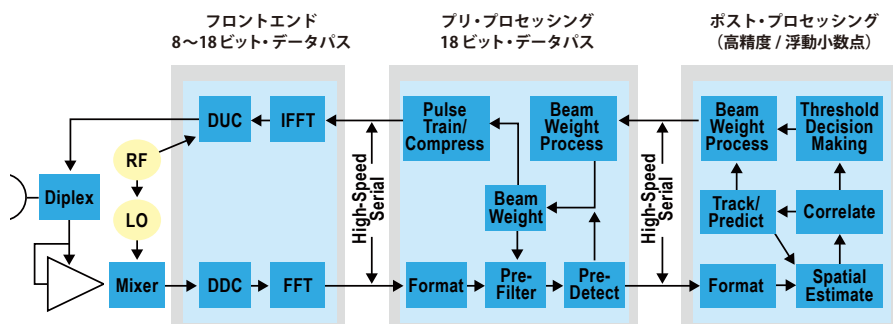
- 最高のバンド幅：600 Mbps ~ 12.5 Gbps の連続データ・レートをサポートし、バックプレーン駆動可能な 66 個のトランシーバを搭載
- 統合マルチプロトコル・サポート：Interlaken と 40G/100G/400G アプリケーションをサポートするハード PCS ブロックを搭載
- 次世代 400G アプリケーションのサポート：20 Gbps ~ 28 Gbps の連続データ・レートをサポートする 28 Gbps トランシーバを搭載



#### 28 Gbps オプティカル・トランスポート・ネットワーク (OTN) プラットフォーム

- 複数の 40G/100G OTN ソリューションをサポートする、単一の FPGA プラットフォーム
- 40 GbE および 100 GbE 用ハード MLD/PCS ブロックを含む、統合されたマルチプロトコル・サポート
- 光モジュールとのダイレクト・インタフェースをサポート
- 20 Gbps ~ 28 Gbps の連続データ・レートをサポートする次世代オプティカル・インタフェース用 28 Gbps トランシーバ
- マルチスタンダード・クライアント・インタフェースを実現する、使いやすいパーシャル・リコンフィギュレーション
- fPLL に統合された VCXO ファンクションによるボード・スペースの節約

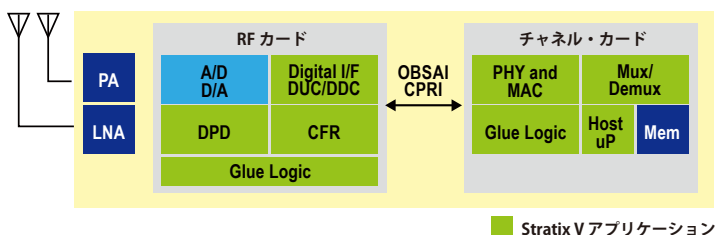




## 軍用機器

### レーダー・アプリケーション

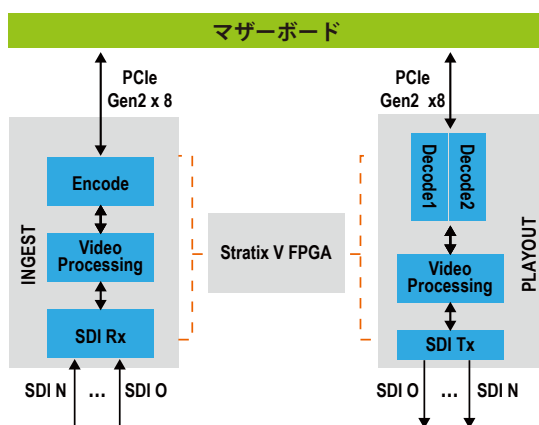
- 最大 1,000 GFLOPS の効率的な浮動小数点乗算
- 最大 1,840 GMAC の高い信号処理バンド幅
- SEU (Single Event Upset) 自動検出および訂正
- エンハンスド AES (Advanced Encryption Standard) アルゴリズムと 256 ビットの揮発性および不揮発性キーによるデザイン・セキュリティ
- 生産性を向上させる Quartus® II 開発ソフトウェア: DSP Builder アドバンスド・ブロックセットおよびインクリメンタル・コンパイルが効力を発揮



## ワイヤレス

### RF カードおよびチャンネル・カード

- データ・チャンネル数の低減とチャンネル当たりのスループット向上により、ボード・スペース、消費電力、コストを削減
- 統合化により、システム・レイテンシを抑え、システム性能と信頼性を向上
- かつてなく高いDSP/メモリ対ロジック比により設計を差異化
- 競合製品より高いMIMOおよび帯域密度



## 放送機器

### スタジオ用ビデオ・サーバ

- クラス最高のシリアル・デジタル・インタフェース (SDI) ソリューション
- 使いやすいパーシャル・リコンフィギュレーションによる、複数 CODEC のサポート
- ネイティブ 10 ビット・サポートによる最適メモリ設計
- 高い乗算器 / メモリ対ロジック比による、効率的なビデオ処理
- CODEC および 1080p ビデオ・フレームワーク IP コアによる完全なソリューション

## HardCopy V ASIC へのシームレスな移行

量産体制に移行する際には、Stratix V FPGA とパッケージ、ピン、シグナル・インテグリティで互換性を持つ HardCopy V ASIC へシームレスに移行し、リスク、コスト、消費電力を低減させることが可能です。Quartus II 開発ソフトウェアで設計を行うことで、FPGA と ASIC のどちらを実装する場合でも、同じデザイン、IP コア、およびタイミング制約を使用して開発することが可能です。

HardCopy V ASIC は、カスタム・マスク数がスタンダード・セル ASIC よりも少なく済むため、NRE コストが抑えられます。さらに、検証時間の短縮、迅速かつ予測可能なターン・アラウンド・タイム、および最初から正確に機能するシリコンによりトータル・コストが抑えられます。

HardCopy V ASIC では、Stratix V FPGA より小さなダイ、ハード配線、および未使用セルの電源接続カットにより、結果として 50 パーセントの消費電力低減を達成します。

## Innovation You Can Count On

Stratix V FPGA でお客様のコンセプトを実現し、設計プロセスを簡素化するため、リファレンス・デザイン、デザイン例、開発キット、トレーニング・クラス、技術サポート等をご用意しています。ホワイトペーパー、オンライン・セミナー、設計リソース、およびその他の詳細は、アルテラの販売代理店にご連絡いただくか、アルテラのウェブサイト [www.altera.co.jp/stratix5](http://www.altera.co.jp/stratix5) をご覧ください。

## 日本アルテラ株式会社

〒163-1332  
東京都新宿区西新宿6-5-1  
新宿アイランドタワー32F 私書箱1594号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
[www.altera.co.jp](http://www.altera.co.jp)  
E-mail: [japan@altera.com](mailto:japan@altera.com)

## Altera Corporation

101 Innovation Drive, San Jose, CA 95134 USA  
[www.altera.com](http://www.altera.com)

本資料に掲載されている内容は、製品の仕様の変更等により予告なく変更される可能性があります。最新の情報はアルテラ・ウェブサイトをご参照ください。



Copyright © 2010 Altera Corporation. All rights reserved. Altera, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, mask work rights, and copyrights. 10K, March 2010 GB-01009-1.0JP