



ALTERA®

think **AND** not **OR**

Altera @ 40 nm

最高性能と最小の消費電力の両方を兼ね備えたデザインをどのように実現しますか？ FPGA と ASIC の両方の利点を備えたデザインは？ デザイン・ソフトウェアで、最高のロジック使用率と最短のコンパイル時間の両方を達成できますか？ アルテラの新しい 40 nm Stratix® IV FPGA および HardCopy® IV ASIC であれば実現可能です。アルテラのデバイスは、新たなシステム・インテグレーションをユーザーに提供し、妥協のない技術革新を支援します。

どちらか一方ではなく、両方を視野に—  
think AND, not OR

# 妥協なき技術革新

市場初の 40 nm デバイスであるアルテラの Stratix IV FPGA ファミリーおよび HardCopy IV ASIC ファミリーは、エンハンスド・デバイスおよびトランシーバ内蔵デバイスで提供され、大規模な SOC (System-On-a-Chip) デザインに理想的な性能と消費電力の利点を提供します。そして、最先端の Quartus® II 開発ソフトウェアと共に、下記に示すアルテラの最新プログラマブル・ソリューションを実現します。

- 最高集積度、最高性能、および最小の消費電力
- かつてないシステム帯域幅、および卓越したシグナル・インテグリティ
- FPGA、および ASIC の両方の利点
- 最高性能、最高のロジック使用率、および最短のコンパイル時間
- 最先端 40 nm テクノロジーの採用、および低リスクな量産パス

つまり、アルテラの 40 nm 製品により“OR(どちらか一方)”ではなく、“AND(両方)”を実現するソリューションを得ることができます。



## Quartus II ソフトウェアを使用して、Stratix III デザインをさらに高集積の Stratix IV FPGA に移行

### Stratix IV E デバイス・パッケージ・プラン

Stratix FPGA シリーズ	デバイス	780 ピン FBGA* (29 mm)	1,152 ピン FBGA* (35 mm)	1,517 ピン FBGA* (40 mm)	1,760 ピン FBGA* (43 mm)
Stratix III FPGA	EP3SL50	480, 56			
	EP3SL70	480, 56			
	EP3SL110	480, 56	736, 88		
	EP3SL150	480, 56	736, 88		
	EP3SL200	480, 56	736, 88	960, 112	
	EP3SL340		736, 88	960, 112	1,104, 132
	EP3SE50	480, 56			
	EP3SE80	480, 56	736, 88		
	EP3SE110	480, 56	736, 88		
	EP3SE260	480, 56	736, 88	960, 112	
Stratix IV E FPGA	EP4SE110	480, 56			
	EP4SE230	480, 56			
	EP4SE290	480, 56	736, 88	864, 88	
	EP4SE360	480, 56	736, 88	864, 88	
	EP4SE530		736, 88	960, 112	960, 112
	EP4SE680		736, 88	960, 112	1,104, 132

480, 56

数値は、ユーザー I/O ピン数、LVDS ペア数を示します。また、暫定数値であり、変更の可能性があります。

バーティカル・マイグレーション (同一の V<sub>CC</sub>、GND、イン・システム・プログラマビリティ (ISP)、および専用入力ピン)。

すべての Stratix シリーズ・デバイスは、コマーシャルおよびインダストリアル温度範囲、RoHS 準拠パッケージに対応しています。

\*FBGA: FineLine BGA(フリップチップ)

### 各ファミリにリソース豊富な 2 種類のデバイス

- Stratix IV E および Stratix IV GX FPGA、HardCopy IV E および HardCopy IV GX ASIC は、さまざまなハイエンド・アプリケーションに対応する豊富なロジック、メモリ、およびデジタル信号処理 (DSP) リソースを提供します。いくつかの Stratix IV E FPGA ファミリーは、同一パッケージの Stratix III FPGA とピン・コンパチブルのため、まず Stratix III FPGA でデザインを開始し、後でより新しく集積度の高いデバイスに移行することが可能です。
- Stratix IV GX FPGA および HardCopy IV GX ASIC は、広帯域幅シリアル・インタフェース・アプリケーション向けの内蔵トランシーバ・ブロックによる利点を備えています。

## 最高集積度、最高性能、および最小の消費電力

Stratix III FPGA で実証済みの先進アーキテクチャと 40 nm プロセス・テクノロジーの利点を備えた Stratix IV FPGA は、最高集積度、最高性能、および最小の消費電力を提供します。

### 最高集積度および最高性能—

- 最大 68 万個のロジック・エレメント (LE) に相当する集積度
- DSP ブロック—パラレル・アーキテクチャと 550 MHz 性能の最大 1,360 個のエンベデッド 18x18 乗算器により、Stratix IV FPGA は最大 748 GMACS の比類なきレベルの DSP 性能を実現
- TriMatrix メモリ—最大 224 M ビットの 600 MHz 性能のエンベデッド・メモリを備えた 3 種類のメモリ・ブロック・サイズ
- 最も近い競合製品よりも 2 スピード・グレード、または 35% 高速な FPGA ファブリック

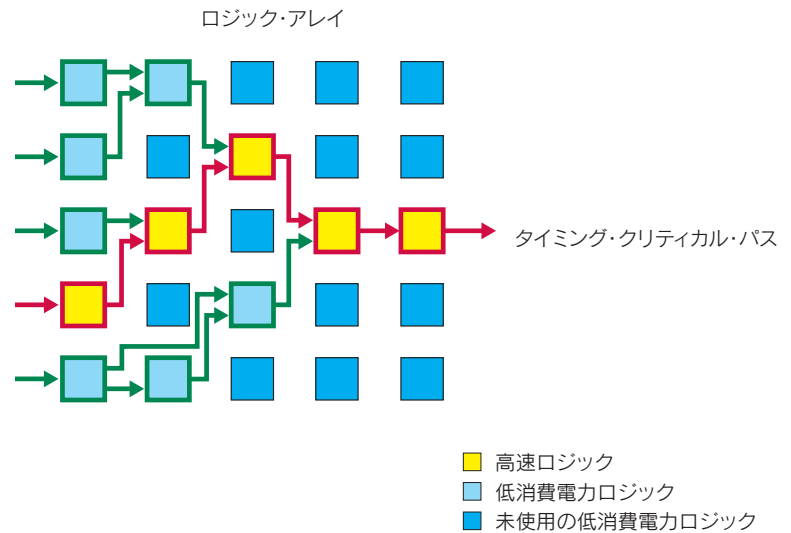
### 最小の消費電力—

- プログラマブル・パワー・テクノロジーは、必要な性能を維持しながら、自動的にロジック、DSP、およびメモリ・ブロックを最小の消費電力に最適化
- 競合デバイスと比較して、50% 低い消費電力
- Stratix IV デバイスから HardCopy IV ASIC にデザインをマイグレーションした場合、消費電力はさらに 50% 削減

### DSP 性能を強化

748 GMACS のピーク性能により、Stratix IV は FPGA で最高の DSP 性能を実現します。Stratix IV アーキテクチャは、マルチプライヤ・リソースに加えて、豊富なロジック、レジスタ (乗算器あたり 400 近いレジスタ数)、およびエンベデッド・メモリ帯域幅 (最大 3,000 の 36 ビット・メモリ・ポート) も提供します。この組み合わせは、高性能 DSP アプリケーションを実装するときに決定的な優位性を提供します。

## Stratix IV FPGA のプログラマブル・パワー・テクノロジー



プログラマブル・パワー・テクノロジーにより、消費電力のマッピングは Quartus II ソフトウェアによりタイミング制約をベースに完全に自動化されます。その結果、必要な部分にのみ高性能を提供し、それ以外のすべての部分は最小の消費電力で実現できます。

## Stratix IV デバイス・ファミリー・プラン

タイプ	デバイス	等価 LE 数	トランシーバ数 <sup>1</sup> (8.5 Gbps, 3.2 Gbps)	メモリ (M ビット)	乗算器数 (18x18)
Stratix IV GX FPGA	EP4SGX70	70K	16+8	6.3	384
	EP4SGX110	110K	16+8	8.1	512
	EP4SGX180	180K	24+12	11.1	920
	EP4SGX230	230K	24+12	13.9	1,288
	EP4SGX290	290K	24+12	13.3	832
	EP4SGX360	360K	24+12	17.7	1,040
	EP4SGX530	530K	32+16	20.3	1,024
Stratix IV E FPGA	EP4SE110	110K	—	8.1	512
	EP4SE230	230K	—	13.9	1,288
	EP4SE290	290K	—	12.4	832
	EP4SE360	360K	—	17.7	1,040
	EP4SE530	530K	—	20.3	1,024
	EP4SE680	680K	—	22.4	1,360

注:

<sup>1</sup> 最大チャンネル数であり、パッケージにより減少する場合があります。

<sup>2</sup> 表中の数値は暫定数値であり、変更の可能性あります。

## かつてないシステム帯域幅および 卓越したシグナル・インテグリティ

トランシーバ内蔵の Stratix IV GX FPGA は、新たなレベルのシステム帯域幅を実現するリソースを提供します。デバイスは、ハイ・レベルなトランシーバおよびメモリ帯域幅に加えて、最大 53 万 LE 相当の高性能コア・ファブリックを提供します。

- 最大 48 個の高速トランシーバは、ハード IP (Intellectual Property) プロトコル・ブロックおよびシグナル・インテグリティ最適化ブロックを内蔵し、最大 8.5 Gbps のデータ・レートをサポート
- 最大 4 個の PCI Express ハード IP ブロックは、PCIe Base Specification 2.0, 1.1, または 1.0 に準拠し、x1, x2, x4, および x8 コンフィギュレーションをサポート。また、エンド・ポートおよびルート・ポート・アプリケーションをサポート。
- LVDS は最大 1.6 Gbps をサポート
- 最大 4 つの 72 ビット高速 DDR3 インタフェースを 1,067 Mbps (533 MHz) でサポート。

Stratix IV GX FPGA のエンハンスド・トランシーバ・ブロックは、PCIe、ギガビット・イーサネット、Serial RapidIO<sup>®</sup>、GPON、CPRI、OBSAI、HyperTransport<sup>™</sup> 3.0、SERDES Framer Interface Level 5 (SFI-5)、および Interlaken など、主要なプロトコルをサポートしています。ブロックは、ダイナミックにリコンフィギュレーション可能なトランシーバを内蔵しており、隣接するトランシーバ・チャンネルにインタラプトせずに、異なるプロトコル、データ・レート、およびフィジカル・メディア・アタッチメント (PMA) 設定をダイナミックに選択可能です。

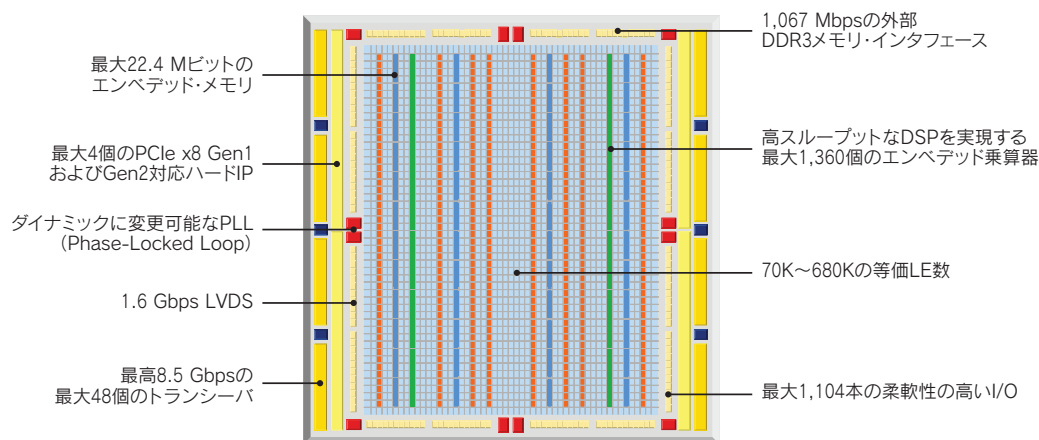
Stratix IV GX FPGA は、卓越したシグナル・インテグリティを実現するように設計されたトランシーバおよびメモリ・インタフェースを提供します。

- ダイナミックにリコンフィギュレーション可能な送信プリエンファシスおよび受信イコライザにより、6.375 Gbps で FR-4 の 50 インチ・バックプレーンがドライブ可能
- プラグ & プレイ・シグナル・インテグリティにより、バックプレーンに対するイコライザ設定を手動でリコンフィギュレーションする必要がなくなり、バックプレーン・カードの位置をオンザフライで変更可能。以下の 2 つのキーとなる機能により実現
  - トランシーバ・カードの活線挿抜が可能なホット・ソケット機能
  - 良好なアイ開口部のための受信イコライザをモニタおよび調整する、アダプティブ離散補正エンジン (ADCE)
- 専用メモリ・インタフェース回路は、チップおよびパッケージ・レベルの強化による低い同時スイッチング・ノイズ (SSN) および優れたアイ品質との組み合わせにより 1067 Mbps の DDR3 インタフェースを実現。最新の高性能メモリ・インタフェースをサポート

これらの機能性により、複数のカード位置にフィット可能なユニバーサル・カードでバックプレーン・システムを設計することができます。また、低いビット・エラー・レート (BER) 動作を得ながらも、FPGA の広範なアプリケーションおよびコンフィギュレーションのための柔軟性も得られます。

## Stratix IV アーキテクチャ

Stratix IV FPGA は、競合 FPGA 製品に対して 2 倍の集積度および 2 スピード・グレード高速な利点を提供し、通信、軍用、放送機器といった、さまざまな産業における大規模なデザインに最適です。



## FPGA および ASIC の利点

Stratix IV GX FPGA と同等のトランシーバ・ブロック、パッケージおよびピン互換性により、HardCopy IV GX ASIC はエンベデッド・トランシーバを使用した ASIC デザインのなかで最も低いリスクとトータル・コストの達成を支援します。Stratix IV FPGA ファミリーを使用して、FPGA の利点を活用したイン・システム、アット・スピード、シームレスなプロトタイピングが可能となり、ASIC ハンドオフの前に量産向けのシステムを完備できます。

アルテラは、低コスト、低消費電力、同一機能でピン・コンパチブルの HardCopy IV ASIC をわずか 9～14 週間で作成する実証済みのターンキー・プロセスを採用しています。アルテラのターンキー・プロセスはフル・テスト設計を含んでいるため、設計者は技術革新に専念することができます。

HardCopy IV ASIC の概要は以下のとおりです。

- FPGA プロトタイプに対して、平均で 50% 以上の消費電力を削減
- コア性能が最大 100% 向上
- FPGA ベースの設計および検証メソッドロジにより、システム開発から市場投入までの時間を 9～12 ヶ月短縮
- デザイン検証時間およびリソース、EDA ツールのコスト、マスク費用を含む NRE コストの低減によって、トータル開発コストをスタンダード・セル ASIC の 5 分の 1 に削減
- SEU (Single Event Upset) 耐性およびデザイン・セキュリティを向上
- FPGA プロトタイプよりも小さいダイ・サイズで、製造コストを削減

## HardCopy デザイン・フロー

従来の ASIC を使用したシステム開発



Stratix IV FPGA および HardCopy IV ASIC を使用したシステム開発



## HardCopy IV デバイス・ファミリー・プラン

デバイス	FPGA プロトタイプ	トランシーバ数 <sup>1</sup> (6.5+Gbps, 3.2Gbps)	メモリ (M ビット)	ASIC ゲート <sup>2</sup>
HardCopy IV GX ASIC	HC4GX1	8+0	6.3	2.8M
	HC4GX2	16+0	8.1	3.8M
	HC4GX3	24+12	13.3	9.2M
	HC4GX4	24+12	13.3	7.7M
	HC4GX5	24+12	17.7	9.4M
	HC4GX6	24+12	20.3	11.5M
HardCopy IV E ASIC	HC4E2	-	8.1	3.9M
	HC4E3	-	10.7	9.2M
	HC4E4	-	13.3	7.7M
	HC4E5	-	17.7	9.4M
	HC4E6	-	18.0	11.5M
	HC4E7	-	18.4	13.3M

注:

<sup>1</sup> 最大チャネル数であり、パッケージにより減少する場合があります。

<sup>2</sup> ASIC ゲートは LE あたり 12 ゲートとして換算されます。各 18x18 乗算器は 5,000 ゲート。

<sup>3</sup> 表中の数値は暫定数値であり、変更の可能性がります。

## 最高性能、最高のロジック使用率、 および最短のコンパイル時間

高集積デバイスでは、迅速に設計を完了させるための生産性の高いデザイン・ツールが必要です。Quartus II ソフトウェアでは、設計者が必要とするデザイン環境のすべてを提供します。例えば、Quartus II ソフトウェアで取り扱うことができるソフト IP またはハード IP を選択すると、このソフトウェアのみで単一のデザイン・ソースから Stratix IV FPGA と HardCopy IV ASIC の 2 つのデバイスに実装できます。この環境でもたらされるハードウェアとソフトウェアの真の協調設計および検証により、リスピンを排除し、システム開発の遅れを回避し、製品を迅速に市場投入することが可能となります。

高集積 FPGA に対応する優れた性能と生産性を提供する Quartus II ソフトウェア v8.1 は、40 nm デバイスをサポートする、FPGA ベンダによる初のソフトウェアです。Quartus II ソフトウェアは、多くの利点を提供します。

- Stratix IV FPGA の配線アーキテクチャと共に提供される性能最適化手法により、競合製品に対して平均で 2 スピード・グレード高速の最適なデバイス性能を提供
- 最新の配置配線アルゴリズムとロジック・アーキテクチャの組み合わせにより、最高のロジック使用率を達成
- マルチプロセッサ・サポートを備えた最新の配置配線アルゴリズムは、競合製品の 1/3 のコンパイル時間を実現。デザインの変更されたパーティションだけをコンパイルする Quartus II のインクリメンタル・コンパイル機能により、コンパイル時間をさらに最大 70% 削減。インクリメンタル・コンパイルは、チーム・ベースの設計フローもサポート。

Quartus II ソフトウェアは、PowerPlay 消費電力最適化機能、TimeQuest タイミング・アナライザ、および SOPC Builder など、業界をリードする生産性向上機能を備えています。これらの機能は、自動的に消費電力を最小化し、迅速なタイミング・クロージャとデザイン開発を実現します。

## TSMC とアルテラ：40 nm テクノロジ および低リスクな量産パス

R&D、シリコン製造、および品質のリーダーである TSMC は、1993 年以來のアルテラの製造パートナーです。TSMC とアルテラはチームとなって、デザインからテーパーアウトまで製造プロセス開発全体のファウンドリ・モデルの見直しを継続的に行っています。多くの IC サプライヤとファウンドリの関係とは異なり、TSMC とアルテラは単なる製造の委託ではなく、共同開発を行っています。両社の標準的な共同作業の一例として、TSMC の 40 nm プロセス技術でテスト・チップを開発しました。これらのテスト・チップは、プロセスおよび回路設計の不確実性に関連する生産リスクを最小限に抑え、主要 IC コンポーネントの機能性を立証しました。

TSMC の 40 nm プロセスで構築されたアルテラの 40 nm デバイスは、最新テクノロジーと最小限のリスクの量産パスを提供します。TSMC の 40 nm プロセス技術は、デバイスの性能と電力効率を強化するために、193 nm 液浸リソグラフィ、Low-K 誘電体、およびひずみシリコンを特長としています。

TSMC とアルテラは、より早く優れた結果を出し、プロセス・ノードの成功において比類ない実績を収めています。

## “think AND, not OR” その他の理由

真のデザインの成功には包括的なリソース・セットが要求されるため、アルテラはシリコンと開発ソフトウェアを補完するエンベデッド・プロセッサ、エンベデッド・ソフトウェア開発ツール、コンフィギュラブルな検証済みの IP コア、開発キット、およびリファレンス・デザインを提供しています。40 nm デバイスをサポートするために新たにアップデートされたデザイン・リソースには、Nios<sup>®</sup> II エンベデッド・プロセッサ v8.1 および MegaCore<sup>®</sup> IP ライブラリ v8.1 があります。

Nios II エンベデッド・プロセッサ v8.0 は、アルテラの 40 nm デバイスのエンベデッド・ソフトウェア機能を拡張します。最新バージョンでは、セーフティ・クリティカル・アプリケーションの要求に対応するためのメモリ保護ユニットの追加、またはメモリ保護および仮想メモリ・サポート両方を提供するためのメモリ管理ユニットの追加が可能です。また、以下も実現します。

- Nios II C-to-Hardware (C2H) Acceleration Compiler で ANSI C コードをハードウェア・アクセラレータに変換して、スピードが重視されるソフトウェア・サブルーチンを自動的に高速化
- 高集積デバイス 1 個に多数の 300 MIPS レベルのプロセッサを実装
- システムの性能向上や、消費電力の低減を実現するハードウェア・アクセラレータの追加

アルテラの MegaCore IP Library v8.0 には、x1、x2、x4、および x8 コンフィギュレーションをサポートし、Stratix IV GX FPGA 向けに PCIe Base Specification 2.0, 1.1、または 1.0 に準拠した新しい PCIe 用ハード IP が導入されています。シングル GUI からハードおよびソフト IP 両方を選択し、コンフィギュレーションできます。このリリースには、多くのビデオ / 画像処理コアが含まれ、既存の IP ファンクションに多くの新しい機能が追加されています。

アルテラは、シリコンおよび IP 開発を促進するエンド・マーケット・ソリューションの要求を理解しています。この要求に応えるために、さまざまなファンクションを簡単に統合するビルディング・ブロックを作成しており、これらの多様な IP コアを供給する強力なエコシステムの提供を継続します。

## Stratix IV FPGA および HardCopy IV ASIC が対応する市場およびアプリケーション

市場	アプリケーション
ワイヤライン	20G/40G MSAN/MSPP、4 ポートおよび 8 ポート GPON OLT
ワイヤレス	ベースステーション、ハイエンド RF カード
軍用機器	レーダーおよび電子戦機器
放送機器	スタジオおよびヘッドエンド装置
ストレージ	SAN コントローラおよびスイッチ
医療機器	画像診断および治療システム
コンピュータ	ハイ・パフォーマンス・コンピューティング
オートモーティブ	インフォテインメント、ゲートウェイ・コントロール
航空宇宙	民間航空機

## 詳細情報について

アルテラの 40 nm ソリューションにより、相反する利点の 1 つを得るためにもう一方の利点を犠牲にする必要はありません。どちらか一方ではなく、両方を視野に入れたソリューションについては、アルテラの販売代理店または FAE にお問い合わせください。また、Stratix IV FPGA および HardCopy IV ASIC に関するホワイトペーパー、ウェブキャスト、およびその他の詳細情報については、アルテラのウェブサイトをご覧ください。

[www.altera.co.jp/thinkANDnotOR](http://www.altera.co.jp/thinkANDnotOR)

## 日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1  
新宿アイランドタワー32F 私書箱1594号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
[www.altera.co.jp](http://www.altera.co.jp)  
E-mail: [japan@altera.com](mailto:japan@altera.com)

## Altera Corporation

101 Innovation Drive, San Jose, CA 95134  
USA  
[www.altera.com](http://www.altera.com)

本資料に掲載されている内容は、製品の仕様の変更等により予告なく変更される可能性があります。最新の情報はアルテラ・ウェブサイトをご参照ください。



Copyright © 2008 Altera Corporation. All rights reserved. Altera, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, mask work rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. May 2008, 8K

GB-01007-1.1/JP