

アルテラの ARM ベース SoC FPGA  
～ユーザーによるカスタマイズが可能～

# Design the Way You Want

## ～デザインを自由自在に～

もし、アプリケーションに合わせて必要な IP やペリフェラルを選択して、カスタム SoC (System on a Chip) を即座に開発できるとしたら…。

2 つのディスクリート・デバイスを 1 つに統合して、システム消費電力、コスト、およびボード・サイズを削減しつつ性能を向上できるとしたら…。

最終製品をハードウェア、ソフトウェアの両面から差別化できるチップがあるとしたら…。

アルテラの 28nm Cyclone® V および Arria® V ファミリの新製品「SoC FPGA デバイス」なら、そうしたカスタム・デバイスのデザインが可能です。アルテラの SoC FPGA デバイスを使用すれば、市場要件の変化やインターフェース規格の変更に適応できます。広範なシステム・ペリフェラル、アルテラ製 IP、カスタム IP、およびサードパーティ IP が用意されており、アルテラのデザイン・ツールを使用してカスタム・システムを迅速に開発することが可能です。SoC FPGA Virtual Target (バーチャル・ターゲット) プロトタイピング・ツールを使用すれば、今すぐソフトウェア・アプリケーションの開発を開始できます。

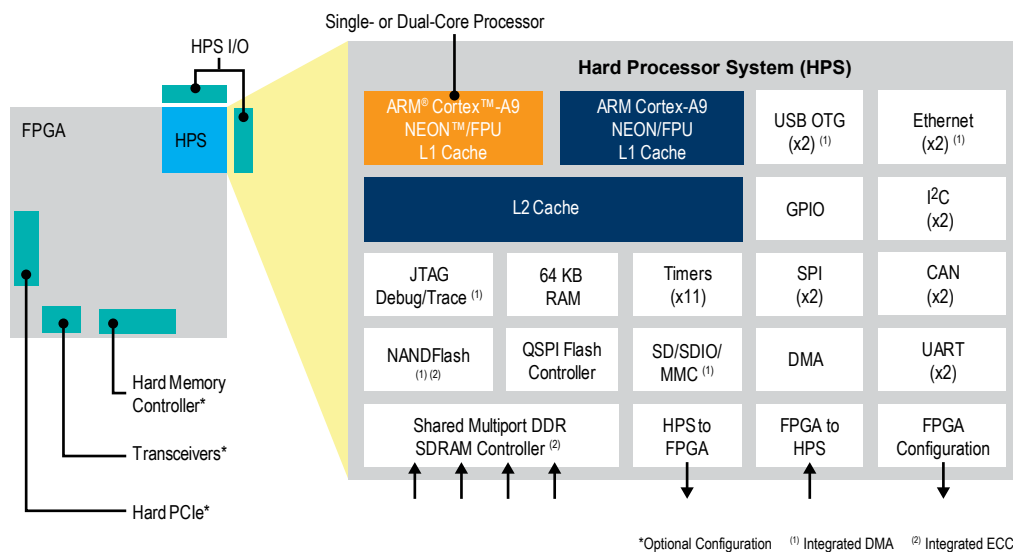
## SoC FPGA とは?

アルテラの SoC FPGA は、ARM ベースのハード・プロセッサ・システム (HPS) に、デュアルコア ARM® プロセッサ、ペリフェラル、メモリー・コントローラと高性能インタコネクティブ・バックボーンを組み合わせて FPGA ファブリックに統合したものです。

SoC FPGA には、以下の利点があります。

- 2 つのチップ (プロセッサ+FPGA) を 1 つに統合することにより、システム消費電力、コスト、およびボード・スペースを削減
- 最終製品をハードウェア、ソフトウェアの両面から差別化可能
- FPGA にあらゆるインターフェース規格のサポートを追加可能
- フィールドでもハードウェアとソフトウェアをアップデートすることで製品寿命を延ばし、収益を増加
- ハード・プロセッサ・システムとFPGA間の高スループット・データ・パスによってシステム性能を向上

## SoC FPGA ハード・プロセッサ・システム (HPS)



### ARM ベースのハード・プロセッサ・システム

ハード・プロセッサ・システムは、デュアルコア ARM<sup>®</sup> Cortex™-A9 MPCore™ プロセッサ、広範なペリフェラル群、およびFPGA 内のロジックと共有されるマルチポート・メモリ・コントローラで構成されています。ハード・プロセッサ・システムは、性能の向上とハード IP によるコスト削減の組み合わせによるプログラマブル・ロジックの柔軟性をもたらします。

- 実装されたペリフェラル群により、プログラマブル・ロジックへ各ペリフェラルの実装が不要になり、より多くの FPGA リソースをアプリケーション固有のカスタム・ロジックに利用できるようになるほか、消費電力の削減にもつながります。
- プロセッサと FPGA ロジックによって共有される「ハード」マルチポート SDRAM メモリ・コントローラは、DDR2、DDR3、mobile DDR および LPDDR2 デバイスのサポートに加え、統合された ECC (誤り訂正符号) 機能によって、高信頼性アプリケーションやセーフティ・クリティカル・アプリケーションに最適です。

### 高速インタコネク

ハード・プロセッサ・システムと FPGA ファブリック間の高スループット・データ・パスは、2 チップ・ソリューションでは実現不可能なレベルのインタコネク性能を提供します。HPS と FPGA ファブリックの緊密な統合により、プロセッサと FPGA 間のデータ・コヒーレンスを維持しつつ、125Gbps を超えるピーク帯域幅を実現します。

### 柔軟な FPGA ファブリック

FPGAロジック・ファブリックがもたらす柔軟性により、カスタムIP のほか、アルテラまたはアルテラ・パートナーが提供するコンフィギュレーション済みの標準 IP をデザインに実装することでシステムの差別化を図ることができ、以下を可能にします。

- 各種インタフェース/プロトコル規格の規格変更に対応
- FPGA へのカスタム・ハードウェアの追加により、タイム・クリティカルなアルゴリズムの高速化や大きな競争力を実現
- PCI Express<sup>®</sup> (PCIe<sup>®</sup>) ポートや追加のマルチポート・メモリ・コントローラをはじめとする FPGA 内のハード・ロジック機能の利用により、消費電力および FPGA リソース要件を削減

## SoC FPGA: 28nm FPGAポートフォリオをさらに拡充

アルテラは、各デザイン要件に合わせた完全な 28nm デバイス・ポートフォリオを提供します。そしてこの度、SoC FPGA がこの多彩な Cyclone V および Arria V FPGA ファミリーに加わりました。各ファミリーは、性能、I/O リソース、パッケージ・サイズ、消費電力、コストなどの要件への最適化により差別化が図られています。そして、28nm デバイス・ファミリー共通の生産性向上デザイン・プラットフォームを利用して迅速なデザイン開発が可能です。



### 多様なニーズに応える FPGA

**Cyclone V FPGA** は、業界で最も低いコストと消費電力に加え、量産アプリケーションの差別化に最適なレベルの性能を提供します。前世代のデバイスに比べて最大 40% のトータル消費電力削減を実現しており、ロジックの効率的な集積化能力、内蔵トランシーバ・オプションのほか、可変精度 DSP ブロックによって最大 150 GMACS および 100 GFLOPS のデジタル信号処理 (DSP) 性能を提供します。Cyclone V SoC FPGA デバイスは、性能要件に応じてシングルコアまたはデュアルコアの Cortex-A9 プロセッサを選択できます。

Cyclone V ファミリーには以下の 6 種類があります。

- **Cyclone V E FPGA** (ロジックのみ)
- **Cyclone V GX FPGA** (3.125 Gbps トランシーバ内蔵)
- **Cyclone V GT FPGA** (5 Gbps トランシーバ内蔵)
- **Cyclone V SE SoC FPGA** (ARM® ベース・ハード・プロセッサ・システム内蔵)
- **Cyclone V SX SoC FPGA**  
(ARM ベース・ハード・プロセッサ・システムおよび 3.125 Gbps トランシーバ内蔵)
- **Cyclone V ST SoC FPGA**  
(ARM ベース・ハード・プロセッサ・システムおよび 5 Gbps トランシーバ内蔵)



**Arria V FPGA** は、リモート無線ヘッド (RRH)、LTE 基地局、マルチファンクション・プリンター (MFP) などのミッドレンジ・アプリケーションに必要な性能とコスト/低消費電力性をバランスよく兼ね備えています。高速 FPGA ファブリック、高速 I/O、および高速トランシーバによって高いシステム性能を実現したほか、豊富な DSP を備えた Arria V FPGA ファブリックは、ミッドレンジ・アプリケーションのコスト要件と消費電力要件を満たしながら、最大 1,600 GMACS および 300 GFLOPS の性能を提供します。

Arria V ファミリーには以下の 4 種類があります。

- **Arria V GX FPGA** (6.375 Gbps トランシーバ内蔵)
- **Arria V GT FPGA** (10.3125 Gbps トランシーバ内蔵)
- **Arria V SX SoC FPGA**  
(ARM ベース・ハード・プロセッサ・システムおよび 6.375 Gbps トランシーバ内蔵)
- **Arria V ST SoC FPGA**  
(ARM ベース・ハード・プロセッサ・システムおよび最大 10.3125 Gbps トランシーバ内蔵)

## SoC FPGA ファミリー<sup>1</sup>

ファミリ	KLE	ブロック・メモリ (Mb)	可変精度マルチプライヤ・ブロック	最大 FPGA ユーザー I/O 数	HPS 専用 I/O 数	最大トランシーバ数 (GP)	トランシーバ最大データレート (Gbps)	SOC ハード・メモリ・コントローラ	FPGA ハード・メモリ・コントローラ	ハード PCIe®
Cyclone V SoC FPGA	25	1.4	36	124	188	–	–	1	–	–
	40	2.2	58	124	188	6	5	1	1	Gen2 x 2
	85	4.0	87	288	188	9	5	1	2	Gen2 x 2
	110	5.1	112	288	188	9	5	1	2	Gen2 x 2
Arria V SoC FPGA	350	17.3	809	528	216	30 / 6	6 / 10	1	3	Gen2 x 2
	460	22.8	1,068	528	216	30 / 6	6 / 10	1	3	Gen2 x 2

## SoC FPGA パッケージ<sup>1</sup>

ファミリ	KLE	トランシーバ非内蔵デバイス (FPGA ユーザー I/O ピン数)			トランシーバ内蔵デバイス (FPGA ユーザー I/O ピン数, トランシーバ数)				
		U484-WB 19x19	U672-WB 23x23	F896-WB 31x31	U672-WB 23x23 (I/O, 3G/5G)	F896-WB 31x31 (I/O, 3G/5G)	F896-FC 31x31 (I/O, 6G, 10G)	F1152-FC 35x35 (I/O, 6G, 10G)	F1517-FC 40x40 (I/O, 6G, 10G)
Cyclone V SoC FPGA	25	66	124	–	–	–	–	–	–
	40	66	124	–	124, 6	–	–	–	–
	85	66	124	288	124, 6	288, 9	–	–	–
	110	66	124	288	124, 6	288, 9	–	–	–
Arria V SoC FPGA	350	–	–	–	–	–	170, 12, 6	350, 18, 6	528, 30, 6
	460	–	–	–	–	–	170, 12, 6	350, 18, 6	528, 30, 6
HPS I/O		161	188	188	188	188	216	216	216

<sup>1</sup> すべてのデータは暫定値です。

## 28nm SoC FPGAの機能強化

TSMC の 28nm ロー・パワー (28LP) プロセス技術で製造される Cyclone V SoC FPGA および Arria V SoC FPGA ファミリーは、低消費電力の実現のほか、以下をはじめとする大幅なアーキテクチャの強化が図られています。

- 効率的な 8 入力アダプティブ・ロジック・モジュール (ALM)
- 新しい 10 K ビット (M10K) 内部メモリ・ブロック
- 新しい 640 ビットメモリ・ロジック・アレイ・ブロック (MLAB)
- 可変精度 DSP ブロック
- 外部オシレータを不要にするフラクショナル・フェーズ・ロックド・ループ PLL (fPLL)
- 極めて柔軟なクロッキング・ネットワーク
- 消費電力に最適化された MultiTrack 配線アーキテクチャ

どちらのファミリも、豊富な IP (Intellectual Property) ブロックを内蔵しています。ハード IP ブロックは、ソフト・ロジック実装時と比較して消費電力を削減し、デザイン・プロセスを簡素化すると同時に、より多くの FPGA ロジック・リソースを製品の差別化のために使用できるようにします。主なハード IP ブロックとしては以下のものがあります。

- ハード・メモリ・コントローラ
- マルチファンクション対応 PCIe Gen2

さらに、SoC FPGA は揮発性キーおよび不揮発性キーによる 256 ビット AES などの機能をはじめとする追加のデザイン保護により、お客様の貴重な IP への投資を保護します。

## SoC FPGA でデザインする理由

SoC FPGA は、ハード・ロジックの高性能、低消費電力、および低コストと共に、プログラマブル・ロジックの柔軟性と迅速な「Time to Market」を提供します。

### システム消費電力を低減

SoC FPGA は、アルテラに最適化された 28nm ロー・パワー (28LP) プロセス技術を利用しており、高まり続ける帯域幅のニーズに対応する低消費電力シリアル・トランシーバを内蔵しています。

Cyclone V SoC FPGA	Arria V SoC FPGA
3.125 Gbps – チャンネルあたり 75 mW	3 Gbps – チャンネルあたり 80 mW 未満
5 Gbps – チャンネルあたり 88 mW	6 Gbps – チャンネルあたり 100 mW 未満
	10 Gbps – チャンネルあたり 140 mW 未満



HPSは、800 MHz の場合、1.8W 未満の消費電力で 4,000 MIPS\* を達成します。HPS の消費電力は、オンチップ・クロック周波数管理、CPU クロック・ゲーティング、イベント/割り込み待ちスリープ・モード、および低消費電力メモリ・コントローラ I/O モード によってダイナミックにコントロールされます。さらに、FPGA を独立してパワーダウンしたり、必要に応じてプログラム制御によって FPGA をパワーアップし、コンフィギュレーションすることによって、一層の消費電力削減を図ることも可能です。

### システム・コストの低減

システム・コスト低減を支援するために、アルテラの SoC FPGA は、マルチ・チップ・ソリューションに比べ、デザイン時間を短縮し、部品 (BOM) コストを低減できるように設計されています。

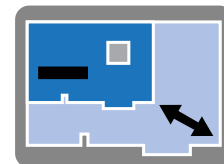
- 必要な電源数の削減 – 電源レールは、Cyclone V SoC FPGA では 2 つ、Arria V SoC FPGA では 3 つで済みます。
- 必要なオシレータ数の削減 – fPLL によって単一の基準クロック・ソースから複数のクロック周波数を合成することにより、ボード上に必要なオシレータ数およびデバイスに使用されるクロック・ピン数を削減します。
- 必要な FPGA リソースの削減 – FPGA ファブリック内のハード PCIe ポートおよびマルチポート・メモリ・コントローラにより、プログラマブル・ロジックによる各機能の実装が不要です。
- PCIe を使ったプロトコルを介した FPGA コンフィギュレーションにより、不揮発性コンフィギュレーション・デバイスのコストを削減します。



\* Dhrystone 2.1ベンチマークを利用

## ボード・サイズも縮小可能

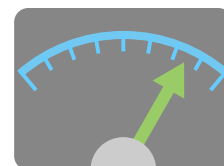
FPGA、マイクロプロセッサ、および DSP ディスクリート・デバイスを 1 チップに統合することでボード上のデバイス数を最小限に抑えることができ、ボード・スペースの削減のほか、複雑さ、配線制約、および PCB コストの抑制につながります。



## 性能の向上

SoC FPGA は、デュアルコア ARM Cortex-A9 MPCore™ プロセッサの性能および広範な組み込みソフトウェア・エコシステムと、アルテラの最新 28nm FPGA ファブリックの柔軟性を兼ね備えています。その 2 つの緊密な統合により、2 チップ・ソリューションでは実現不可能なレベルのシステム・インタコネクト性能を提供します。

- 125 Gbps を超えるプロセッサ - FPGA 間インタコネクト・バックボーン
- 4,000 MIPS の CPU 処理性能 (消費電力は 1.8W 未満)
- 最大 150 GMACS および 100 GFLOPS のピーク DSP 性能 (Cyclone V SoC FPGA)
- 最大 1,600 GMACS および 300 GFLOPS のピーク DSP 性能 (Arria V SoC FPGA)



## カスタマイズ可能な SoC

アルテラおよびサードパーティ IP パートナーの広範なソフト IP コアから選択し、Qsys システム統合ツールを使用して迅速にカスタム ARM プロセッサ・システムを構築することが可能です。お客様独自のカスタム IP を開発してスピード重視の機能を高速化する、あるいは機能を追加して競争力の確保や製品寿命の延長を図るといったことが可能です。柔軟な FPGA ファブリックにより、業界標準や市場要件の変化に応じてデザインを適応させることも可能です。さらに、IP ファンクション群をサブシステムとして再利用することにより、スケーラブルなシステム開発を実現できます。

## 強力な ARM エコシステム

アルテラの SoC FPGA は、強力な ARM エコシステムを受け継いでおり、ソフトウェア開発ツール、オペレーティング・システム、ミドルウェア、およびデバッグを含む広範な ARM エコシステムを利用できます。ARM Cortex-A9 MPCore™ プロセッサ・アーキテクチャは、組み込みシステム市場における ARM の成功を基礎にしています。そのため、業界の主要な組み込みソフトウェア・プロバイダによって広くサポートされています。

## アルテラ SoC FPGA に最適な主なアプリケーション

アルテラは、シリコンおよび IP 開発をドライブするエンド・マーケット・ソリューションの要求を熟知しています。だからこそ、SoC FPGA は実際のアプリケーションに最適化されています。下の表に、Cyclone V および Arria V SoC FPGA に最適なアプリケーションの一例を示します。

SoC FPGA に最適なアプリケーション

市場	ターゲット・アプリケーション	主な機能	Cyclone V SoC				Arria V SoC	
			25	40	85	110	350	460
ファクトリ・オートメーション	産業用 I/O	センサ・インタフェース、セーフティ	●	●	–	–	–	–
	産業用ネットワーク	産業用通信／ネットワーク・プロトコル・ブリッジ、セーフティ	●	●	●	●	–	–
	プログラマブル・ロジック・コントローラ (PLC)、ヒューマン・マシン・インタフェース (HMI)、ドライブ装置、サーボ	コントロール・ループ、高効率インバータ、通信プロトコル、I/O、セーフティ	●	●	●	●	–	–
スマート・エネルギー	再生可能エネルギー、送配電、セキュア通信	インバータ、パワー・マネージメント、保護リレー、通信規格、セキュリティ、セーフティ	●	●	●	●	–	–
ビデオ・サーベランス	IP カメラ	広ダイナミック・レンジ (WDR) カメラ、高精度 (HD) ビデオ、高度なビデオ解析	–	–	●	●	●	–
自動車	高度ドライバー・アシスタンス、インフォテインメント	ビデオ処理、ビデオ解析、通信	●	●	●	–	–	–
ワイヤレス・インフラストラクチャ	リモート無線ユニット (RRU)、LTE モバイル・バックホール	信号処理、ベースバンド処理	–	–	–	●	●	●
ワイヤライン通信	ルータ、アクセス、エッジ機器	ルーティング・プロトコル、リンク管理、OAM	–	–	–	●	●	●
放送機器	スタジオ、ビデオ会議、商業用オーディオ／ビジュアル (A/V)	オーディオ/ビデオ CODEC、Video Over IP、エッジ QAM、PCIe キャプチャ	–	–	–	●	●	●
防衛／航空宇宙	暗視、セキュア通信	ビデオ／画像処理	●	●	–	–	●	●
	インテリジェンス、インストゥルメンテーション	データ処理、制御、ディープ・パケット・インスペクション (DPI)	–	–	–	●	●	●
医療	画像診断、インストゥルメンテーション	超音波画像診断、信号処理	–	–	–	●	●	●
コンピューター&ストレージ	マルチファンクション・プリンター (MFP)、シャーシ・マネージメント	スキャン/プリント・アルゴリズム、温度・電圧モニタリング、リモート・アクセス	–	–	●	●	●	●

# 共通の開発ソフトウェアで デザインを容易に

## ソフトウェア・ツール



一連の共通ソフトウェア・ツールおよびデザイン・リソースにより、コンセプトから収益をもたらすアプリケーションの実装までを迅速に行うことができます。アルテラの SoC FPGA は、ソフトウェア開発ツール、オペレーティング・システム、ミドルウェアを含め、ARM Cortex-A9 MPCore™ プロセッサの強力なソフトウェア開発エコシステムを受け継いでいます。このエコシステムの互換性により、使い慣れたツールによって生産性を維持できることに加え、レガシーなソフトウェアの再利用によって開発サイクルを短縮することもできます。

アルテラ SoC FPGA デバイスのソフトウェア開発プロセスは、他のエンベデッド・プロセッサと同様です。アルテラおよびエコシステム・パートナーは、ボード立ち上げから Linux等の カーネルの構築、アプリケーション・ソフトウェアのデバッグに至るまで、プロセスのステップごとに幅広いツールを提供しています。

アルテラ SoC FPGA デバイスは、Linux、Wind River VxWorks をはじめとするオペレーティング・システム (O/S) を包括的にサポートしています。アルテラのリファレンス Linux カーネル、または他のオペレーティング・システム用のボード・サポート・パッケージ (BSP) を使用すれば、OS ベースのアプリケーション開発をすぐに始めることができます。



## ハードウェア・ツール

Qsys システム統合ツールを特徴とする Quartus® II ソフトウェア開発環境は、生産性向上を実現し、ハードウェア設計者の開発作業を容易にします。Qsys は、複雑なハードウェア・システムの開発を簡素化することにより、FPGA デザイン・プロセスに必要な時間と労力を削減します。

## 開発期間の短縮

- 使いやすい GUI インタフェースにより、IP 機能とサブシステムを素早く統合
- インタコネクต์・ロジックの生成およびシステムの HDL 生成を自動化
- 階層化デザイン・フローがスケーラブルなデザインを実現し、チーム・ベースのデザインをサポートし、デザインの再利用性を最大化
- ARM AMBA®/AXI、Avalon® Memory Mapped、Avalon Streaming インタフェースをはじめとする広範な IP インタフェースをサポート
- シミュレーション・モデル、ソフトウェア・ヘッダ・ファイル、およびデータ・シートの自動生成により、ハードウェア・チームとソフトウェア・チームにまたがる開発作業を迅速化



## タイミング・クロージャの短縮

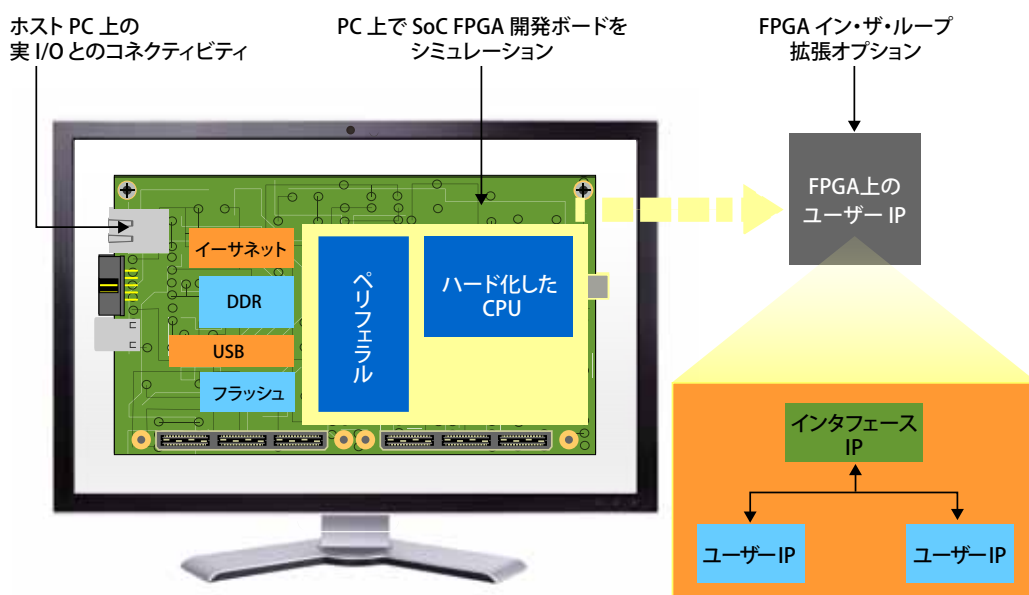
- ネットワーク・オン・チップ (NoC) アーキテクチャに基づく高性能 Qsys インタコネクต์
- ユーザーによるパイプライン処理の制御によってシステムの  $f_{MAX}$  およびレイテンシ要件を満たす

## 検証期間の短縮

- テストベンチの自動生成と検証 IP スイートにより、シミュレーションを早く開始
- 実動システムにデバッグ用の読み出し／書き込みトランザクションを送信して、ボード完成までの期間を短縮

## ソフトウェア開発を今すぐ開始できます

SoC FPGA デバイスには、作業の生産性向上、ソフトウェアの品質向上、ひいては製品の早期市場投入を実現するバーチャル・プロトタイプング・ツール「SoC FPGA Virtual Target」が用意されています。SoC FPGA Virtual Target は、実際のハードウェア上では困難あるいは不可能な開発およびデバッグ機能を提供します。



Virtual Target は、エンベデッド開発ボードの高速機能シミュレーションです。シミュレーション対象のハードウェアとは、バイナリおよび、レジスタ・レベルでも互換性があります。Virtual Target は、Windows または Linux PC 上で動作し、実際の開発ボードと同じように使用可能です。オペレーティング・システム (OS) とアプリケーション・コードを実行し、標準的な ARM 開発ツールを使用して接続すれば、ファームウェアおよびアプリケーション・ソフトウェアの開発/デバッグを行うことができます。

## 詳細情報について

アルテラの ARM ベース SoC FPGA を使用すれば、システム性能を高めながらボード・サイズ、システム消費電力、およびシステム・コストを削減できます。アルテラの 28nm ポートフォリオは、差別化された複雑なソリューションをより少ない時間と労力で開発することを可能にすることにより、プログラマブル・ロジックの概念を再定義し続けています。SoC FPGA の詳細については、アルテラの販売代理店にお問い合わせください。SoC FPGA に関するホワイトペーパー、オンライン・セミナー、および技術詳細は、下記の日本アルテラのウェブサイトでご覧下さい。

**詳細:** [www.altera.co.jp/socfpga](http://www.altera.co.jp/socfpga)

## 日本アルテラ株式会社

〒163-1332  
東京都新宿区西新宿6-5-1  
新宿アイランドタワー32F 私書箱1594号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
[www.altera.co.jp](http://www.altera.co.jp)  
E-mail: [japan@altera.com](mailto:japan@altera.com)

## Altera Corporation

101 Innovation Drive, San Jose, CA 95134 USA  
[www.altera.com](http://www.altera.com)

本資料に掲載されている内容は、製品の仕様の変更等により予告なく変更される可能性があります。最新の情報はアルテラ・ウェブサイトをご参照ください。

