

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

このアプリケーション・ノートでは、MAX<sup>®</sup>V デバイスでの差動 I/O 規格の使用方法について説明します。

高速差動 I/O 規格は、シングル・エンド I/O 規格に対する大きなアドバンテージにより、高速インタフェース分野で人気が高まっています。Altera<sup>®</sup> MAX V デバイス・ファミリは 2 番目の出力が反転としてプログラムされた 2 つのシングル・エンド出力と外部抵抗ネットワークを使用してエミュレートされる LVDS の出力 (LVDS\_E\_3R) およびエミュレートされる RSDS (Reduced Swing Differential Signaling) の出力 (RSDS\_E\_3R) I/O 規格をサポートします。

このアプリケーション・ノートには、次の項があります。

- 1 ページの「エミュレートされる LVDS 出力 (LVDS\_E\_3R) I/O 規格」
- 2 ページの「エミュレートされる RSDS 出力 (RSDS\_E\_3R) I/O 規格」
- 3 ページの「I/O リソース」
- 4 ページの「ソフトウェアの概要」

## エミュレートされる LVDS 出力 (LVDS\_E\_3R) I/O 規格

MAX V デバイスは、最大 304 Mbps のデータ・レートでエミュレートされる LVDS トランスミッタは 2 つのシングル・エンド出力バッファおよび外部抵抗を使用してサポートされます。1 つのシングル・エンド出力バッファは、逆極性になるようにプログラムされます。LVDS レシーバは、入力バッファの 2 つの信号間で 100 W の終端抵抗を要求します。

図 1 に、2 つのシングル・エンド出力バッファおよび外部抵抗を使用して、MAX V とポイント・ツー・ポイントの LVDS インタフェースを示します。

図 1. MAX V デバイスによる外部抵抗ネットワークを使用した LVDS インタフェース (注 1)

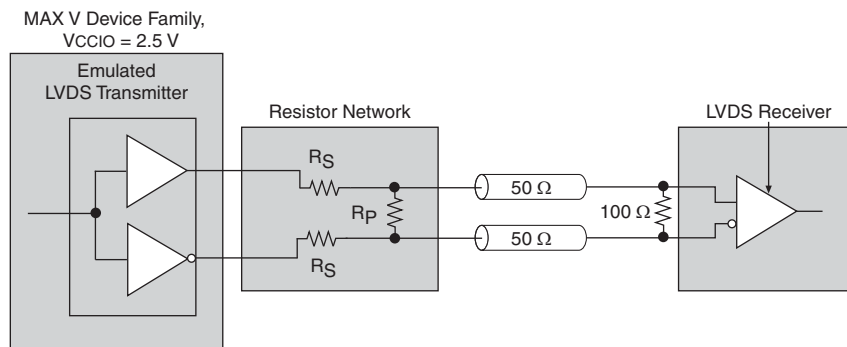



図 1 の注：

(1)  $R_S = 120 \Omega$  ;  $R_P = 170 \Omega$

 MAX V デバイスは、ANSI/TIA/EIA-644 規格に適合しています。

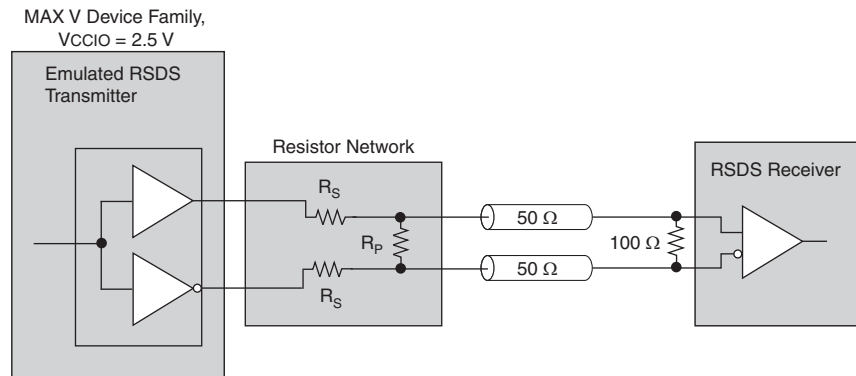
 MAX V デバイスのエミュレートされる LVDS 出力の電氣的仕様について詳しくは、「MAX V デバイス・ハンドブック」の「MAX V のデバイスの DC およびスイッチング特性」の章を参照してください。

## エミュレートされる RSDS 出力 (RSDS\_E\_3R) I/O 規格

MAX V デバイスでは、最大 200 Mbps のデータ・レートのエミュレートされた RSDS トランスミッタは 2 つのシングル・エンド出力バッファおよび外部抵抗を使用してサポートされます。2 つのシングル・エンド出力バッファは、逆極性になるようにプログラムされます。

図 2 に、2 つのシングル・エンド出力バッファおよび外部抵抗を使用して、MAX V デバイスとポイント・ツー・ポイントの RSDS インタフェースを示します。


図 2. MAX V デバイスによる外部抵抗ネットワークを使用した RSDS インタフェース (注 1)



**図 2 の注：**

(1)  $R_S = 120\ \Omega$ ;  $R_P = 170\ \Omega$

 MAX V デバイスは、National Semiconductor Corporation の RSDS インタフェース仕様に適合しています。


 MAX V デバイスのエミュレートされる RSDS 出力の電氣的仕様について詳しくは、「MAX V デバイス・ハンドブック」の「MAX V のデバイスの DC およびスイッチング特性」の章を参照してください。

エミュレートされるトランスミッタを使用するときに、抵抗ネットワークは、RSDS 仕様に準拠して出力電圧振幅を減衰させるのに必要です。抵抗ネットワークの値を変更して、消費電力を低減したり、ノイズ・マージンを改善することができます。

選択する抵抗値は、以下の式を満たさなければなりません。式 1。

**式 1.**

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50\ \Omega$$

 アルテラでは、MAX V デバイスの IBIS モデルを使用してシミュレーションを実行し、カスタム抵抗値が RSDS 要件に適合するかどうかを確認することを推奨しています。

## I/O リソース

差動出力チャンネルの数は、デバイスの集積度およびパッケージによって異なります。  
表 1 に、デバイスの集積度およびパッケージによってエミュレートされる LVDS および RSDS チャンネル数を示します。

表 1. MAX V デバイスでサポートされる LVDS および RSDS チャンネル (注 1)

デバイス	64 ピン MBGA	64 ピン EQFP	68 ピン MBGA	100 ピン TQFP	100 ピン MBGA	144 ピン TQFP	256 ピン FBGA	324 ピン FBGA
5M40Z	10 eTx	20 eTx	—	—	—	—	—	—
5M80Z	10 eTx	20 eTx	20 eTx	33 eTx	—	—	—	—
5M160Z	—	20 eTx	20 eTx	33 eTx	33 eTx	—	—	—
5M240Z	—	—	20 eTx	33 eTx	33 eTx	49 eTx	—	—
5M570Z	—	—	—	28 eTx	28 eTx	49 eTx	75 eTx	—
5M1270Z	—	—	—	—	—	42 eTx	90 eTx	115 eTx
5M2210Z	—	—	—	—	—	—	83 eTx	115 eTx

**表 1 の注：**

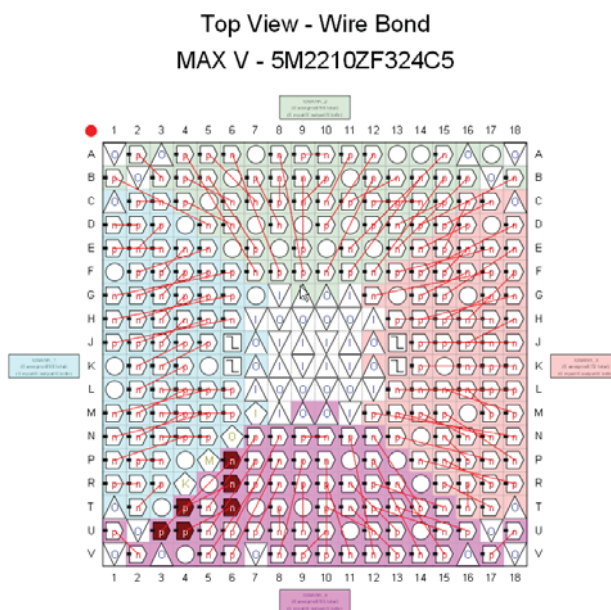
(1) eTx = エミュレートされる LVDS 出力バッファ (LVDS\_E\_3R) またはエミュレートされる RSDS 出力バッファ (RSDS\_E\_3R)。

エミュレートされた差動出力チャンネルが **MAX V Device Pin-Out** の **Emulated LVDS Output Channel** カラムの DIFFIO\_<channel\_number> [p/n] ピンとして識別されます。

また、Quartus® II Pin Planner パッケージを使用して、差動 I/O アサインメントのプランニングを容易にすることができます。View メニューで **Show Differential Pin Pair Connections** をクリックして、差動ピン・ペアをハイライトします。差動ピン・ペアは赤い線によって接続されます。差動ピンでは、正ピンに信号だけを割り当てる必要があります。正ピンは差動 I/O 規格で割り当てられている場合、負のピンは自動的に Quartus II ソフトウェアによって割り当てられます。

図 3 に、MAX V デバイスで Quartus II Pin Planner の差動ピン・ペアの接続を示します。

図 3. MAX V デバイスで Quartus II Pin Planner の差動ピン・ペアの接続



## ソフトウェアの概要

MAX V デバイスの高速 I/O システム・インタフェースは、Quartus II ソフトウェアのメガファンクションによりコア・ロジックで作成されます。Quartus II ソフトウェアでは、ALTLVDS\_TX メガファンクションを使用して高速トランスミッタをデザインできます。メガファンクションは、MAX V デバイス・ファミリ・リソースを使用して最も効果的な方法で高速 I/O インタフェースが作成されるように最適化されています。



MAX V デバイスを ALTLVDS メガファンクションと共に使用する場合、インタフェースは、パラレル・データの MSB を最初に送信します。

MAX V デバイスでは、一方の ALTLVDS\_TX のインスタンスは 1 ~ 10 のデシリアライゼーション・ファクタで最大 18 チャンネルをサポートできます。外部 PLL (Phase-Locked Loop) モードで MAX V デバイスの ALTLVDS\_TX のインスタンスをサポートされます。同期レジスタはトランスミッタ・メガファンクションの前に追加する必要があります。

表 2 に、外部 PLL で生成したクロックの詳細を示します。


表 2. 外部 PLL で生成したクロック


クロック名	クロック周波数	
	奇数デシリアライゼーション・ファクタ	偶数デシリアライゼーション・ファクタ
高速クロック、 tx_inclkポートに接続される。(1)	データ・レート / 2	
低速クロック、 tx_synclockポートに接続される。	データ・レート / (2 × デシリアライゼーション・ファクタ)	データ・レート / デシリアライゼーション・ファクタ
同期化レジスタのためのクロック	データ・レート / デシリアライゼーション・ファクタ	

**表 2 の注：**

- (1) デシリアライゼーション・ファクタの 1 を選択した場合、tx\_inclk ポートを生成されない。したがって、高速クロックは不要です。

奇数と偶数のデシリアライゼーション・ファクタでは、低速クロックの要件が異なります。すべてのクロック信号は、兼用クロック・ピン、CLK[0..3] に生成される必要があり、グローバル・クロック・ネットワークに接続します。

 高速クロック、低速クロック、および同期化レジスタをクロックするために、内部生成クロック信号を使用しないでください。

 クロック信号間のボード・スキューを削除するには、アルテラは MAX V デバイスで外部の PLL から CLK ピンにクロック・バスに等しい配線パターンの長さを設定することを推奨します。


 図 4 に、偶数のデシリアライゼーション・ファクタのために、MAX V デバイスの ALTLVDS\_TX メガファンクション用のセットアップ例を示しています。

図 4. MAX V デバイスで ALTLVDS\_TX のメガファンクションを使用する偶数デシリアライゼーション・ファクタのためのセットアップ例

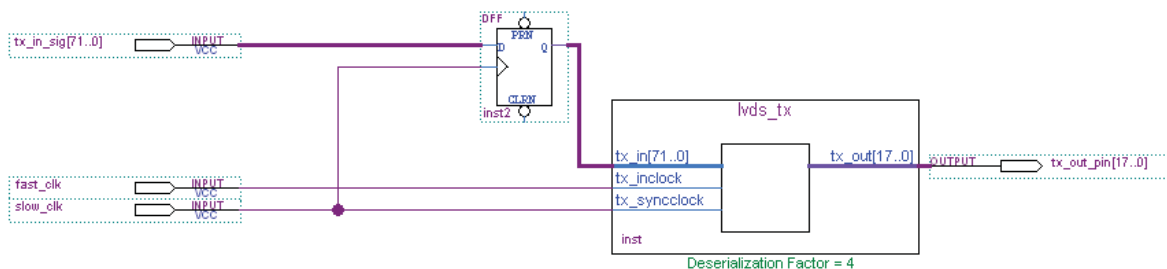


図 5 に、奇数のデシリアライゼーション・ファクタのために、MAX V デバイスの ALTLVDS\_TX メガファンクション用のセットアップ例を示しています。

図 5. MAX V デバイスで ALTLVDS\_TX のメガファンクションを使用する奇数デシリアライゼーション・ファクタのためのセットアップ例

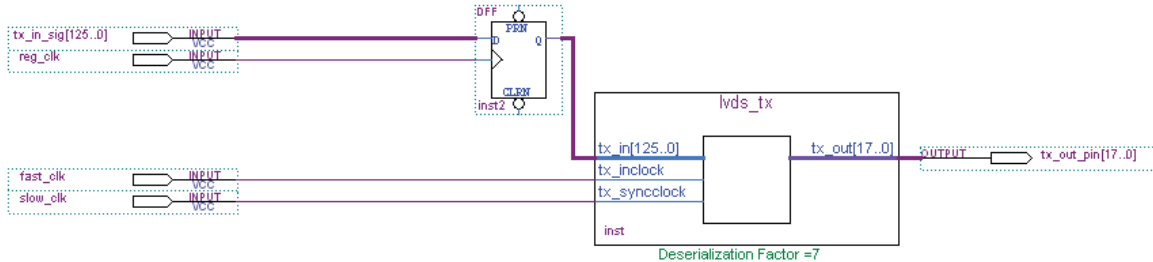



表 3 に示されたように、MAX V デバイスでは MegaWizard™ Plug-In Manager を使用して、いくつかのトランスミッタ設定をカスタマイズすることができます。


表 3. MAX V デバイスで MegaWizard Plug-In Manager を使用するトランスミッタ設定

オプション	説明
<b>What is the number of channels?</b>	LVDS トランスミッタで使用可能な出力チャンネル数。 例えば、チャンネル数が <b>18</b> の場合、tx_out [17..0] ポートが発生します。 1 つの ALTLVDS_TX インスタンスは最大 <b>18</b> チャンネルをサポートできます。
<b>What is deserialization factor?</b>	トランスミッタはシリアル化コアからパラレル・ビット数を決定し、送信します。 例えば、デシリアライゼーション・ファクタが <b>10</b> で、出力チャンネル数が <b>1</b> の場合、トランスミッタは単一の出力チャンネルに各 <b>10</b> のパラレル・ビットをシリアル化します。 デシリアライゼーションファクタが <b>5</b> で、出力チャンネルの数が <b>18</b> の場合、tx_in [89..0] ポートが発生します。
<b>Use tx_data_reset input port</b>	LVDS は、ロジックで実装されている場合、このオプションが選択可能です。このオプションを選択すると、ALTLVDS_TX メガファンクションへの入力ポートが追加されて、それがアサートされると、ALTLVDS_TX メガファンクション内のすべてのロジックの非同期リセットを実行します。

## トランスミッタ・チャンネル間スキューの制約

TimeQuest タイミング・アナライザ・ツールでは、report\_tccs および report\_rskm コマンドは MAX V デバイスに使用できません。Synopsys Design Constraints File (.sdc) で、set\_max\_skew コマンドを使用してトランスミッタ・チャンネル間スキューを制約できます。コンパイルが完了した後、デザインは、.sdc ファイルに指定されている最大スキューを実現できることを確認するために TimeQuest タイミング・アナライザでのタイミング・レポートをチェックし、クロックのセットアップには、タイミング違反がないとパスを保持します。

 アルテラは、すべてのトランスミッタ出力を同じ I/O バンク内でお互いに近く場所に配置することを推奨します。

 `set_max_skew` コマンドの詳細について、「Quartus II ハンドブック volume 3」の「*Quartus II TimeQuest タイミング・アナライザ*」の章を参照してください。

## 改訂履歴

表 4 に、本資料の改訂履歴を示します。

表 4. 改訂履歴

日付	バージョン	変更内容
2011 年 1 月	1.0	初版。

