


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

このアプリケーション・ノートでは、Stratix® IV デバイスのイコライザにおけるディジジョン・フィードバック・イコライゼーション (DFE) 機能について説明します。DFE 機能を使用してシンボル間干渉 (ISI) を補償することで、高周波信号対ノイズ比を向上させることができます。DFE 機能により、ノイズ増幅なしで高周波成分を増幅することができます。

 **AN612\_RefDesign.zip** 内の関連するリファレンス・デザインを使用して、DFE 機能の検証および実装を行います。圧縮フォルダにある「Stratix IV DFE Reference Design User Guide」では、このリファレンス・デザインの使用方法について段階を追って説明します。

バックプレーンまたは伝送媒体を介して伝送される信号は、フィルタリングおよび減衰からの影響を受けています。これらの影響はレシーバのエラーの潜在的なソースです。これらのエラーは主に減少した信号対ノイズ比および ISI の形で現れます。これらの影響を補正するために、Stratix IV トランシーバはこれらのエラー・ソースを無効にするか、または削減するためのプログラマブル・イコライザ・ブロックを備えており、レシーバがエラーなしで機能できるようにします。

ダイナミック・リコンフィギュレーション・コントローラ (ALTGX\_RECONFIG) は、DFE タップ設定をステップ実行するための Avalon® メモリ・マップド・ユーザー・インタフェースを備えています。ユーザーは各設定の受信データの BER を監視することで最適な設定を判断する必要があります。データ・レートおよびデータ・パターンは、複数の DFE 設定に 0 の BER が発生する場合があります。EyeQ 機能を使用して、0 の BER を持つすべての DFE 設定のアイ幅を検出することができます。そして、最も幅の広いアイを持つ DFE 設定を選択します。

## DFE 機能の実装

DFE 機能には 3 つの部分があります。

- **DFE ハードウェア**—これは DFE 機能を提供するハード化された IP です。この DFE ハードウェアのインスタンスは、クロック・マルチプライヤ・ユニット (CMU) チャンネルを除く各受信チャンネルに存在します。
- **DFE ソフト IP**—このブロックは、ALTGX\_RECONFIG メガファンクションの一部であり、ユーザーと DFE ハードウェア間のブリッジとして機能します。この IP は Avalon メモリ・マップド・インタフェースを提供し、間接レジスタのセットに接続することができます。これらのレジスタにより、DFE ハードウェアに接続することができます (2 ページの「DFE ソフト IP のイネーブル」を参照)。
- **DFE ユーザー・デザイナー**—このソフト IP は DFE ハードウェアを制御するためのインタフェースを提供します。最小限の機能を提供する場合、ユーザー・デザイナーには DFE 設定を制御するステート・マシーン、および BER の入力パターンを生成とチェックするいくつかの方法が含まれています。


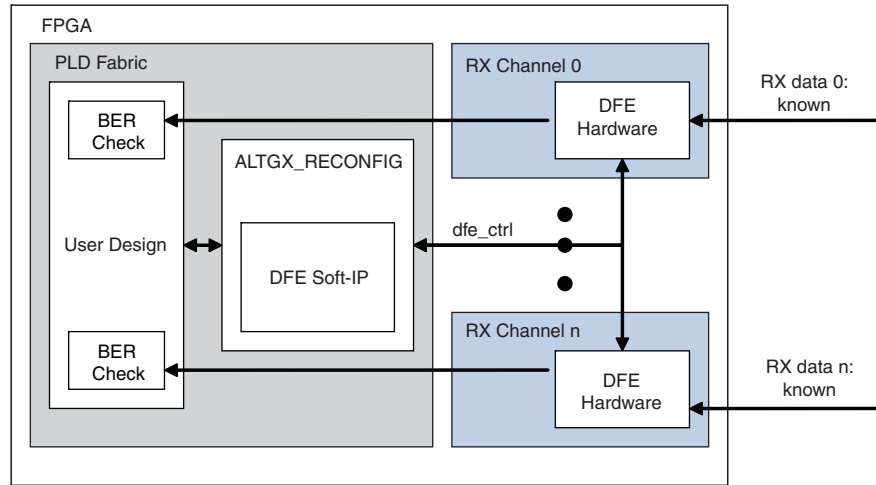
 DFE ユーザー・デザインの完全な詳細は、このアプリケーション・ノート  
の範囲外です。

図 1 に、Stratix IV デバイスにおける完全な DFE 実装の上位レベルの図を示します。

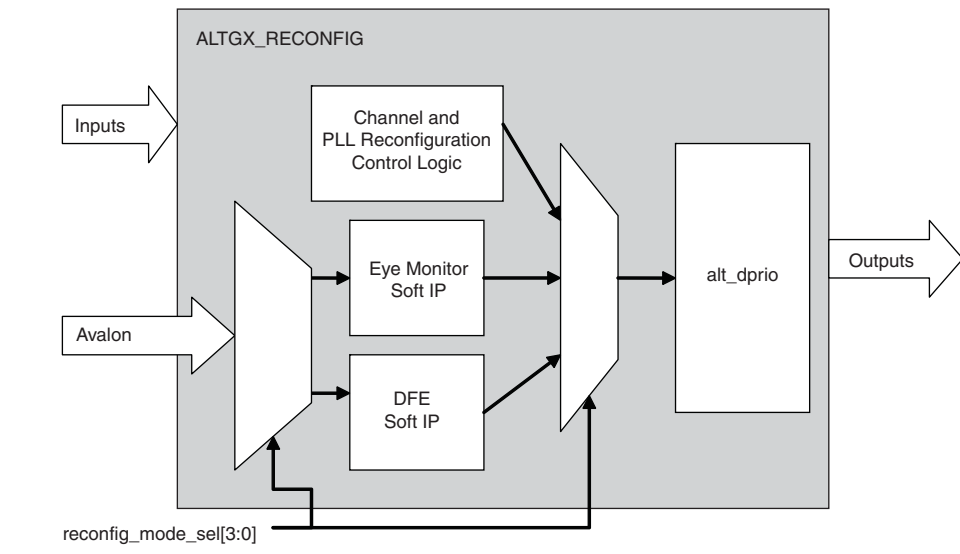
図 1. Stratix IV デバイスにおける DFE 機能の使用



## DFE ソフト IP のイネーブル

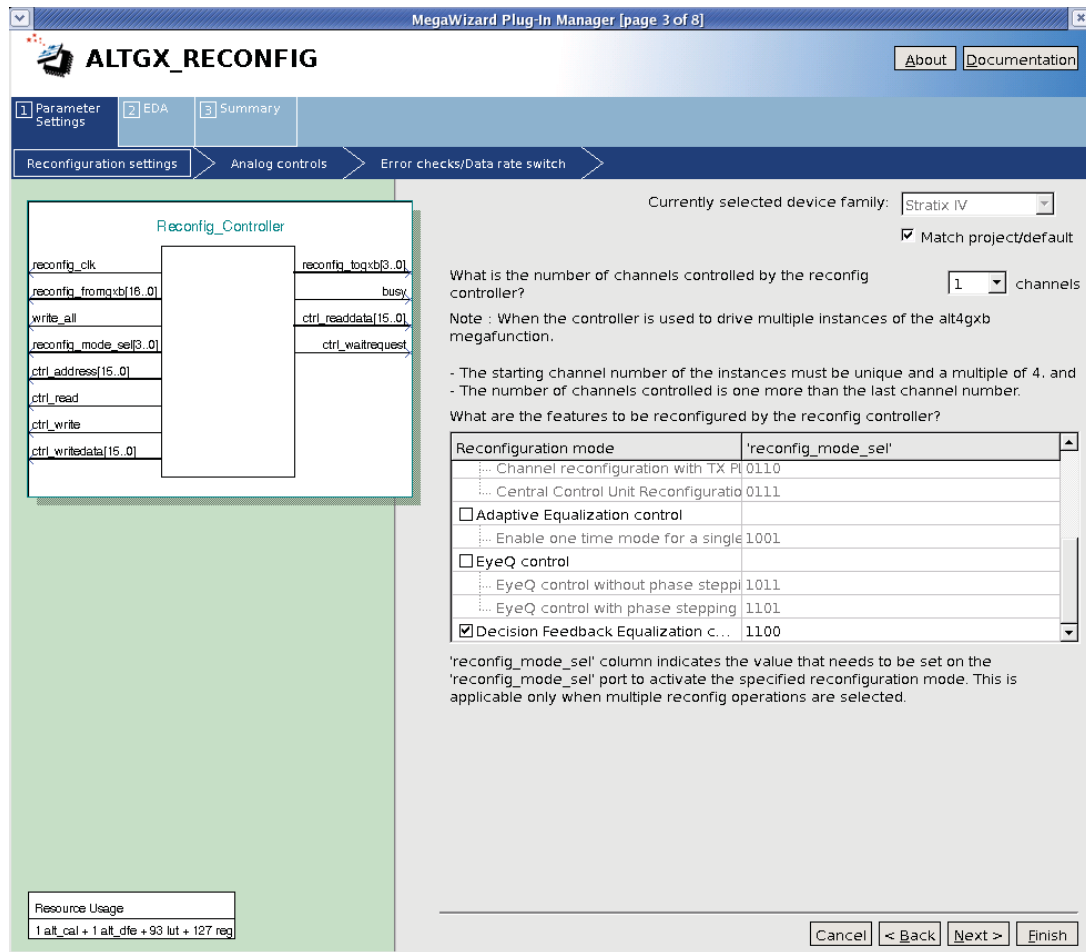
DFE ソフト IP は ALTGX\_RECONFIG メガファンクション内に実装されています。  
図 2 に、ALTGX\_RECONFIG 階層のブロック図を示します。

図 2. ALTGX\_RECONFIG メガファンクション内の DFE ソフト IP



DPE ソフト IP を使用するには、MegaWizard™ Plug-In Manager を使用して ALTGX\_RECONFIG メガファンクションを生成する必要があります。MegaWizard Plug-In Manager で、**Decision Feedback Equalization control** オプションを選択します (図 3)。これで、Avalon インタフェースおよび reconfig\_mode\_sel[3:0] ポートがイネーブルされます。DFE 機能にアクセスする場合、reconfig\_mode\_sel[3:0] ビットを 4'b1100 に設定します。

図 3. ALTGX\_RECONFIG MegaWizard Plug-In Manager



ユーザー・デザインは、提供されたコントロール信号を使用して ALT\_RECONFIG ブロック内の DFE ソフト IP に接続します。

表 1 に、入力ポートのコントロール信号を示します。

表 1. 入力ポートのコントロール信号 ( 1 / 2 )

入力ポート	説明
ctrl_writedata[15:0]	DFE 機能またはアイ・モニタ IP 用の Avalon メモリ・マップ・インタフェースの一部である Write データバス
ctrl_read	DFE 機能またはアイ・モニタ IP 用の Avalon メモリ・マップ・インタフェースの一部であるリード・トランザクションの開始

表 1. 入力ポートのコントロール信号 ( 2 / 2 )

入力ポート	説明
ctrl_write	DFE 機能またはアイ・モニタ IP 用の Avalon メモリ・マップ・インタフェースの一部であるライト・トランザクションの開始
ctrl_address[15:0]	DFE 機能またはアイ・モニタ IP 用の Avalon メモリ・マップ・インタフェースの一部であるアドレス・ポート
Reconfig_mode_sel[3:0]	ALTGX_RECONFIG メガファンクションのリコンフィギュレーション・モードの選択に使用されます。モードおよび機能は次のとおりです。 <ul style="list-style-type: none"> <li>■ 1011 = アイ・モニタにリコンフィギュレーション</li> <li>■ 1100 = DFE 機能にリコンフィギュレーション</li> </ul>

表 2 に、出力ポートのコントロール信号を示します。

表 2. 出力ポートのコントロール信号

出力ポート	説明
ctrl_readdata[15:0]	DFE 機能またはアイ・モニタ IP 用の Avalon メモリ・マップ・インタフェースの一部である Read データバス
ctrl_waitrequest	DFE 機能またはアイ・モニタ IP 用の Avalon メモリ・マップ・インタフェースの一部である Backpressure 信号です。 この信号がアサートされる場合、read、write、readdata、および writedata バスの値は一定でなければなりません。
Busy	ファンクションが制御動作を完了したことを示します。busy が High のときに、すべてのアサートされたコントロール信号は無視されます。

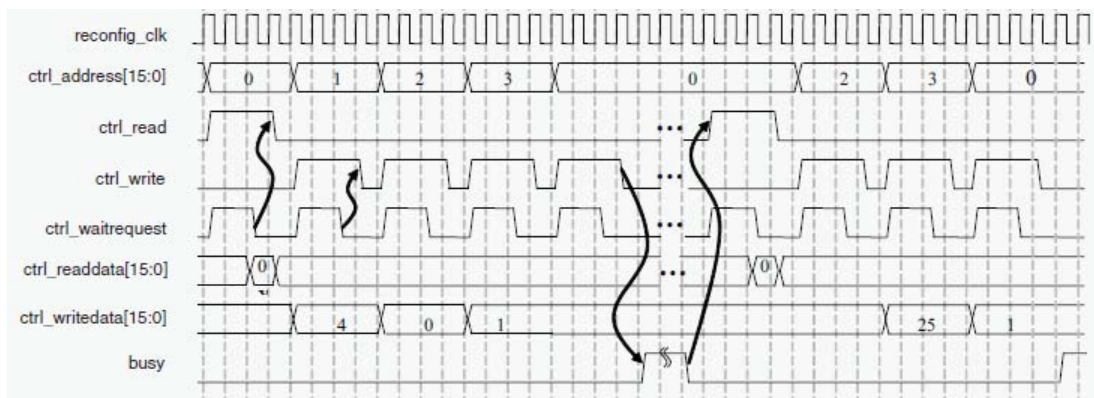
## DFE ソフト IP インタフェースの記述

ユーザー・ロジックは、reconfig\_mode\_sel[3:0] コントロール・ビットを **4'b1100** に設定することで DFE ソフト IP にアクセスします。ctrl\_\* および busy 信号は、Avalon メモリ・マップ・インタフェースで DFE ソフト IP 内のレジスタにアクセスするのに使用されます。図 4 に、ctrl\_\* および busy 信号による read および write トランザクションを示します。



Avalon メモリ・マップド・インタフェースについて詳しくは、[「Avalon Interface Specification」](#) を参照してください。

図 4. Avalon メモリ・マップド・リードおよびライト・トランザクション



## DFE レジスタ・メモリ・マップ

Avalon メモリ・マップ・インタフェースにより、16 ビット幅のレジスタ・セットに接続することができます。DFE ソフト IP は Avalon メモリ・マップ・リクエストを `alt_dprio` リクエストに変換します。表 3 に、DFE レジスタのメモリ・マップを示します。


 表 3 に記載されていないビットは予約済みとされており、リード・オンリとして扱われます。

表 3. Avalon メモリ・マップ・インタフェース上の DFE レジスタ・マップ ( 1 / 2 )

Avalon メモリ・マップ・アドレス	説明
0x0	<p>コントロール・レジスタおよびステータス・レジスタです。</p> <ul style="list-style-type: none"> <li>■ Bit 0: <code>start</code> コマンドは、プログラムされたコマンドを <code>alt_dprio</code> に発行します。このビットを書き込むと、すべてのエラー・ビットが自動的にクリアされます。</li> <li>■ Bit 1: <code>read/~write</code> は、コマンドがリード動作またはライト動作のいずれかを選択します。</li> <li>■ Bit 13: エラー・ステータスです。プログラムされたチャネル・アドレスが無効な場合、このビットは <b>1'b1</b> に設定されます。このビットに <b>1'b1</b> を書き込むと、エラーがクリアされます。</li> <li>■ Bit 14: エラー・ステータスです。プログラムされたワード・アドレスが無効な場合、このビットは <b>1'b1</b> に設定されます。このビットに <b>1'b1</b> を書き込むと、エラーがクリアされます。</li> <li>■ Bit 15: ビジー・ステータスです。この値をポーリングすることで、<code>dprio</code> リクエストが完了したかどうかを確認できます。このアクティブ High ビットがアサートされると、ディアサートされるまで、すべてのレジスタはリード・オンリになります。</li> </ul>
0x1	<p>Channel address [15:0] です。これは、書き込まれるチャネルを指定します。これは、<code>logical_channel_address</code> 入力ポートと一致しなければなりません。</p>

表 3. Avalon メモリ・マップ・インタフェース上の DFE レジスタ・マップ ( 2 / 2 )

Avalon メモリ・マップ・アドレス	説明
0x2	DFE settings register address [15:0] です。これは、リードまたはライトされる DFE コントロール・レジスタを指定します。このメモリ・マップについて詳しくは、「DFE 設定レジスタのマッピング」を参照してください。
0x3	Data [15:0] です。ライトの場合、このデータをライトする必要があります。リードの場合、レジスタに含まれるデータは、ビジー・ステータスが Low になるときのみ有効です。間接的なレジスタ・リード動作は、このレジスタの内容を上書きします。

## DFE 設定レジスタのマッピング

表 4 に、DFE 設定レジスタのマッピングを示します。DFE レジスタ 0x2 にアクセスすることで、Avalon メモリ・マップ・インタフェースを使用して DFE 設定レジスタ・マップに間接的にアクセスすることができます。


 表 4 に記載されていないビットは予約済みとされており、リード・オンリとして扱われます。これらのビットは、ライトの時に 0 に書き込む必要があります。

表 4. DFE 設定レジスタ

DFE 設定レジスタのアドレス	説明
0x0	<ul style="list-style-type: none"> <li>■ Bit [0]: DFE の第 2 のタップ極性 (1'b0 = 正極; 1'b1 = 負極)</li> <li>■ Bit [1]: DFE の第 3 のタップ極性</li> </ul>
0x1	<ul style="list-style-type: none"> <li>■ Bit [0]: DFE がイネーブル</li> <li>■ Bit [3:1]: DFE の第 3 のタップ設定</li> </ul>
0x2	<ul style="list-style-type: none"> <li>■ Bit [2:0]: DFE の第 1 のタップ設定</li> <li>■ Bit [5:3]: DFE の第 2 のタップ設定</li> </ul>


## DFE 設定レジスタ・ビットのアクセス

間接レジスタ・マッピングを介して DFE 設定レジスタにアクセスするには、次の手順を実行します。

1. DFE レジスタ 0x0 (コントロールおよびステータス・レジスタ) に Avalon メモリ・マップ・リードを発行して、ビジー状態をチェックします。クリア・ステータス・ビットは、アイドル状態を表します。
2. DFE レジスタ 0x1 (チャンネル・アドレス・レジスタ) に Avalon メモリ・マップ・ライトを発行して、目的のチャンネルを選択します。
3. DFE レジスタ 0x2 (DFE 設定レジスタ・アドレス) に Avalon メモリ・マップ・ライトを発行して、目的の DFE 設定レジスタを選択します。
4. DFE レジスタ 0x3 (データ・レジスタ) に Avalon メモリ・マップ・ライトを発行して、目的の DFE 設定レジスタにライトしようとするデータを提供します。
5. DFE レジスタ 0x0 (コントロールおよびステータス・レジスタ) にリード、またはライトの特定、そしてスタート・コマンドを発行するために、Avalon メモリ・マップ・ライトを発行します。

6. DFE レジスタ 0x0 (コントロールおよびステータス・レジスタ) をポーリングして、ビジー信号がデアサートされるのを待ちます。ステータスがビジー状態から脱出する場合、以下になります。

- ライトの場合、データが正常に書き込まれたと見なされます。
- リードの場合、データ・レジスタの内容は更新され、読み出し可能になります。

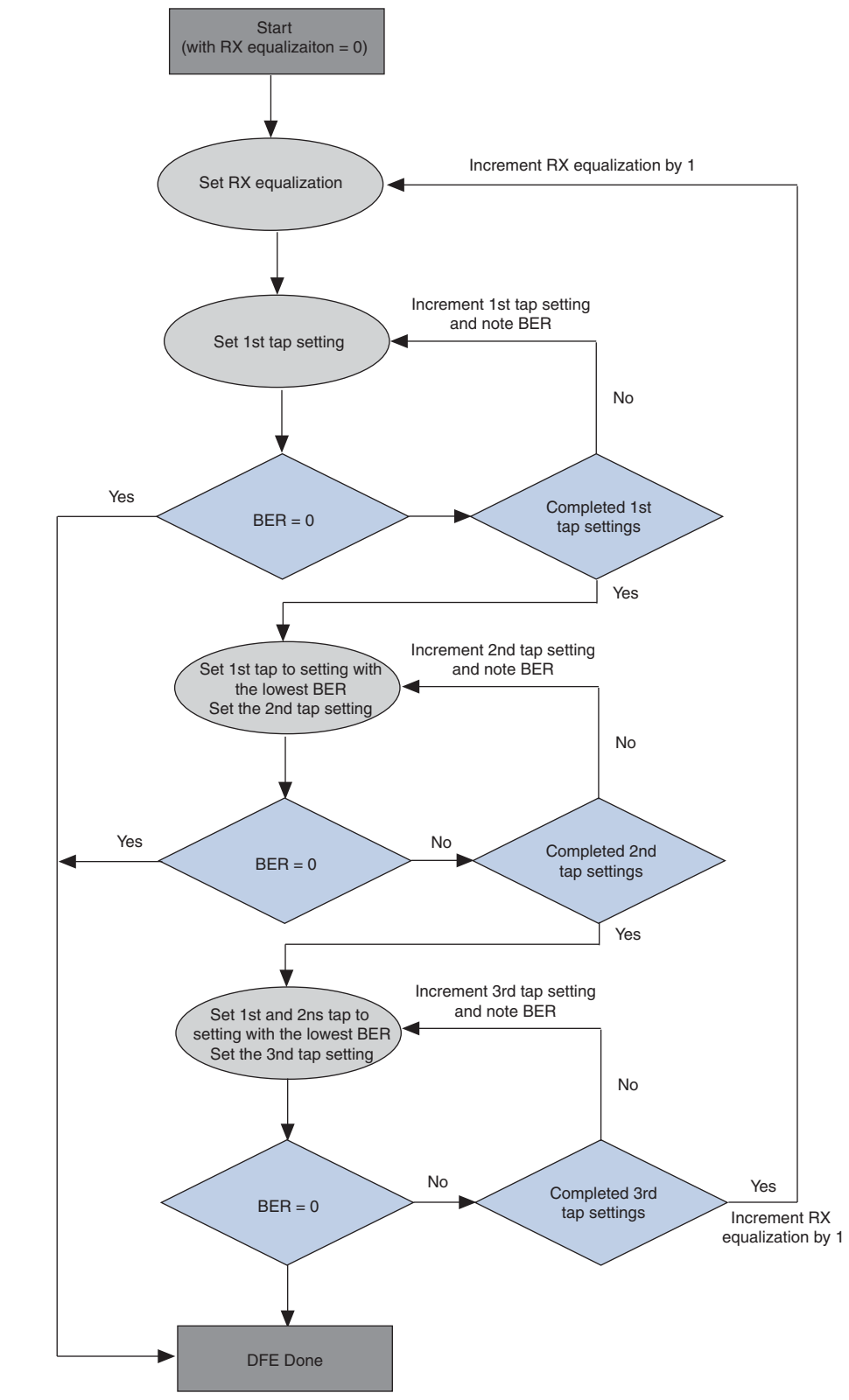
 ビジー・ステータスがアサートされているときに発生したすべてのライトは無視されます。すべてのレジスタはリード・オンリになります。

次の操作が同じレジスタおよび同じチャネルで行う場合、ステップ 2 およびステップ 3 を繰り返す必要はありません。

## DFE 設定の選択

DFE 機能を使用するとき、レシーバ (バックプレーンの後) での最小ピーク・トゥ・ピーク電圧のエンベロープ値は 500 mV 以上でなければなりません。キャリブレーション時に使用するパターンは、リンク上で予想される実際のデータと同様でなければなりません。図 5 に示す DFE 設定の検索アルゴリズムに従って様々な DFE 設定を試みることにより、最適な DFE 結果を見つけることができます。アルテラは、DFE 機能を RX イコライゼーションと共に使用することを推奨しています。RX イコライゼーション設定の使用は最低限に抑える必要があります。

図 5. DFE 設定を選択するためのフロー図



## DFE タップの設定時間の見積もり

DFE タップ設定の検索を自動化する場合、一反復の DFE タップ設定にかかる時間の見積もりは以下となります。すべての 3 つのタップ設定を横断する必要があるワースト・ケースが想定されます。この計算で使用されるデータ・レートは 6.5 Gbps です。95%の信頼性レベルで  $1 \times 10^{-12}$  の BER を達成するために、BER は  $3 \times 10^{12}$  ビットに対して確認されます。

- 1 つの DFE タップ設定をプログラムするための時間 = 32  $\mu$ s
- すべての DFE タップ設定をプログラムするための時間は以下のとおりです。
  - 第 1 のタップ =  $32 \times 8 = 256 \mu$ s
  - 第 2 のタップ =  $32 \times 16 = 512 \mu$ s (8 つの設定、極性反転 = 16)
  - 第 3 のタップ =  $32 \times 16 = 512 \mu$ s (8 つの設定、極性反転 = 16)
- 1 つのタップ設定の BER をチェックするための時間 =  $153 \text{ ps} \times 3 \times 10^{12} = 7.7$  分間
- $8 + 16 + 16$  のタップ設定の BER をチェックするための時間 = 5.1 時間
- 一反復の DFE 設定を実行し、BER をチェックするための時間は約 5.1 時間です。

このサイクルは、RX イコライゼーション設定ごとに繰り返されます。ワースト・ケースでは、16 個の RX イコライゼーション設定をすべて試みる必要があり、約 82 時間かかります。

## DFE ブロック・アクセスの実装

Stratix IV GX デバイスの DFE ブロックにアクセスするには、次の手順を実行します。

1. altgxb インスタンス・ファイルに DFE 関連のパラメータを追加することで、DFE ハードウェアを追加します。
2. Eye Q オプションをイネーブルして、alt\_reconfig インスタンスを生成します。
3. -wiz\_override コマンドを実行することで、ALT\_RECONFIG モジュールに DFE ソフト IP を追加します。
4. DFE 機能をテストするために、FPGA コアに BERT を設計します。
5. DFE レジスタに接続するためのユーザー IP を設計します。

## 付録 A

DFE 機能の詳細については、以下のセクションで説明しています。

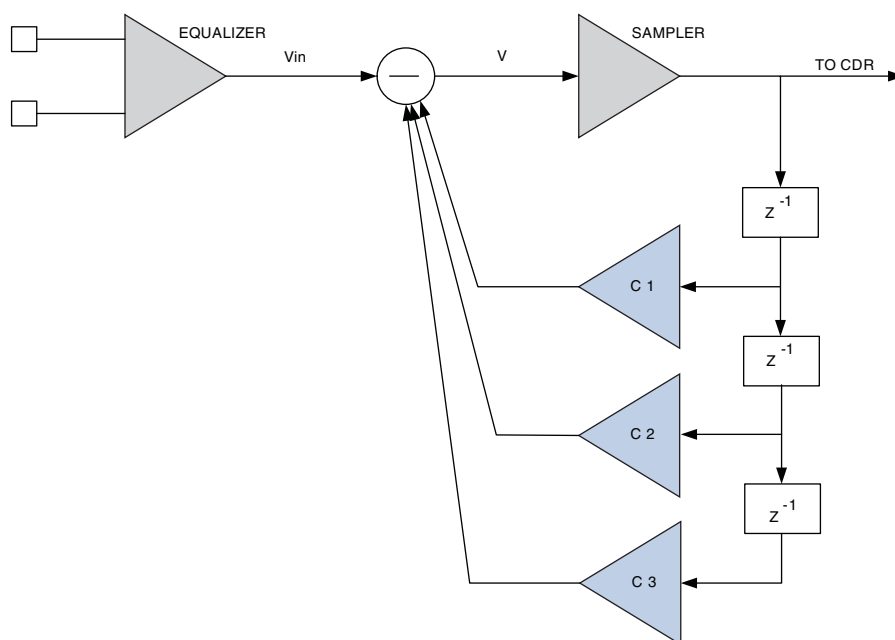
### DFE の原理

リニア・イコライザの目的は、帯域幅不足によるバックプレーンの減衰を補償することです。DFE 機能は、受信したデータの履歴に基づいて入力信号を積極的にシフトすることによって動作します。

DFE 機能の目的は ISI によるポストカーソルを打ち消すことです。DFE 機能の利点は、ノイズ・パワーを増やすことなく受信データの最高周波数成分のパワーを増強することです。レシーバのリニア・イコライゼーションと共に DFE 機能を使用することができます。

図 6 に、理論的な DFE 方式を示します。

図 6. 理論的な DFE 方式



次に、図 6 に示す情報について説明しています。

- 各 Z-1 ユニットは、1UI の遅延を表します。
- T0 の時点でサンプリングに到着する信号は以下のとおりです。  

$$V(T_0) = Vin(T_0) - C_1 \times D(T-1) - C_2 \times D(T-2) - C_3 \times D(T-3)$$

ここで、 $Vin(T_0)$  は時点  $T_0$  でのイコライザの出力であり、 $D(T_n)$  は時点  $T_n$  での定量化される信号（データ）です。

$C_1 \times D(T-1)$  コンポーネントは、 $T-1$  時点での信号のポストカーソルを補正し、 $T_0$  時点での信号に漏れています。 $C_2 \times D(T-2)$  コンポーネントは、 $T-2$  時点での信号のポストカーソルを補正します。そして  $C_3 \times D(T-3)$  コンポーネントは、 $T-3$  時点での信号のポストカーソルを補正します。

$n$  が無限大になるときにのみポストカーソルの振幅がゼロに近づくため、理論的に言えば、無限のタップが必要になります。ただし、ポストカーソルが指数関数的減衰するため、最初の 3 つのコンポーネントは効果の 95% を占めます。このデザインでは、3 つのタップ設定が選択されます。これらの 3 つのタップ設定は C1、C2 および C3 です。

## タップ設定の DFE ゲイン

タップごとには、個別に制御される 7 つの設定があります。このゲイン値は、電圧エンベロープが 500mV 以上の場合に正確です。第 2 および第 3 のタップは逆極性であるため、負のゲインを生成します。

## 改訂履歴

表 5 に、このアプリケーション・ノートの改訂履歴を示します。

表 5. 改訂履歴

日付	バージョン	変更内容
2011 年 1 月	1.1	1 ページにリファレンス・デザインへのリンクを追加
2010 年 12 月	1.0	初版

