

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

このシリアル・デジタル・インタフェース (SDI : Serial Digital Interface) リファレンス・デザインは、Altera® SDI MegaCore® ファンクションおよび Arria® II GX ビデオ開発ボードによってビデオ・データを送受信する方法を示します。このリファレンス・デザインでは、SDI MegaCore ファンクションの 3 つのインスタンスが使用されます。トリプル規格 SDI MegaCore ファンクションは、標準精細 (SD-SDI)、高精細 (HD-SDI)、および 3Gbps 標準規格 (3G-SDI) から構成されています。

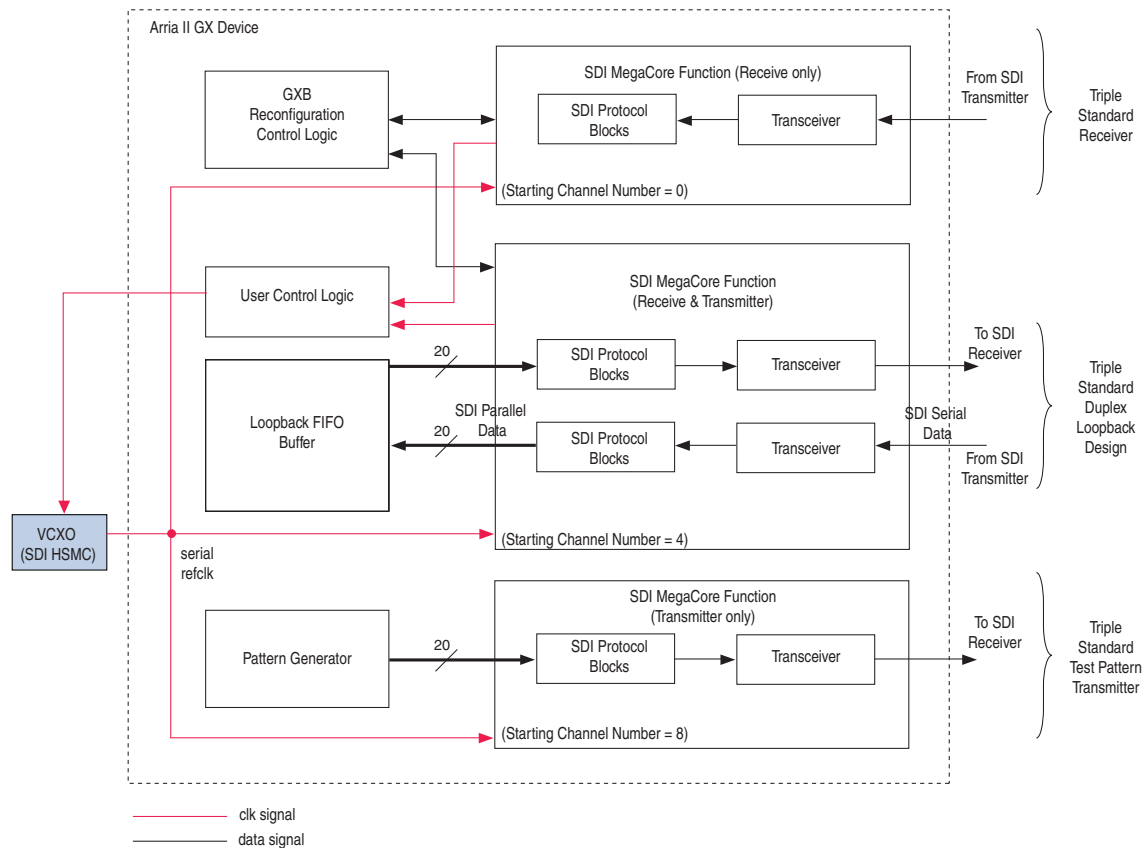
このアプリケーション・ノートでは、シリアル・デジタル・インタフェースを各種類の Arria II GX ビデオ開発ボードで使用方法について説明します。Arria II GX ビデオ開発ボードは、Arria II GX FPGA 開発キットにある Arria II GX FPGA ボード、および別に購入される SDI 高速メザニン・カード (HSMC) から構成されています。

 Arria II GX FPGA 開発キットについて詳しくは、「[Arria II GX FPGA Development Kit User Guide](#)」を参照してください。Arria II GX FPGA ボードについて詳しくは、「[Arria II GX FPGA Development Board Reference Manual](#)」を参照してください。SDI HSMC について詳しくは、「[SDI HSMC Reference Manual](#)」を参照してください。SDI MegaCore ファンクションについて詳しくは、「[Serial Digital Interface MegaCore Function User Guide](#)」を参照するか、またはアルテラの販売代理店にお問い合わせください。

機能の説明

このリファレンス・デザインは、様々な速度の SDI 動作を制御、テスト、および監視できる汎用プラットフォームを提供します。図 1 に、SDI リファレンス・デザインの上位レベルブロック図を示します。

図 1. ブロック図



以下のセクションでは、ブロック図の様々な要素について説明します。

トリプル規格レシーバ

トリプル規格の SDI レシーバ MegaCore ファンクションは、SD-SDI、HD-SDI、および 3G-SDI のレシーバ・インタフェースを提供しています。

トリプル規格トランスミッタ

トリプル規格の SDI トランスミッタ MegaCore ファンクションは 2.970Gbps 1080p、1.485Gbps 1080i、または 270Mbps のデータ・ストリームを出力します。

トリプル規格デュプレックス・ループバック

トリプル規格の SDI デュプレックス MegaCore ファンクションは、全二重の SD-SDI、HD-SDI、および 3G-SDI を提供し、レシーバ・トランスミッタ・ループバックを示します。受信データはデコード、バッファ、再コーディングされ、そして送信されます。このインタフェースは、2.970 Gbps、1.485 Gbps または 270 Mbps のレートに対してコンフィギュレーションされています。

ループバック FIFO バッファ

デコードされたレシーバ・データは FIFO バッファを介してトランスミッタ入力に接続されます。レシーバがロックされているとき、レシーバ・データが FIFO バッファに書き込まれます。FIFO バッファが半分になると、トランスミッタはデータのリード、エンコード、および送信を実行します。

パターン・ジェネレータ

パターン・ジェネレータの IP コアは、2.970 Gbps 1080p、1.485 Gbps 1080i または 270 Mbps のテスト・パターンを出力します。テスト・パターンは、100% カラーバー、75% 振幅カラーバー、または SDI パソロジカル・チェックフィールドのフレームのいずれかになります。

GXB リコンフィギュレーション制御ロジック

リコンフィギュレーション・コントロール・ロジックは、デュプレックス・コアのレシーバ部分のリコンフィギュレーション、およびデザイン内の独立したレシーバのリコンフィギュレーションを処理します。

リコンフィギュレーション・コントロール・ロジックは以下のサブ・ブロックで構成されています。

■ sdi_tr_reconfig_multi

このトップレベルのデザインには、最大 4 つのレシーバ・ポートのためのアービトレーション・ロジックが含まれています。また、このブロックは、ALTGX_RECONFIG メガファンクションを制御するステート・マシンを持っています。

■ altgx_reconfig

このブロックは、DPRIO (Dynamic Partial Reconfigurable I/O) に必要とされる ALTGX_RECONFIG インスタンスです。ALTGX_RECONFIG インスタンスのみが ALTGX トランシーバの再プログラムに使用できます。

■ ROM

ROM は各ビデオ規格の ALTGX 設定情報を保持します。4 つの ROM が含まれます。これで、最大 4 本のチャンネルがリコンフィギュレーションできます。

■ Sdi_mif_intercept

このブロックは ROM からのリード・データを傍受します。HD に再プログラムするように要求された場合、このブロックは ROM からの出力されるデータが ALTGX リコンフィギュレーション・ブロックに送信される前に、それらのデータを編集します。このブロックにより、HD の設定に必要な ROM が不要になります。



ALTGX_RECONFIG インスタンスについて詳しくは、[「Arria II GX Device Handbook」](#)を参照してください。DPRIO について詳しくは、[「SDI MegaCore Function User Guide」](#)、[「AN587: DPRIO and Multiple Instances SDI Application」](#)、および [「AN558: Implementing Dynamic Reconfiguration in Arria II GX Devices」](#) の DPRIO に関するセクションを参照してください。

ユーザー・コントロール・ロジック

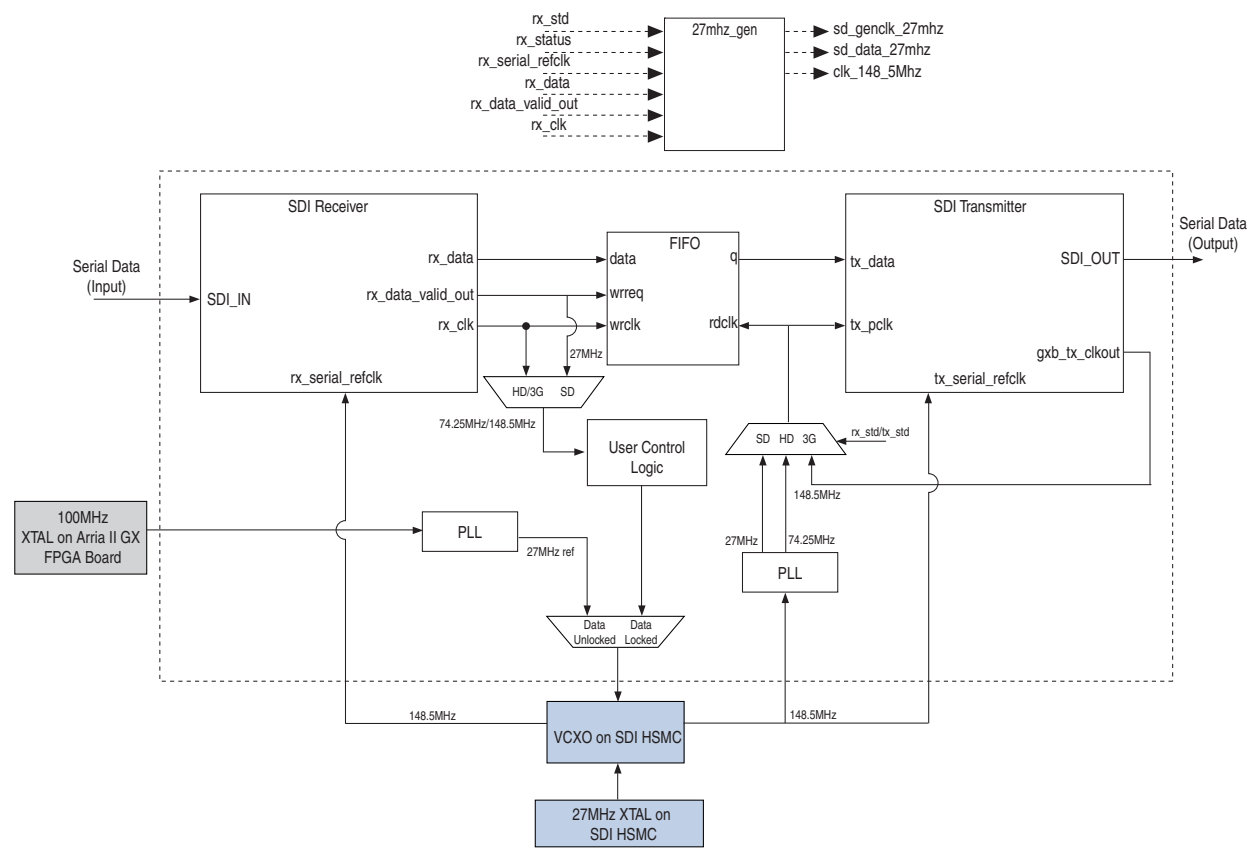
このユーザー・コントロール・ロジックは、SDI レシーバおよび SDI のデプレックス・インスタンスから CDR レシーバ・クロック (rx_clk) を受信し、そしてコントロール・ビットを含むレシーバ・クロックを VCXO デバイスに送信します。

電圧制御水晶発振器 (VCXO)

VCXO デバイスは SDI HSMC に配置されている PLL ベースの同期クロック・ジェネレータ (ICS810001) です。このデバイスには、直列にカスケード接続される 2 つの内部周波数逡倍ステージが含まれています。最初のステージは、基準クロックのジッタ減衰を提供し、ビデオのレート変換に必要な複雑な PLL 逡倍比をサポートするために最適化されている VCXO の PLL です。第二ステージは、低ジッタかつ高周波なビデオ出力クロックを提供する FemtoClock™ 周波数逡倍器です。148.5 MHz の VCXO の出力クロックは、3 つのすべての SDI インスタンスの rx_serial_ref_clk と tx_serial_ref_clk クロックに接続されています。

図 2 に、デプレックス・ループバック FIFO のデザインおよび VCXO デバイスのブロック図を示します。

図 2. デプレックス・ループバック FIFO のデザインおよび VCXO デバイスのブロック図



27mhz_gen

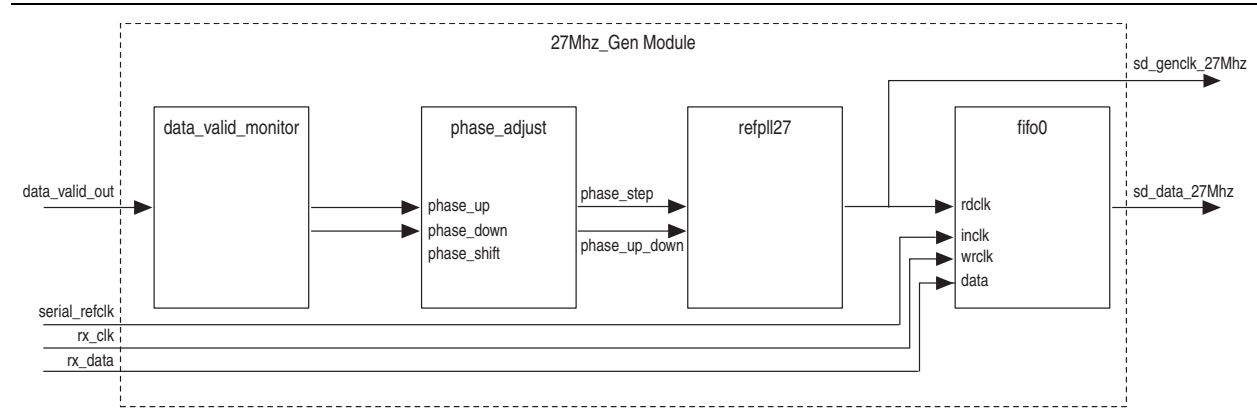
このモジュールは、SD-SDI のデータを受信するために 27 MHz のパラレル・クロックを生成します。sd_genclk_27mhz の出力クロックを使用して、SD-SDI 用の sd_data_27mhz パラレル・データをクロックします。

27mhz_gen モジュールは、次のコンポーネントから構成されています。

- data_valid_monitor モジュール — PLL を制御するユーザー・ロジック
- phase_adjust モジュール — PLL ベースの data_validout 信号を制御するモジュール
- refpll27—FIFO バッファからの sd_data_27mhz データをクロックするための sd_genclk_27mhz クロックを生成する PLL
- FIFO バッファ

図 3 に、27mhz_gen モジュールのブロック図を示します。

図 3. 27mhz_gen モジュールのブロック図



使用法

この項では、Stratix IV GX オーディオ・ビデオ開発ボードを使用してリファレンス・デザインを実証するための要件および関連する手順について説明します。この項では、以下の章で構成されています。

- ハードウェアおよびソフトウェア要件
- デザインの取得
- ハードウェア設定
- リファレンス・デザインの実行
- リファレンス・デザインの使用

ハードウェアおよびソフトウェア要件

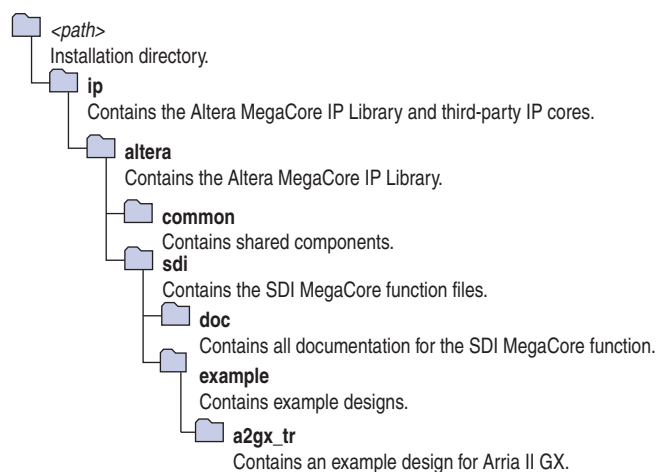
デモンストレーションでは、以下のハードウェアとソフトウェアが要求されます。

- Arria II GX ビデオ開発ボード —Arria II GX FPGA 開発ボードおよび SDI HSMC
- SDI MegaCore ファンクション
- Quartus® II ソフトウェア v10.0 SP1

デザインの取得

図 4 に、リファレンス・デザインのディレクトリ構造を示します。

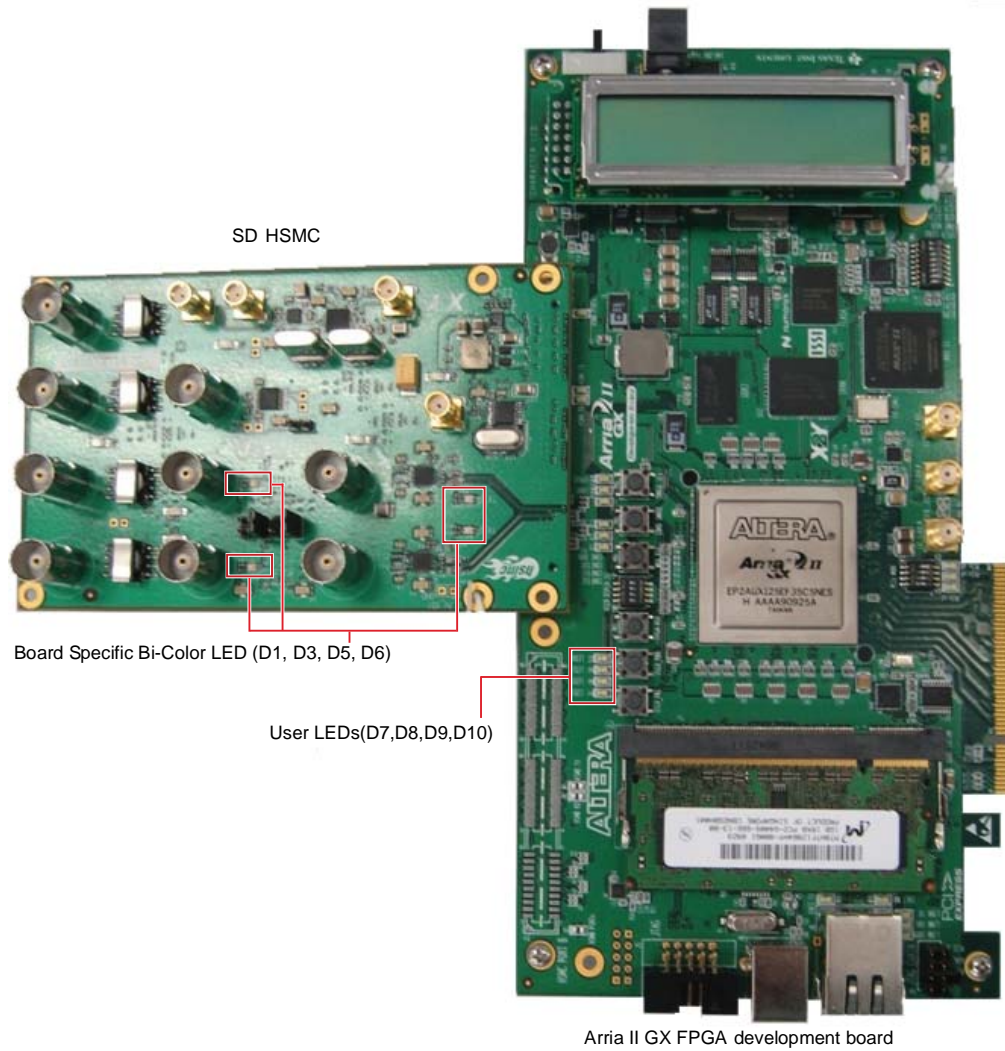
図 4. ディレクトリ構造



ハードウェア設定

図 5 に、Arria II GX FPGA 開発ボードがどのように SDI HSMC に接続されるかを示します。

図 5. ハードウェア設定



Arria II GX FPGA 開発ボードについて詳しくは、[「Arria II GX FPGA Development Board Reference Manual」](#)を参照してください。SDI HSMC について詳しくは、[「SDI HSMC Reference Manual」](#)を参照してください。

表 1 では、Arria II GX FPGA 開発ボード上の各 LED の機能、および対応するデュアル・イン・ライン・パッケージ (DIP) スイッチの設定について説明します。

表 1. Arria II GX FPGA 開発ボード上の LED

DIP スイッチ設定	LED	説明
USER_DIP[3:2] = 2'b00	D7	SDI IN 1 リセット中
	D8	SDI IN 1 フレーム・ロック
	D9	SDI IN 1 TRS ロック
	D10	SDI IN 1 アライメント・ロック
USER_DIP[3:2] = 2'b01	D7	SDI IN 2 リセット中
	D8	SDI IN 2 フレーム・ロック
	D9	SDI IN 2 TRS ロック
	D10	SDI IN 2 アライメント・ロック
USER_DIP[3:2] = 2'b10	D7	SDI IN 2 受信された信号の規格 [D7, D8]: 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI
	D8	
	D9	SDI IN 1 受信された信号の規格 [D9, D10]: 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI
	D10	
USER_DIP[3:2] = 2'b11	D7	未使用
	D8	未使用
	D9	内部パターン・ジェネレータの信号の規格 [D9, D10]: 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI
	D10	

表 2 では、ユーザー定義の各 DIP スイッチ・コントロール (SW2) の機能について説明します。スイッチが OFF の位置にあるとき、ロジック 1 が選択されます。スイッチが ON の位置にあるときは、ロジック 0 が選択されます。

表 2. SW2 DIP スイッチ・コントロール

USER_DIP	説明
3	ユーザー LED ディスプレーのためのコントロール信号： USER_DIP[3:2] = 00: LED が rx_p0_status を表示 USER_DIP[3:2] = 01: LED が rx_p1_status を表示 USER_DIP[3:2] = 10: LED が rx_p0_std および rx_p1_std を表示 USER_DIP[3:2] = 11: LED が tx_std を表示
2	
1	
0	
	内部パターン・ジェネレータの信号の規格を変更 USER_DIP[1:0]: 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI

表 3 では、SDI HSMC 上のボード固有の二色 LED の機能について説明します。

表 3. SDI HSMC 上のボード固有の二色 LED

LED	説明
D1	SDI IN 2 は、次の規格で SDI 信号を受信します。 <ul style="list-style-type: none"> ■ 緑色 = 3G-SDI ■ オレンジ色 = HD-SDI ■ 赤色 = SD-SDI
D3	SDI OUT 2 は、次の規格で SDI 信号を送信します。 <ul style="list-style-type: none"> ■ 緑色 = 3G-SDI ■ オレンジ色 = HD-SDI ■ 赤色 = SD-SDI
D5	SDI OUT 1 は、次の規格で SDI 信号を送信します。 <ul style="list-style-type: none"> ■ 緑色 = 3G-SDI ■ オレンジ色 = HD-SDI ■ 赤色 = SD-SDI
D6	SDI IN 1 は、次の規格で SDI 信号を受信します。 <ul style="list-style-type: none"> ■ 緑色 = 3G-SDI ■ オレンジ色 = HD-SDI ■ 赤色 = SD-SDI

表 4 では、各プッシュ・ボタンの機能について説明します。d

表 4. プッシュ・ボタン

プッシュ・ボタン	説明
PB1	100% のカラーバー出力を選択（デフォルトのカラーバー出力は 75% のカラーバーです）
PB2	SDI パソロジカル・チェックフィールドのパターンを選択
PB3	CPU または FPGA ロジックをリセット

リファレンス・デザインの実行

リファレンス・デザインを実行するには、以下の手順を実行します。

1. ボード接続を設定します。ボードの電源をオフにして、次のステップを実行します。
 - a. SDI HSMC を FPGA 開発ボードに接続します。7 ページの図 5 を参照してください。
 - b. FPGA 開発ボードの背面にある、以下のボード設定を指定します。
 - DIP スイッチ・バンク (SW4)
 - PCI Express DIP スイッチ・バンク (SW3)
 - JTAG チェイン・ヘッダ・スイッチ・コントロール (J9)
 ボード設定を表 5 に示すスイッチ・コントロールに一致させます。
 - c. FPGA 開発ボード (J4) を電源に接続します。


表 5. SW DIP スイッチ・コントロールの設定 (1 / 2)

スイッチ	回路図上信号名	説明	デフォルト
SW4			
1	MAX_DIP0	予約	OFF
2	MAX_DIP1	予約	OFF
3	MAX_DIP2	予約	OFF
4	MAX_DIP3	ON: 電源投入時にフラッシュ・メモリからユーザー・ハードウェアのページ 1 をロードします。 OFF: 電源投入時にフラッシュ・メモリから出荷時設定をロードします。	OFF
5	LCD_PWRMON	ON: MAX II EPM2210 System Controller からドライブされる LCD (電源モニター) OFF: 未使用	OFF
6	USB_DISABLEn	ON: エンベデッド USB-Blaster がディセーブル OFF: エンベデッド USB-Blaster がイネーブル	OFF
7	CLK_ENABLE	ON: オンボード発振子がイネーブル OFF: オンボード発振子がディセーブル	ON
8	CLK_SEL	ON: 100 Mhz クロック選択 OFF: SMA 入力クロック選択	ON
SW3			
1	PCIE_LED_x1	ON: x1 存在の検出をイネーブル OFF: x1 存在の検出をディセーブル	OFF
2	PCIE_LED_x4	ON: x4 存在の検出をイネーブル OFF: x4 存在の検出をディセーブル	OFF

表 5. SW DIP スイッチ・コントロールの設定 (2 / 2)

スイッチ	回路図上信号名	説明	デフォルト
3	PCIE_LED_x8	ON: x8 存在の検出をイネーブル OFF: x8 存在の検出をディセーブル	OFF
4	NC	未使用	OFF
J9			
1	MAX_JTAG_EN	ON: MAX II CPLD EPM2210 システム・ コントローラをバイパス OFF: MAX II CPLD EPM2210 システム・ コントローラを使用	ON
2	HSMA_JTAG_EN	ON: HSMA をバイパス OFF: HSMA を使用	OFF
3	HSMB_JTAG_EN	ON: HSMB をバイパス OFF: HSMB を使用	ON
4	PCIE_JTAG_EN	ON: PCI Express をバイパス OFF: 予約	ON

2. Quartus II ソフトウェアを実行して、リファレンス・デザインをコンパイルします。
 - a. File メニューで **Open Project** をクリックし、`\<directory>\a2gxspi.qpf` に移動し、**Open** をクリックします。
 - b. Processing メニューで、**Start Compilation** をクリックします。
3. Arria II GX の **.sof** ファイルをダウンロードします。
 - a. USB-Blaster™ ダウンロード・ケーブルをボードの USB タイプ B コネクタ (J6) に接続します。
 - b. Tools メニューで、**Programmer** をクリックします。ファイルは自動的にコンパイル時にソフトウェアによって検出され、ポップアップウィンドウに表示されます。**Start** をクリックして、Quartus II が生成したファイルをボードにダウンロードします。ファイルがポップアップ・ウィンドウに表示されない場合は、**Add File** をクリックし、`\<directory>\a2gxspi.sof` に移動し、そして **Open** をクリックします。

 このデザインは揮発性であり、ボードの電源を投入するたびに再ロードする必要があります。

ステップ 1 でボードを設定した後、次のセクションで説明されているバリエーションを実行します。

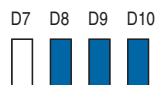
パラレル・ループバック

パラレル・ループバックのデモを実行するには、以下の手順を実行します。

1. SDI 信号ジェネレータを SDI IN 2 のレシーバ入力 (BNC J2) に接続します。
2. SDI 信号アナライザを SDI OUT 2 のトランスミッタ出力 (BNC J1) に接続します。
3. USER_DIP[3:2] = 2'b01 を指定します。8 ページの表 2 を参照してください。

4. パラレル・ループバックのデモが実行されます。LED は以下の状態を示します。
- LED D10 は、ポート 2 でレシーバがワード・アラインメントされている場合に点灯します。
 - LED D9 は、ポート 2 で受信されたライン・フォーマットが安定している場合に点灯します。
 - LED D8 は、ポート 2 でレシーバ・フレーム・フォーマットが安定している場合に点灯します。
 - LED D7 は、SDI IN 2 レシーバがリセットしている場合に点灯します。

表 6. パラレル・ループバックのデモ — LED の状態



また、SDI HSMC 上の LED は、次の状態を示します。

- LED D1 は、ポート 2 でレシーバ信号の規格が検出された場合に点灯します。
- LED D3 は、ポート 2 でトランスミッタ信号の規格が検出された場合に点灯します。

テスト・パターン・トランスミッタ

テスト・パターン・トランスミッタを実行するには、下記のステップを実行します。

1. SDI 信号アナライザを SDI OUT 1 のトランスミッタ出力 (BNC J8) に接続します。
2. USER_DIP[3:2] = 2'b11 を指定します。8 ページの表 2 を参照してください。
3. テスト・パターンのデモが実行されます。LED は、以下の状態を示します。
 - LED D8 および D7 は使用されていません。
 - LED D10 および D9 は、トランスミッタのポート 1 を介して転送される、内部パターン・ジェネレータ信号の規格を示します。表 7 を参照してください。

表 7. テスト・パターン・トランスミッタのデモ — LED の状態



また、SDI HSMC 上の LED D5 は、ポート 1 でトランスミッタ信号の規格が検出された場合に点灯します。

4. SDI 信号アナライザ上の結果を確認します。

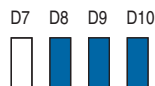
5. デザインのデフォルト出力は **75%カラーバー**のテスト・パターンです。テスト・パターンを変更するには、ボード上のプッシュ・ボタン (**PB1** および **PB2**) を使用してください。プッシュ・ボタンについて詳しくは、[9 ページの表 4](#) を参照してください。

Receiver Only

Receiver Only のデモを実行するには、下記のステップを実行します。

1. SDI 信号ジェネレータを SDI IN 1 のレシーバ入力 (BNC J9) に接続します。
2. `USER_DIP[3:2] = 2'b00` を指定します。[8 ページの表 2](#) を参照してください。
3. レシーバのデモが実行されます。LED は、下記の状態を示します。
 - LED D10 は、ポート 1 でレシーバがワード・アラインメントされている場合に点灯します。
 - LED D9 は、ポート 1 で受信されたライン・フォーマットが安定している場合に点灯します。
 - LED D8 は、ポート 1 でレシーバ・フレーム・フォーマットが安定している場合に点灯します。
 - LED D7 は、SDI IN 1 レシーバがリセットしている場合に点灯します。

表 8. Receiver Only のデモ —LED の状態



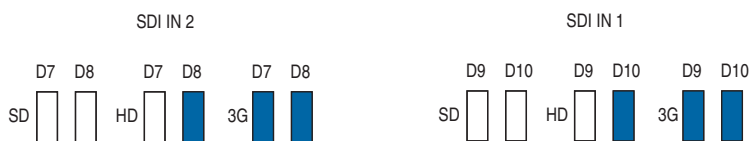
また、SDI HSMC 上の LED 06 は、ポート 1 でレシーバ信号の規格が検出された場合に点灯します。

受信信号の規格 rx_p0_std および rx_p1_std をチェック

受信信号の規格をチェックするには、下記のステップを実行します。

1. SD 入力ソースを SDI IN 1 または SDI IN 2 に接続します。
2. `USER_DIP[3:2] = 2'b10` を指定します。[8 ページの表 2](#) を参照してください。LED は、下記の状態を示します。
 - LED D10 および D9 は、SDI IN 1 での受信信号の規格を表します。
 - LED D8 および D7 は、SDI IN 2 での受信信号の規格を表します。

表 9. 受信信号の規格 rx_p0_std および rx_p1_std — LED の状態

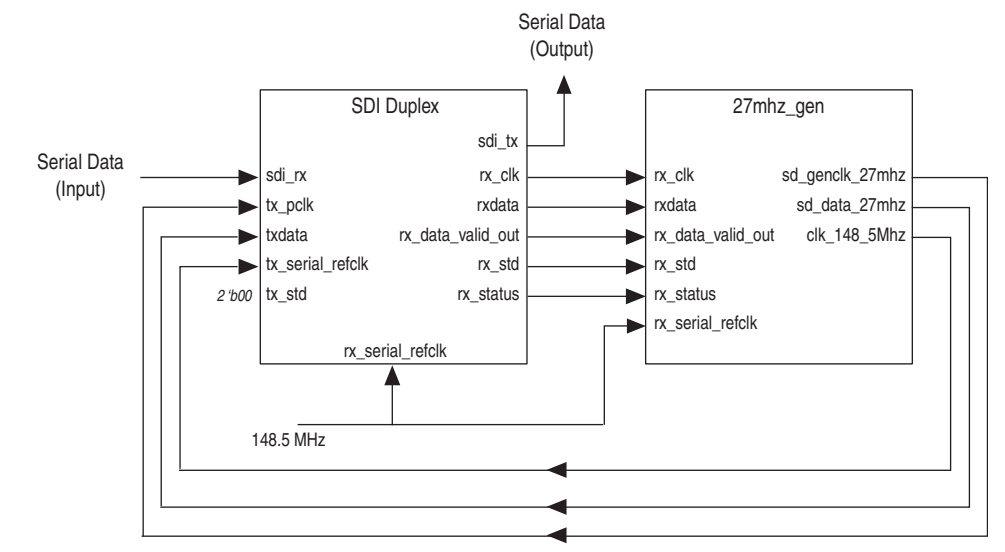


リファレンス・デザインの使用

SD-SDI 規格を使用する場合、SD-SDI データを受信するために、リファレンス・デザインを 27mhz_gen モジュールと共に使用して 27MHz のクロックを生成します。

図 6 に、27mhz_gen モジュールでクリーンな 27MHz クロックを生成して SD-SDI パラレル・データを受信する方法を示します。27MHz のクロックおよび SD-SDI パラレル・データ (27mhz_gen モジュールからの) は、SDI デュプレックス・インスタンスのトランスミッタに接続し、そしてサードパーティに転送され、モニターされます。

図 6. リファレンス・デザインを 27mhz_gen モジュールと共に使用



SD-SDI 規格を使用する場合、GENERATE_SD_27MHZ_CLK パラメータを制御するには、次のコードを入力します。

```
GENERATE_SD_27MHZ_CLK =1'b1
```

通常の SDI 動作を使用する場合、GENERATE_SD_27MHZ_CLK パラメータを制御するには、次のコードを入力します。

```
GENERATE_SD_27MHZ_CLK =1'b0
```

 通常の SDI 動作をコンパイルする場合、次の行のバック・スラッシュを削除します。

```
//define clk_148_p
```

まとめ

このアプリケーションでは、Arria II GX FPGA ボードおよび SDI HSMC と共に SDI リファレンス・デザインを使用する方法について説明しています。説明されている様々なバリエーションを使用することにより、アルテラ FPGA デザインへの SDI MegaCore ファンクションの統合を評価できます。

改訂履歴

表 10 に、このアプリケーション・ノートの改訂履歴を示します。

表 10. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.3	<ul style="list-style-type: none">■ 27mhz_gen モジュールに関する情報を追加■ デザイン・ファイルを更新
2010 年 5 月	1.2	4 ページの図 2 を更新
2010 年 2 月	1.1	4 ページの図 2 を更新
2009 年 12 月	1.0	初版

