


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AN-600-1.2

(Serial Digital Interface) SDI リファレンス・デザインでは、Altera® SDI MegaCore® ファンクションとオーディオ・ビデオ開発キット Stratix® IV GX Edition を使用してビデオ・データを送受信する方法を示しています。このリファレンス・デザインは、トリプル・スタンダード SDI MegaCore ファンクションの 3 つのインスタンスを使用しています。トリプル・スタンダード SDI MegaCore ファンクションは、標準精細 (SD-SDI)、高精細 (HD-SDI)、および 3 Gbps (3G-SDI) の標準で構成されています。

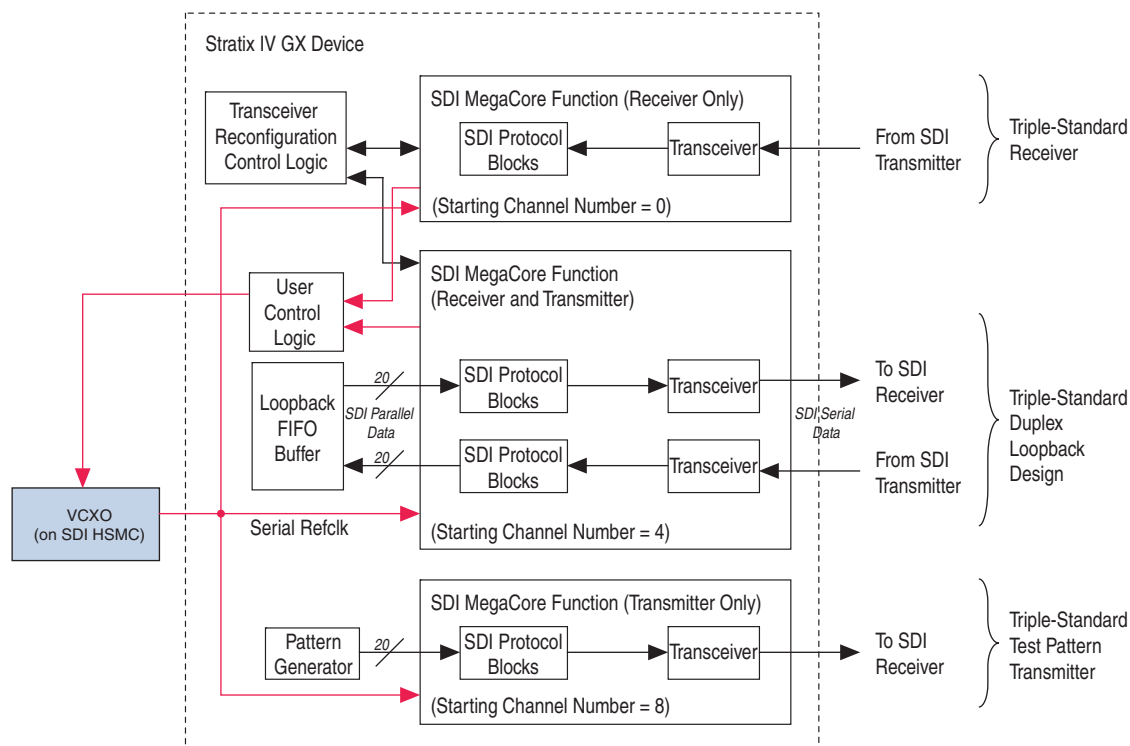
このアプリケーション・ノートでは、別のバリエーションの Stratix IV GX エディションのオーディオ・ビデオ開発キットで SDI リファレンス・デザインを使用する方法について説明します。Stratix IV GX エディションのオーディオ・ビデオ開発キットは、Stratix IV GX FPGA 開発ボードおよび SDI の高速メザニン・カード (HSMC) で構成されています。

-  Stratix IV GX エディションのオーディオ・ビデオ開発キットについて詳しくは、[Audio Video Development Kit, Stratix IV GX Edition User Guide](#) を参照してください。Stratix IV GX FPGA 開発ボードについて詳しくは、[Stratix IV GX FPGA Development Board Reference Manual](#) を参照してください。また、SDI HSMC について詳しくは、[SDI HSMC Reference Manual](#) を参照してください。SDI MegaCore ファンクションについて詳しくは、[SDI MegaCore Function User Guide](#) を参照するか、または販売代理店にお問い合わせください。

機能の説明

このリファレンス・デザインは、さまざまな速度の SDI 動作を制御、テスト、および監視できる汎用プラットフォームを提供します。図 1 には、SDI リファレンス・デザインのハイ・レベル・ブロック図を示します。

図 1. SDI リファレンス・デザインのハイ・レベル・ブロック図



以下の項では、リファレンス・デザインのさまざまな点について説明します。

トリプル・スタンダード・レシーバ

トリプル・スタンダード SDI レシーバ MegaCore ファンクションは、SD-SDI、HD-SDI、および 3G-SDI レシーバのインタフェースを提供します。

トリプル・スタンダード・トランスミッタ

トリプル・スタンダード SDI トランスミッタ MegaCore ファンクションは、2.970-Gbps 1080p、1.485-Gbps 1080i、または 270-Mbps のデータ・ストリームを出力します。トランスミッタは、パターン・ジェネレータからの入力を読み込みます。

トリプル・スタンダード・デュプレックス・ループバック・デザイン

トリプル・スタンダード SDI デュプレックス MegaCore ファンクションは、全二重の SD-SDI、HD-SDI、および 3G-SDI を提供し、レシーバ・ツー・トランスミッタのループバックを示しています。受信されたデータは、デコード、バッファリング、再コーディングされ、そして最後に、送信されます。インタフェースは、2.970-Gbps、1.485-Gbps、または 270-Mbps のレートに設定されています。

FIFO バッファのループバック

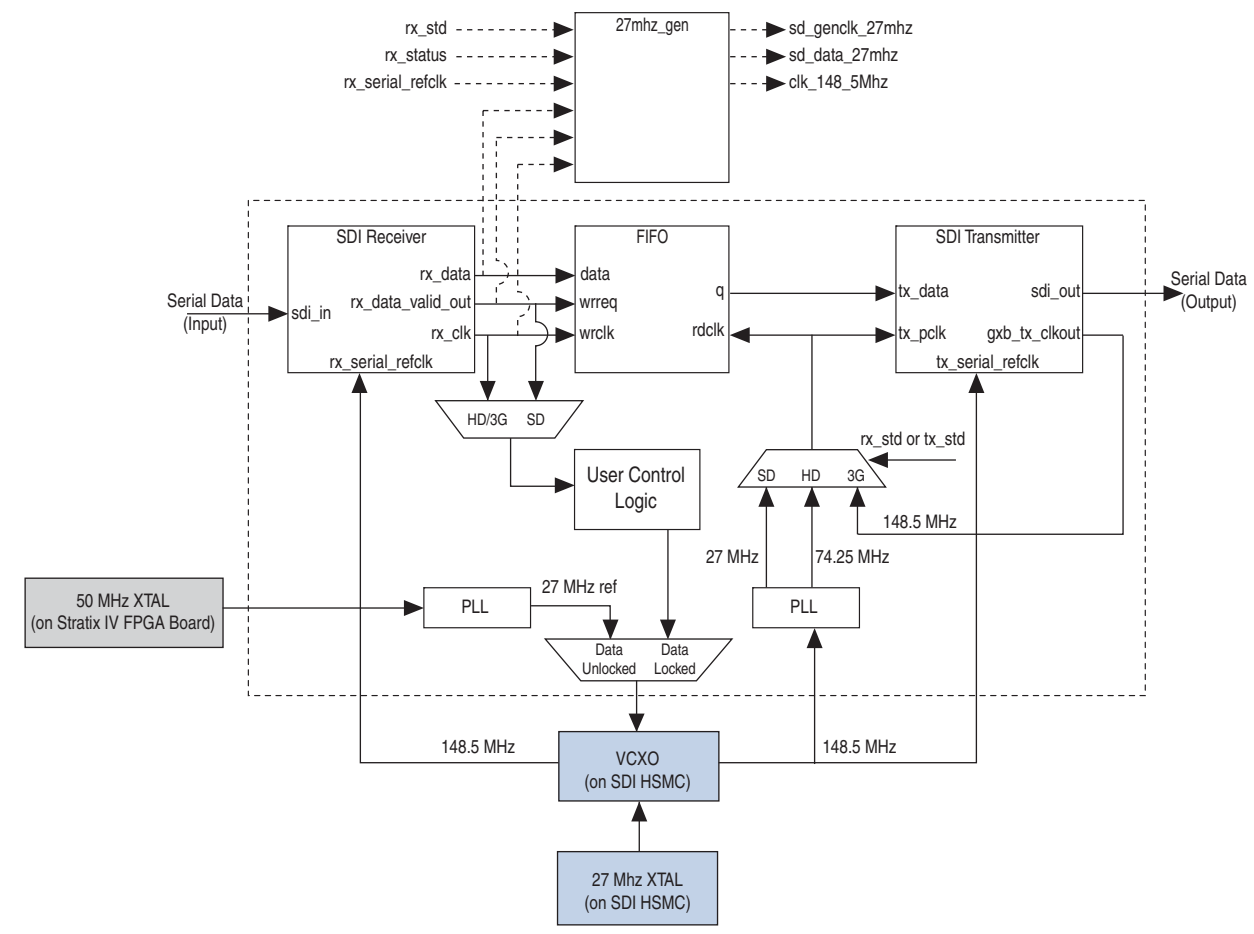
レシーバは FIFO バッファを介してトランスミッタにデコードされたレシーバのデータを送信します。レシーバがロックされているときに、受信データを FIFO バッファに書き込まれます。FIFO バッファがハーフ・フルになると、トランスミッタは、読み出し、エンコーディング、およびデータの送信を開始します。

VCXO（電圧制御クリスタル・オシレータ）

VCXO デバイスは SDI HSMC に配置されている PLL（Phase-Locked Loop）ベースの同期クロック・ジェネレータ（ICS810001）です。このデバイスは、直列にカスケード接続された 2 つの内部周波数通倍のステージが含まれています。最初のステージは、最適化された VCXO PLL より 基準クロックのジッタ減衰を提供し、ビデオ・レート変換のために必要な複雑な PLL の増加比率をサポートします。第二番目のステージは、低ジッタ、高周波のビデオ出力クロックを提供する FemtoClock™ の周波数通倍器です。148.5-MHz VCXO の出力クロックは、3 つすべての SDI インスタンスの rx_serial_ref_clk と tx_serial_ref_clk クロックに接続します。

図 2 には、デュープレックス・ループバック FIFO デザインと VCXO のためのブロック図を示します。

図 2. デュープレックス・ループバック FIFO デザインと VCXO のブロック図



パターン・ジェネレータ

パターン・ジェネレータは、2.970-Gbps 1080p、1.485-Gbps 1080i、または 270-Mbps のテスト・パターンを出力します。テスト・パターンは、100% のカラー・バー、75% 振幅カラー・バー、または SDI パソロジカル・チェック・フィールド・フレームになることがあります。

トランシーバ・リコンフィギュレーション・コントロール・ロジック

リコンフィギュレーション・コントロール・ロジック・ブロックはデュープレックス・コアでレシーバおよびデザインでの外部レシーバのリコンフィギュレーションを処理します。

ロジック・ブロックには、以下のサブ・ブロックで構成されています。

■ Sdi_tr_reconfig_multi_siv

このトップ・レベルのデザインは、最大 4 つのレシーバ・ポートへのアービトレーション・ロジックが含まれています。このブロックはまた、ALTGX_RECONFIG メガファンクションを制御するステート・マシンがあります。

■ Alt4gxb_gxb_reconfig

このブロックでは、Dynamic Partial Reconfigurable I/O (DPRIO) に必要とされる ALTGX_RECONFIG インスタンスです。ALTGX トランシーバを再プログラムするのはこの ALTGX_RECONFIG インスタンスだけです。

■ ROM

ROM は、ビデオ規格の各 ALTGX 設定情報を保持します。4 つの ROM が含まれ、最大 4 つのチャンネルをリコンフィギュレーションすることができます。

■ Sdi_mif_intercept

このブロックは、ROM から読み出されたデータをインターセプトします。HD への再プログラミングが要求されている場合、このブロックは、ALTGX のリコンフィギュレーション・ブロックに送信する前に、ROM から読み出されたデータを変更します。このブロックは、HD のセットアップ用の ROM を持っている必要がなくなります。

 ALTGX_RECONFIG について詳しくは [Stratix IV Device Handbook](#) を参照してください。DPRIO について詳しくは、[SDI MegaCore Function User Guide](#) の章、または [AN 587: DPRIO and Multiple Instances SDI](#) を参照してください。

ユーザー・コントロール・ロジック

このユーザー・コントロール・ロジックは、SDI レシーバのみとデュープレックス・インスタンスから CDR レシーバ・クロックの RX_CLK を受信し、VCXO のデバイスへのコントロール・ビットでレシーバ・クロックを送信します。

27mhz_gen

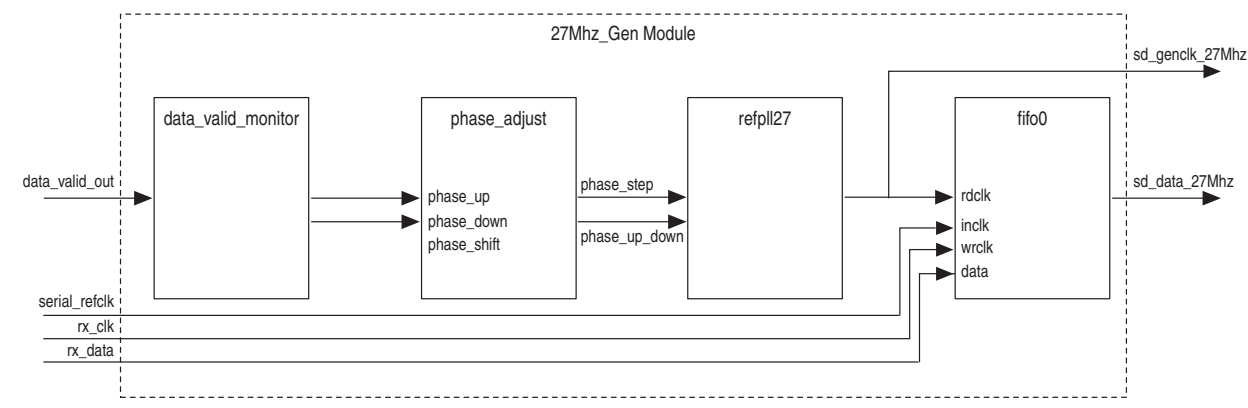
このモジュールは、SD-SDI のデータを受信するために 27-MHz のパラレル・クロックを生成します。SD-SDI 用の sd_data_27mhz パラレル・データをクロックする sd_genclk_27mhz 出力クロックを使用してください。

27mhz_gen モジュールは、以下のコンポーネントで構成されます。

- data_valid_monitor モジュール —pll をコントロールするユーザー・ロジック
- phase_adjust モジュール —pll ベースの data_validout 信号をコントロールするモジュール
- refpll27—FIFO バッファからの sd_data_27mhz データをクロックする sd_genclock_27mhz クロックを生成する pll
- FIFO バッファ

図 3 には、27mhz_gen モジュールのブロック図を示します。

図 3. 27mhz_gen モジュールのブロック図



使用法

この項では、Stratix IV GX オーディオ・ビデオ開発ボードでの SDI リファレンス・デザインを実証するための要件と関連する手順について説明します。この項では、以下のトピックが含まれています。

- ハードウェアおよびソフトウェア要件
- ハードウェア設定
- リファレンス・デザインの実行
- リファレンス・デザインの使用

ハードウェアおよびソフトウェア要件

デモンストレーションでは、以下のハードウェアとソフトウェアが要求されます。

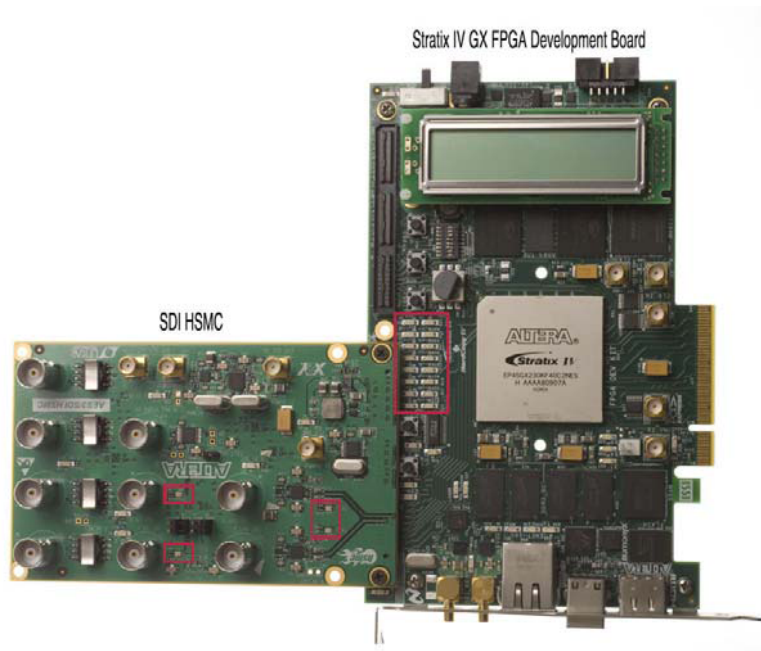
- Stratix IV GX エディションのオーディオ・ビデオ開発キット —Stratix IV GX FPGA 開発ボードおよび SDI HSMC
- SDI MegaCore ファンクション
- Quartus® II ソフトウェア、バージョン 10.0 SP1

Stratix IV GX エディションのオーディオ・ビデオ開発キットを得るには、日本アルテラまたは販売代理店にお問い合わせください。

ハードウェア設定

図 4 には、Stratix IV GX FPGA 開発ボードは、SDI HSMC に接続する方法を示しています。ハイライトされた部分は LED を示しています。

図 4. SDI HSMC に接続する Stratix IV GX FPGA 開発ボード



プッシュ・ボタン S2 は、CPU リセット・ボタンとして機能しています。表 1 に、Stratix IV GX FPGA 開発ボード上の各 LED の機能について説明します。

表 1. Stratix IV GX FPGA 開発ボード上の LED (その 1)

LED	説明
D6, D7	内蔵パターン・ジェネレータの信号規格 [D6, D7] : 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI
D8	使用されていない
D9	使用されていない
D10, D11	SDI IN2 が信号規格を受信 [D10, D11] : 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI
D12, D13	SDI IN1 が信号規格を受信 [D12, D13] : 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI
D16	SDI IN2 のリット状態
D17	SDI IN2 フレーム・ロック
D18	SDI IN2 TRS ロック
D19	SDI IN2 アラインメント・ロック
D20	SDI IN1 のリット状態
D21	SDI IN1 フレーム・ロック

表 1. Stratix IV GX FPGA 開発ボード上の LED (その 2)

LED	説明
D22	SDI IN1 TRS ロック
D23	SDI IN1 アラインメント・ロック

表 2 には、SDI HSMC 上の各 LED の機能について説明します。

表 2. SDI HSMC 上の LED

DIP	説明
D1	SDI IN2 が SDI 信号規格を受信 赤色 = SD-SDI, 橙色 = HD-SDI, 緑色 = 3G-SDI
D3	SDI OUT2 が SDI 信号規格を送信 赤色 = SD-SDI, 橙色 = HD-SDI, 緑色 = 3G-SDI
D5	SDI OUT1 が SDI 信号規格を送信 赤色 = SD-SDI, 橙色 = HD-SDI, 緑色 = 3G-SDI
D6	SDI IN1 が SDI 信号規格を受信 赤色 = SD-SDI, 橙色 = HD-SDI, 緑色 = 3G-SDI

表 3 には、各デュアル・イン・ライン・パッケージ (DIP) スイッチの機能を説明します。

表 3. SW3 DIP スイッチ

DIP スイッチ	説明
8, 7, 6, 5	使用されていない
4	1 = パソロジカル SDI チェックフィールド・パターンを選択
3	1 = 100% カラー・バー 0 = 75% カラー・バー
2, 1	パターン・ジェネレータの信号規格を変更 00 = SD-SDI, 01 = HD-SDI, 11 = 3G-SDI

リファレンス・デザインの実行

リファレンス・デザインを実行するには、最初のボードを設定する必要があります。ボードを設定するには、以下の手順を実行します。

1. ボードの接続を設定します。
 - a. FPGA 開発ボード上の HSMA ポートに SDI HSMC を接続します (6 ページの図 4 を参照してください)。
 - b. FPGA 開発ボードの背面にある DIP スイッチ (SW4)、PCI Express のコントロール DIP スイッチ (SW5)、および JTAG コントロール DIP スイッチ (SW6) のスイッチ・コントロール用のボード設定を指定します。表 4 にスイッチ・コントロール設定に設定と整合しなければなりません。
 - c. 電源への FPGA 開発ボード (J4) を接続します。

表 4. SW DIP スイッチ・コントロール設定


スイッチ	回路信号名	説明	デフォルト
SW4			
1	MAX_DIP	予約	OFF
2	USB_DISABLEn	ON: エンベデッド USB-Blaster ディセーブル OFF: エンベデッド USB-Blaster イネーブル	OFF
3	LCD_PWRMON	ON: MAX II EPM2210 System Controller からドライブされた LCD (パワーモニあり) OFF: FPGA からドライブされた LCD (パワーモニタなし)	ON
4	FAN_FORCE_ON	ON: ファンは ON に強制 OFF: MAX1619 デバイスによって制御されるファン	ON
5	CLK_SEL	ON: 100 MHz クロック・セレクト OFF: SMA 入力クロック・セレクト	ON
6	CLK_ENABLE	ON: オン・ボードのオシレータ・イネーブル OFF: オン・ボードのオシレータ・ディセーブル	ON
7	S4VCCH_SEL	ON: 1.4 V (デフォルト) OFF: 1.5 V	ON
8	S4VCCA_SEL	ON: 3.3 V (デフォルト) OFF: 2.5 V	ON
SW5			
1	PCIE_PRSNT2n_x1	ON: イネーブル x1 の存在を検出 OFF: ディセーブル x1 の存在を検出	OFF
2	PCIE_PRSNT2n_x4	ON: イネーブル x4 の存在を検出 OFF: ディセーブル x4 の存在を検出	OFF
3	PCIE_PRSNT2n_x8	ON: イネーブル x8 の存在を検出 OFF: ディセーブル x8 の存在を検出	OFF

表 4. SW DIP スイッチ・コントロール設定

スイッチ	回路信号名	説明	デフォルト
4	MAX_EN	予約	OFF

SW6			
1	EPM2210_JTAG_EN	ON: バイパス MAX II CPLD EPM2210 System Controller OFF: MAX II CPLD EPM2210 System Controller イン・チェイン	ON
2	HSMA_JTAG_EN	ON: バイパス HSMA OFF: HSMA イン・チェイン	OFF
3	HSMB_JTAG_EN	ON: バイパス HSMB OFF: HSMB イン・チェイン	ON
4	PCIE_JTAG_EN	ON: バイパス PCI Express OFF: 予約	ON

2. QuartusII ソフトウェアを起動します。
 - d. File メニューの **Open Project** をクリックし、`\<directory>\s4gxsdi.qpf` に移動して、**Open** をクリックします。
 - e. Processing メニューで、**Start Compilation** をクリックします。
3. Quartus II の生成された SRAM オブジェクト・ファイル (.sof)、`\<directory>\s4gxsdi.sof` をダウンロードします。
 - f. USB-Blaster™ ダウンロード・ケーブルを USB Type-B Connector (J7) の基板に接続します。
 - g. Tools メニューで、**Programmer** をクリックして、基板に `\<directory>\s4gxsdi.sof` をダウンロードします。ソフトウェアが自動的にコンパイル時にファイルを検出し、ポップ・アップ・ウィンドウに表示されます。ボードにファイルをダウンロードするには **Start** をクリックします。ファイルがポップ・アップ・ウィンドウに表示されない場合は、**Add File** をクリックし、`\<directory>\a2gxsdi.sof` に移動し、**Open** をクリックします。

 このデザインは揮発性です。このデザインをボードに電源が投入されるたびにリロードする必要があります。

ボードを設定したら、以下の項で説明されているさまざまなバリエーションを実行することができます。

パラレル・ループバック

パラレル・ループバックのデモを実行するには、以下の手順を実行します。

1. SDI IN2 (BNC J2) のレーザー入力に SDI 信号発生器を接続します。
2. SDI OUT2 (BNC J1) のトランスミッタ出力の SDI 信号アナライザを接続します。

3. パラレル・ループバックのデモが実行されます。LED は、以下の条件を示しています。
 - LED D10 と D11 はレシーバ・シグナルの規格を示しています。
 - レシーバのフレーム・フォーマットがポート 2 で安定している場合、LED D17 が点灯されます。
 - 受信ラインのフォーマットがポート 2 で安定している場合、LED D18 が点灯されます。
 - LED D19 は、レシーバのワードがポート 2 でアラインメントされたときに点灯します。
- 図 5 には、LED の条件を示しています。

図 5. パラレル・ループバックのデモ用の LED の条件



さらに、SDI HSMC の LED は、以下の条件を示しています。

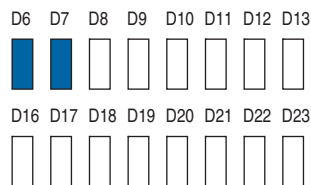
- LED D1 は、レシーバ・シグナルの規格がポート 2 で検出されたときに点灯します。
- LED D3 は、トランスミッタ・シグナルの規格をポート 2 で検出されたときに点灯します。

テスト・パターン・トランスミッタ

テスト・パターン・トランスミッタのデモを実行するには、以下の手順を実行します。

1. トランスミッタ出力の SDI OUT1 (BNC J8) に SDI 信号アナライザを接続します。LED は、以下の条件を示しています。
 - LED D6 および D7 はトランスミッタのポート 1 を通して送信する内部パターン・ジェネレータ信号規格を示します (10 ページの図 6 を参照してください)。

図 6. テスト・パターン・トランスミッタのデモ用の LED の条件



- LED D5 は、SDI HSMC に、ポート 1 のトランスミッタの信号規格を示すために点灯します。
2. SDI 信号アナライザの結果を確認します。

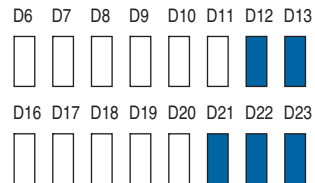
レシーバ

レシーバのデモを実行するには、以下の手順を実行します。

1. SDI IN1 (BNC J9) のレシーバ入力に SDI 信号発生器を接続します。
2. レシーバのデモが実行されます。LED は、以下の条件を示しています。
 - LED D12 と D13 は、レシーバ信号の規格を示しています。
 - レシーバのフレーム・フォーマットがポート 1 で安定している場合、LED D21 が点灯されます。
 - 受信ラインのフォーマットがポート 1 で安定している場合 LED D22 が点灯されます。
 - LED D23 は、レシーバのワードがポート 1 でアラインメントされたときに点灯します。

図 7 に、LED の条件を示しています。

図 7. レシーバのデモ用の LED の条件



さらに、SDI HSMC 上の LED D6 は、レシーバの信号規格をポート 1 で検出されたときに点灯されます。

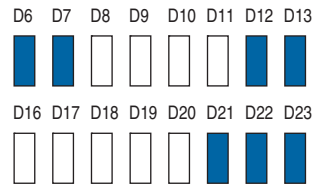
シリアル・ループバック

シリアル・ループバックのデモを実行するには、以下の手順を実行します。

1. レシーバ入力 SDI IN1 (BNC J9) にトランスミッタ出力 SDI OUT1 (BNC J8) を接続します。
2. シリアルループバックのデモが実行されます。LED は、以下の条件を示しています。
 - LED D6 と D7 は、トランスミッタのポート 1 を介して伝送する内部パターン・ジェネレータの信号規格を示しています。
 - LED D12 と D13 のフラッシュは、レシーバ信号の規格を示します。
 - レシーバのフレーム・フォーマットがポート 1 で安定している場合、LED D21 が点灯されます。
 - 受信ラインのフォーマットはポート1で安定している場合LEDはD22が点灯されます。
 - LED D23 は、レシーバの単語がポート 1 でアラインメントされたときに点灯します。

図 8 に、LED の条件を示しています。

図 8. テスト・パターン・トランスミッタのデモ用の LED の条件



さらに、SDI HSMC 上の LED は、以下の条件を示しています。

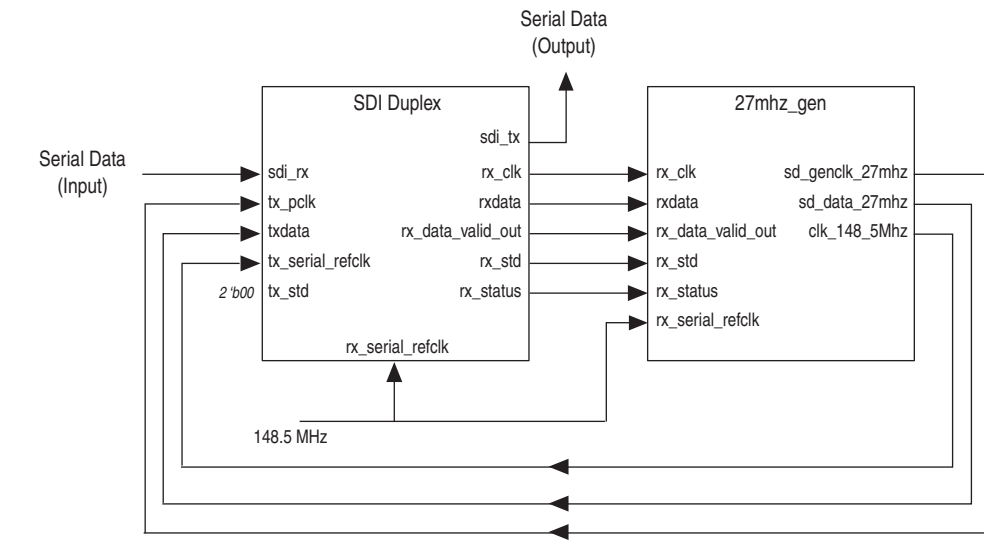
- LED D5 は、トランスミッタの信号の規格がポート 1 で検出されたときに点灯されます。
- LED D6 は、レシーバ信号の規格はポート 1 で検出されたときに点灯されます。

リファレンス・デザインの使用

SD-SDI 規格を使用している場合は、SD-SDI のデータを受信するために、27-MHz クロックを生成する 27mhz_gen モジュールでリファレンス・デザインを使用します。

図 9 に、SD-SDI のパラレル・データを受信するために 27 MHz のクリーンなクロックを生成する 27mhz_gen モジュールを使用する方法を示しています。27mhz_gen モジュールから 27-MHz のクロックと SD-SDI パラレル・データは SDI 全二重インスタンスのトランスミッタに接続し、監視のためのサードパーティに送信します。

図 9. リファレンス・デザインによる 27mhz_gen モジュール



SD-SDI 規格を使用している場合は、GENERATE_SD_27MHZ_CLK のパラメータをコントロールするために以下のコードを入力します。

```
GENERATE_SD_27MHZ_CLK = 1'b1
```

通常の SDI の動作を使用している場合は、GENERATE_SD_27MHZ_CLK のパラメータをコントロールするために次のコードを入力します。

```
GENERATE_SD_27MHZ_CLK =1'b0
```



定通常の SDI の動作用にコンパイルする場合は、以下のラインからバック・スラッシュを削除します。

```
//define clk_148_p
```

結論

このアプリケーション・ノートでは、Stratix IV GX FPGA 開発ボードと SDI HSMC で SDI リファレンス・デザインを使用する方法を提供しています。アルテラ FPGA デザインへの統合する SDI MegaCore ファンクションを評価するために議論された異なるバリエーションを使用することができます。

改訂履歴

表 5 に、このアプリケーション・ノートの改訂履歴を示します。

表 5. 改訂履歴

日付	バージョン	変更内容
2010年12月	1.2	<ul style="list-style-type: none">■ 27mhz_gen モジュールに関する情報を追加。■ デザイン・ファイルを更新。
2010年7月	1.1	3 ページの図 2 およびデザイン・ファイルを更新。
2009年12月	1.0	初版。