

このアプリケーション・ノートでは、Stratix® IV FPGA の共用される電源レールを分離するようにフェライト・ビーズ・フィルタ・ネットワークをデザインするためのガイドラインを提供します。

FPGA テクノロジーでの進歩は 10 Gbps のデータ・レートを超えて増加しました。これらのデータ・レートを達成するために、FPGA メーカーは、一般に、FPGA 内の敏感な PLL (Phase-Locked Loop) とギガビット・トランシーバ・ブロックとともに、コアおよび I/O を別にパワー・アップするには、複数の分離したデジタルおよびアナログ電源レールを要求しています。その結果、ボード上の電源分配システムの複雑度ははるかに向上します。

制限されるボード・スペース、階層数、およびコスト費用で、ボード設計者は、システム要件で制約内の FPGA ボードをデザインすることがますます挑発的なこととなります。マルチ・ギガビットのトランシーバ内蔵 FPGA の Stratix IV GX および GT ファミリー用にこのパワー・デザインを簡素化する一つの方法は、きれいに同様の電圧レールを共有するようにし、その同時に共有されるレール間に十分な高周波数分離を維持します。一般的な方法では、フェライト・ビーズを使用することです。

このアプリケーション・ノートでは、デカップリングのためのターゲット・インピーダンス要件を満たしている間に、反共振、インダクタ・コンデンサ (LC) タンクの振動防止、転送インピーダンス分析、DC 電圧 (IR) 降下極小化などの適切なビーズ選択とデザインの検討を説明します。また、ある場合によっては、別の方法で PCB レイアウト構造を使用してフェライト・ビーズを誘導フィルタコンポーネントとして変換することも説明されています。PCB 構造の性能をフェライト・ビーズと比較しているシミュレーション結果は、PCB 構造フィルタ・ネットワークの有効性を有効にし、その制限を理解するために評価されます。

## フェライト・ビーズ選択

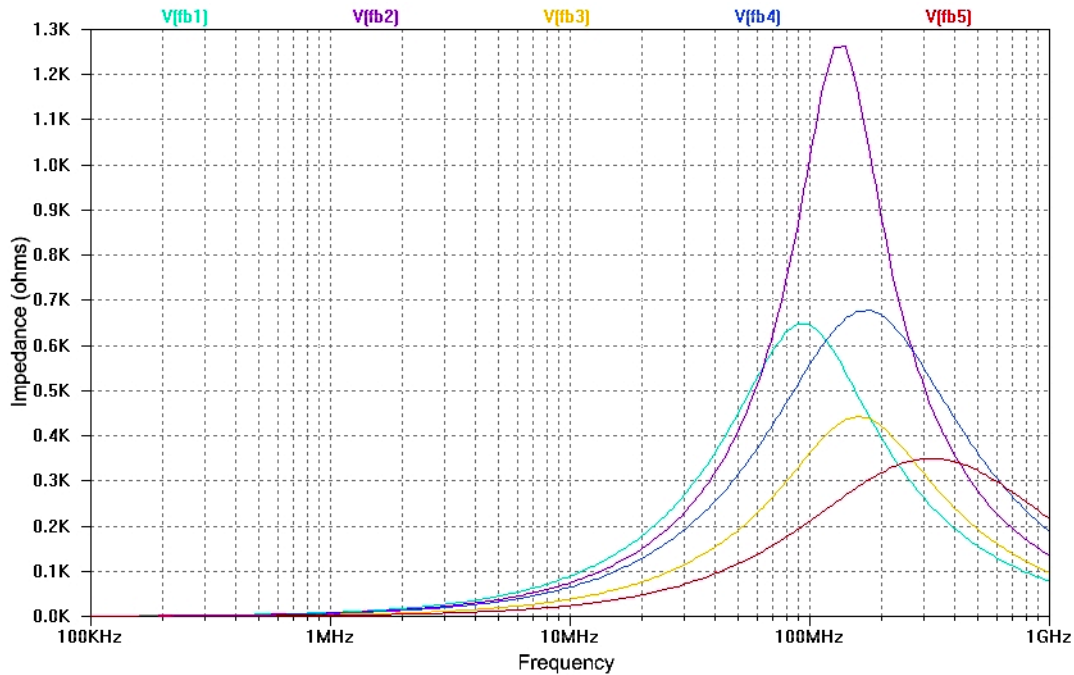
一般に、フェライト・ビーズは 2 つのカテゴリーに分類されます <sup>(1)</sup>。

- High-Q ビーズ — 一般に、共振器として使用されて、電源分離回路において使用してはなりません。
- Low-Q ビーズ — 吸収ビーズとも呼ばれています。高周波ノイズ電流を吸収し、熱としてそれを散らすようにデザインされるので、より多くの損失性であり、よいパワー・フィルタ・ネットワークになります。これらのビーズは、広高周波バンドでハイ・インピーダンスを持つため、ローパス・ノイズ・フィルタとして理想的にします。

一般に、メーカーは、インピーダンス対周波数プロットについてそれらのフェライト・ビーズの性能特性を指定します。それだけでなく、最大 DC 電流および DC 抵抗レーティングも提供します。使用されるビーズと材料のデザインによって、インピーダンス・プロットは広い周波数スペクトルの大きさにおいて大幅に変動し、適切なビーズ選択が紛らわしくなる場合もあります。

図 1 には、5 つのフェライト・ビーズのインピーダンス曲線の例と一緒に 1 GHz の周波数範囲を示し、電源ノイズ・フィルタに使用できる様々な low-Q ビーズの性能を比較します <sup>(2)</sup>。

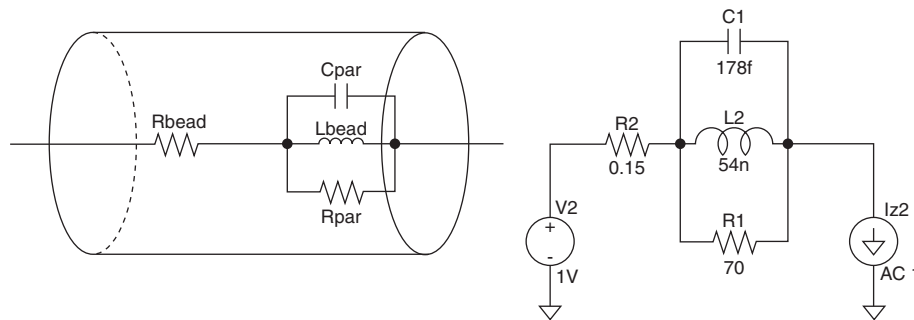
図 1. 5つのフェライト・ビーズのインピーダンス・プロットの比較



## フェライト・ビーズ・モデリングおよびシミュレーション

通常、ビーズ・メーカーはシステム・シミュレーションにデバイスのための同等な SPICE 回路モデルを提供します。しかし、ビーズ・モデルがすぐにメーカーから入手可能ではない場合には、フェライト・ビーズは図 2 (左) に例示するように R、L、および C コンポーネントの簡単なネットワークとしてモデル化できます<sup>(3)</sup>。

図 2. フェライト・ビーズ回路モデル (左) および SPICE シミュレーションのセットアップ (右)



モデルは 1 次の近似ではありますが、サブ GHz シミュレーションのためにそれを有効に使用することができます。

- $R_{\text{bead}}$  および  $L_{\text{bead}}$  は、ビーズの DC 抵抗および有効インダクタンスです。
- $C_{\text{par}}$  および  $R_{\text{par}}$  は、ビーズと関連したパラレル・キャパシタンスおよび抵抗です。

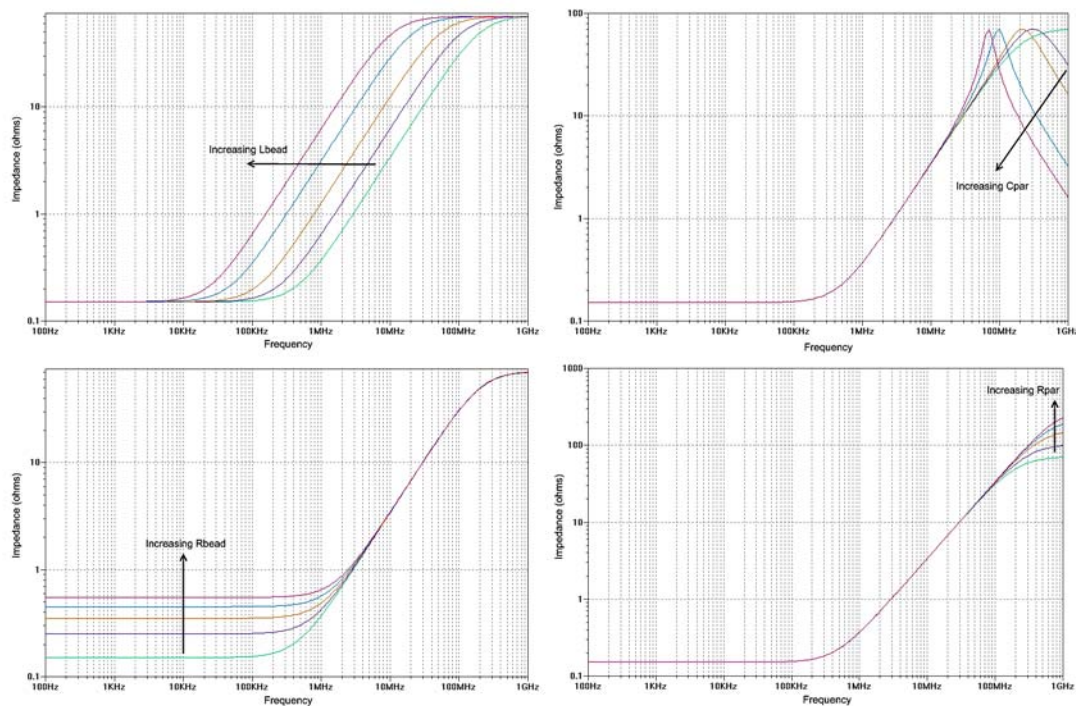
低周波では、 $C_{par}$  は開回路であり、 $L_{bead}$  は短絡であり、ビーズの DC 抵抗として  $R_{bead}$  のみを残します。周波数が増大するとともに、 $L_{bead}$  のインピーダンスは周波数 ( $j\omega L_{bead}$ ) に比例して増加し、 $C_{par}$  は周波数 ( $1/j\omega C_{par}$ ) に反比例し縮小します。ビーズのインピーダンス対周波数プロットの立ち上がりのリニア傾斜は、主に  $L_{bead}$  のインダクタンスで決定されます。

一定の高周波ポイントでは、 $C_{par}$  のインピーダンスは支配しはじめます。そしてビーズのインピーダンスは減少してそのインダクタンスを否定します。この場合、インピーダンス対周波数プロットの立ち下がり傾斜は主にビーズの寄生キャパシタンス  $C_{par}$  で決定されます。 $R_{par}$  は、ビーズの Q-factor を減衰させます。しかし、あまりに大きい  $R_{par}$  および  $C_{par}$  値を持つことにより、ビーズの Q-factor を増大させて、その有効帯域幅を減少させます。これは、電力配電回路網 (PDN) の過渡応答に不要なリングングを引き起こす High-Q ビーズの可能性があります。

それぞれのパラメタがビーズの周波数応答に影響する方法を観察するには、分離するビーズの AC 応答をシミュレートする SPICE を使用できます。図 2(右)には、 $0.15 \Omega$  の DC 抵抗、 $54 \text{ nH}$  の有効インダクタンス、 $70 \Omega$  の抵抗、および  $178 \text{ fF}$  のキャパシタンスがあるサンプル・フェライト・ビーズの AC 応答を取得するための SPICE 回路セットアップをそれぞれ示します。

図 3 には、SPICE で  $100 \text{ Hz} \sim 1 \text{ GHz}$  までの AC 分析が  $1 \text{ V}$  ソースおよび  $1 \text{ A AC}$  の電流負荷に適用されるこのビーズの特性インピーダンス対周波数のプロットを示します。メーカーが SPICE モデルを提供しない時に、シミュレーションで個々の R、L、および C コンポーネントを個々に変動することによって、SPICE モデルは、特定のフェライト・ビーズに近似するにはカーブで適することができます。

図 3. R、L、および C の変動の影響

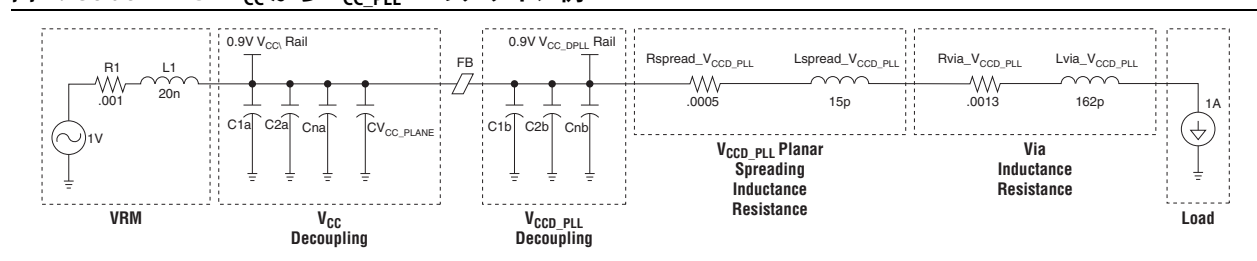


## Stratix IV GX デザイン例


多くのアプリケーションでは、高速クロック、データ、および他の I/O スwitchング・レートが数百メガヘルツからマルチギガヘルツに範囲することができます。これらの各スイッチング信号に関連付けられた基本周波数および高調波は、容易に敏感な電源レールを汚染することができます。その結果、電圧リップルおよび出力ジッタが増加します（特に、他のノイズの多いデジタル・レールと共有される場合）。例えば、Stratix IV GX デバイスでは、 $0.9\text{ V}_{V_{CC}}$  (コア) 電圧は、FPGA ファブリック内にノイズのデジタル・ロジック・エレメント (LE)、メモリ・エレメント、および DSP ブロックを電源投入するために使用されます。他方、 $0.9\text{ V}_{V_{CC\_PLL}}$  は、クロック乗算器用のより敏感な PLL を電源投入するために使用されます。PCB (シングル・ボルテージ・レギュレータ・ソースで電源投入される) のシングル・ボルテージ・プレーンへの  $V_{CC\_PLL}$  レールに  $V_{CC}$  を結合することは簡単ですが、コア混入されたノイズが PLL 性能を低下させる可能性があります。より良い解決策は、各レールがそれぞれのターゲット・インピーダンスを満たすように選択される適切なデカップリング・コンデンサと共に  $V_{CC}$  および  $V_{CC\_PLL}$  レール間のフェライト・ビーズを使用することです。

図 4 には、 $V_{CC}$  および  $V_{CC\_PLL}$  がフェライト・ビーズを使用して分離される Stratix IV EP4SGX230KF40 デバイスのデザイン例を示します。この例では、選択されたフェライト・ビーズは、Laird Technologies LI0805H121R-10 です。

図 4. Stratix IV GX  $V_{CC}$  から  $V_{CC\_PLL}$  へのデザイン例



$V_{CC}$  レール (C1a と C2a、Cna までに指示される) のためのデカップリングは、アルテラの PowerPlay Early Power Estimator (EPE) および PDN デカップリング・ツールを使用することで  $25\text{ MHz} \sim 9\text{ m}\Omega$  のインピーダンス・ターゲットを達成するようにデザインされています。同様に、 $V_{CC\_PLL}$  デカップリング (C1b と C2b、Cnb までに指示される) は、 $0.45\ \Omega$  ターゲット・インピーダンスのために同じターゲット・インピーダンス手法を使用することで少なくとも  $70\text{ MHz}$  までデザインされています。

 PowerPlay EPE および PDN ツールを使用して、デカップリングのためにターゲット・インピーダンス法を適用することに関する詳しい情報について、以下の情報を参照してください。

- [PowerPlay Early Power Estimators \(EPE\) and Power Analyzer](#)
- [Power Distribution Network Design Tool for Stratix IV Devices](#)
- [Board Design Resource Center](#)
- [AN 574: Printed Circuit Board \(PCB\) Power Delivery Network \(PDN\) Design Methodology](#)

表 1 には、PDN デカップリング・ツールを使用するとき、各レールがそれぞれのインピーダンス・ターゲットを満たすための必要なデカップリング・キャパシタンスを示します。また、平面拡散抵抗およびインダクタンスと同様、PDN ツールによる推定する BGA の抵抗およびインダクタンスは、デバイスの BGA ボールに拡張している完全な PDN プロフィールを与えるために、SPICE デッキに含まれています。



この  $V_{CC}$  から  $V_{CCD\_PLL}$  までの PDN プロフィールを取得するための完全な SPICE デッキの例については、[AN 583: VCC to VCCDPLL Spice Examples.zip](#) での *VCC to VCCDPLL Z Profile Example* を参照してください。

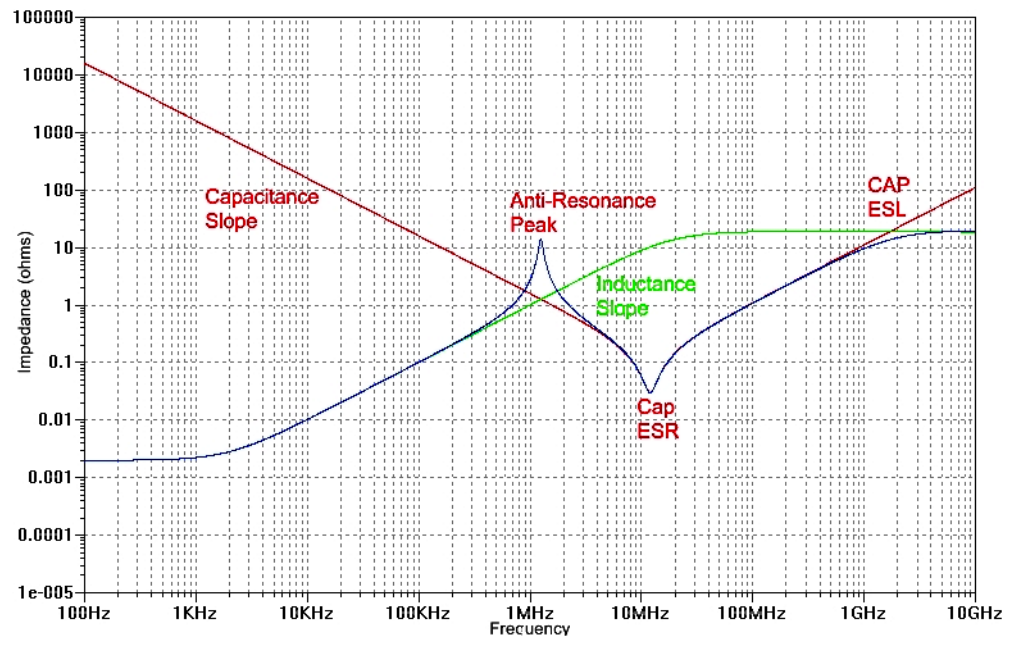
表 1. PDN ツールからのデカップリング・コンデンサ

$V_{CC}$ レール			$V_{CCD\_PLL}$ レール		
コンデンサ	値 ( $\mu\text{F}$ )	量	コンデンサ	値 ( $\mu\text{F}$ )	量
C1a - C7a	330	7	C1b - C2b	4.70	2
C8a - C12a	2.20	5	—	—	—
C13a - C14a	0.47	2	—	—	—
C15a - C18a	0.22	4	—	—	—
C19a - C23a	0.10	5	—	—	—
C24a - C37a	0.047	14	—	—	—

## 反共振

フェライト・ビーズを実装するとき、結果として生じるインピーダンス・プロフィールがターゲット・インピーダンス制限に違反する場合がありますので、可能な反共振ピークに注意してください。これらの反共振ピークは、[図 5](#) に示されているように立ち下がりキャパシタンス傾斜がビーズの立ち上がりインダクタンス傾斜と交差しているときに発生します。

図 5. 反共振スパイクの原因



ターゲット・インピーダンスが低い場合、これらのピークは容易にターゲット・インピーダンス制限に違反できます。SPICE または同様の回路シミュレータを使用して、これらの反共振ピークがターゲット・インピーダンスに違反しないことを確実にしてください。

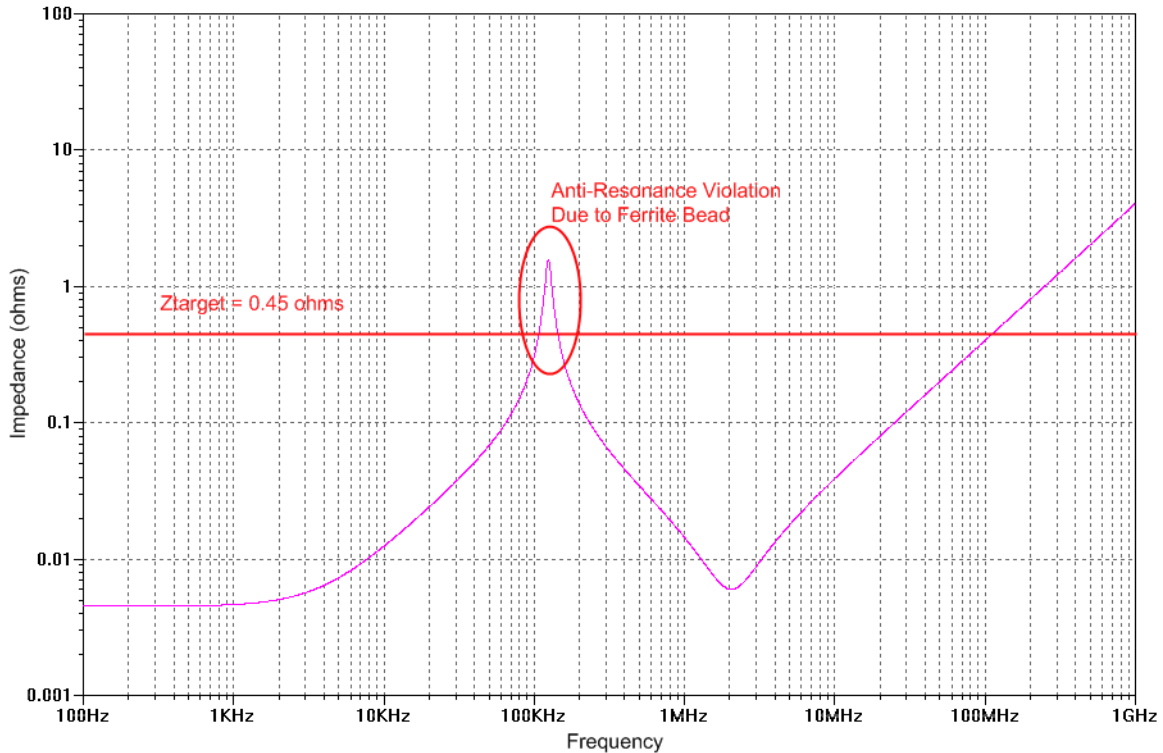
上の Stratix IV GX  $V_{CC} \sim V_{CCD\_PLL}$  分離の例に関しては、PDN ツールはフェライト・ビーズの影響に考慮しません。したがって、SPICE は、ビーズの含有のため、不要な反共振を導入することにより PDN プロファイルを変更しないことを確認するために使用されます。

SPICE によって、1A ロードをドライブする抵抗-インダクタのネットワークを接続した単純なシリーズとしてモデル化されるユニット・ボルテージ・レギュレータ・ソースは、モデル化されている PDN 回路に配置されます。そして、回路は 100Hz ~ 1 GHz まで AC をスイープし、デカップリング・ネットワークの結果として生じるインピーダンス・プロフィールを  $\Omega$  に取得します。図 6 に示されているように、PDN ツールで推定する  $V_{CCD\_PLL}$  レール用のデカップリング・コンデンサツールは、選択される Laird Technologies LI0805H121R-10 フェライト・ビーズと共に、124 KHz の約 1.5  $\Omega$  で過酷な反共振スパイクが発生します。これは 0.45  $\Omega$  の  $V_{CCD\_PLL}$  インピーダンス・ターゲットに違反するので解決する必要があります。



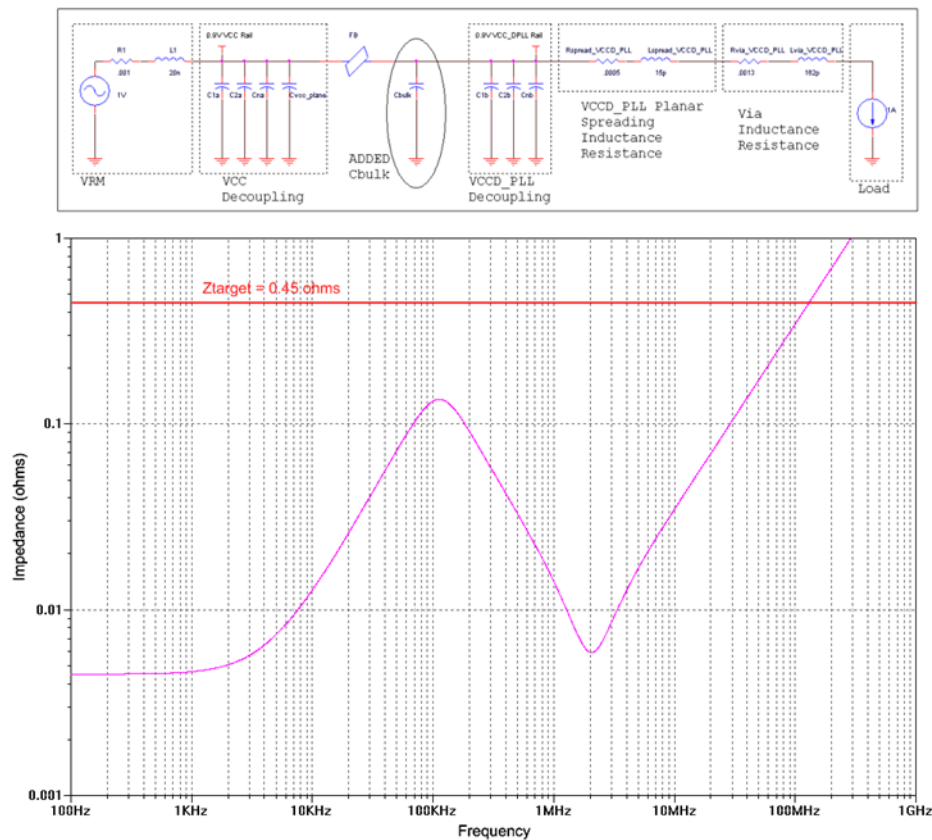
フェライト・ビーズの影響が含まれる  $V_{CC} \sim V_{CCD\_PLL}$  の例の PDN プロフィールを取得するための完全な SPICE デッキについては、[AN 583: VCC to VCCDPLL Spice Examples.zip](#) での [VCC to VCCDPLL Bead Anti Resonance Example](#) を参照してください。

図 6. 反共振スパイクの違反の例



この低周波数反共振スパイクを破るためには、大きなバルク・デカップリング・コンデンサを図 7 (トップ) に例示するような  $V_{CCD\_PLL}$  に追加してください。47mF バルク・コンデンサが  $V_{CCD\_PLL}$  レールに追加される場合、結果として生じている PDN プロフィールを図 7 (ボトム) に示します。追加のバルク・キャパシタンスは、この反共振違反を軽減することに役立ちます。

追加のバルク・デカップリング・コンデンサで  $V_{CC} \sim V_{CCD\_PLL}$  の例の PDN プロフィールを取得するための完全な SPICE デッキについては、[AN 583: VCC to VCCDPLL Spice Examples.zip](#) で [VCC to VCCDPLL Bulk Cap Mitigation Example](#) を参照してください。

図 7. 47  $\mu\text{F}$  コンデンサ (トップ) およびシミュレーション結果 (ボトム) が追加される PDN 回路

## LC タンクの振動

フェライト・ビーズを使用するときのもう 1 つの問題は、LC タンク振動です。PDN 回路でインダクタおよびコンデンサを使用する場合、インダクタおよびコンデンサで格納されるエネルギーはこれら二つのエネルギーのストレージ・エレメントの間で跳ね回り、不必要な回路の振動を引き起こします。この悪影響は、電圧オーバーシュートまたはリングングとしてタイム・ドメインで観測されます。

非定常解析のある SPICE シミュレータまたは同様のツールを使用し、オーバーシュートまたはリングングがよく減衰され、そしてデザインに許容範囲内であることを確認します。以前の Stratix IV GX  $V_{CC} \sim V_{CCD\_PLL}$  例では、Laird Technologies LI0805H121R-10 フェライト・ビーズは図 8 (左) に示されているように電圧オーバーシュートまたはリングングが発生しませんでした。オーバーシュートまたはリングングが発生する場合、0.9 V  $V_{CCD\_PLL}$  レールには動作仕様の  $\pm 30$  mV 以内にあることを確認してください。通常、ビーズのインダクタンスが高い場合 (図 8 の仮定の状況のように)、オーバーシュートおよびリングングはより過酷になり、デバイスに障害または誤動作が生じる可能性があります。過酷なオーバーシュートおよびリングングが発生する場合、低インダクタンス値の異なるフェライト・ビーズを選択してください。


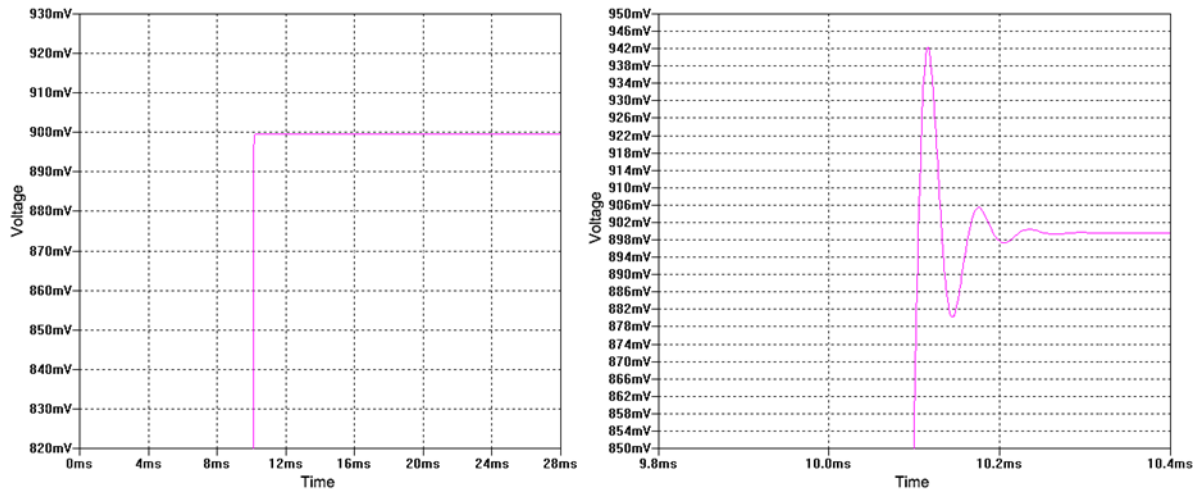
 この  $V_{CC} \sim V_{CCD\_PLL}$  のオーバーシュート例の非定常解析を取得するための完全な SPICE デッキについては、AN 583: [VCC to VCCDPLL Spice Examples.zip](#) で *VCC to VCCDPLL Transient Response Example* を参照してください。

図 8. PDN 批判な減衰される応答 (左) および過酷なオーバーシュートとリングング (右)



## 転送インピーダンス

回路のノイズ耐性を評価する一般的な方法は、その転送インピーダンスを分析することです。図 9 に示されているように、上記の例に  $V_{CC} \sim V_{CCD\_PLL}$  分離の転送インピーダンスを決定する場合、FPGA デバイス内の  $V_{CC}$  レールから来るノイズをエミュレートするには、1A 電流ソースによってビーズの  $V_{CC}$  側から PDN 回路をシミュレーションできます。

図 9.  $V_{CC} \sim V_{CCD\_PLL}$  転送インピーダンス回路

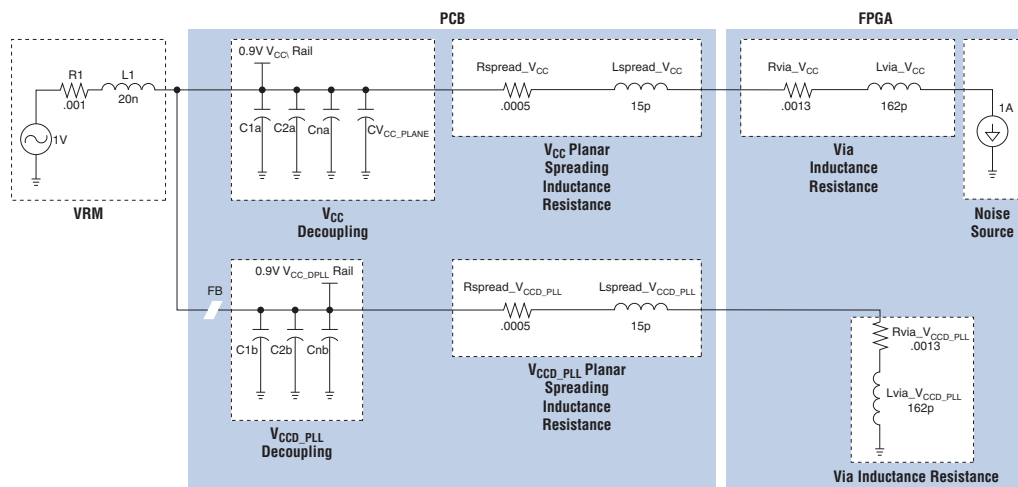


図 10 には、FPGA デバイスの BGA ボールで、フェライト・ビーズおよび分離される  $V_{CCD\_PLL}$  レールのすぐ前で、 $V_{CC}$  レールの結果として生じている転送インピーダンスを示します。 $V_{CCD\_PLL}$  は、フェライト・ビーズおよび  $V_{CCD\_PLL}$  デカップリング・ネットワークからの分離のため、 $V_{CC}$  は 3 MHz 以上からの約 40 dB より低いです。


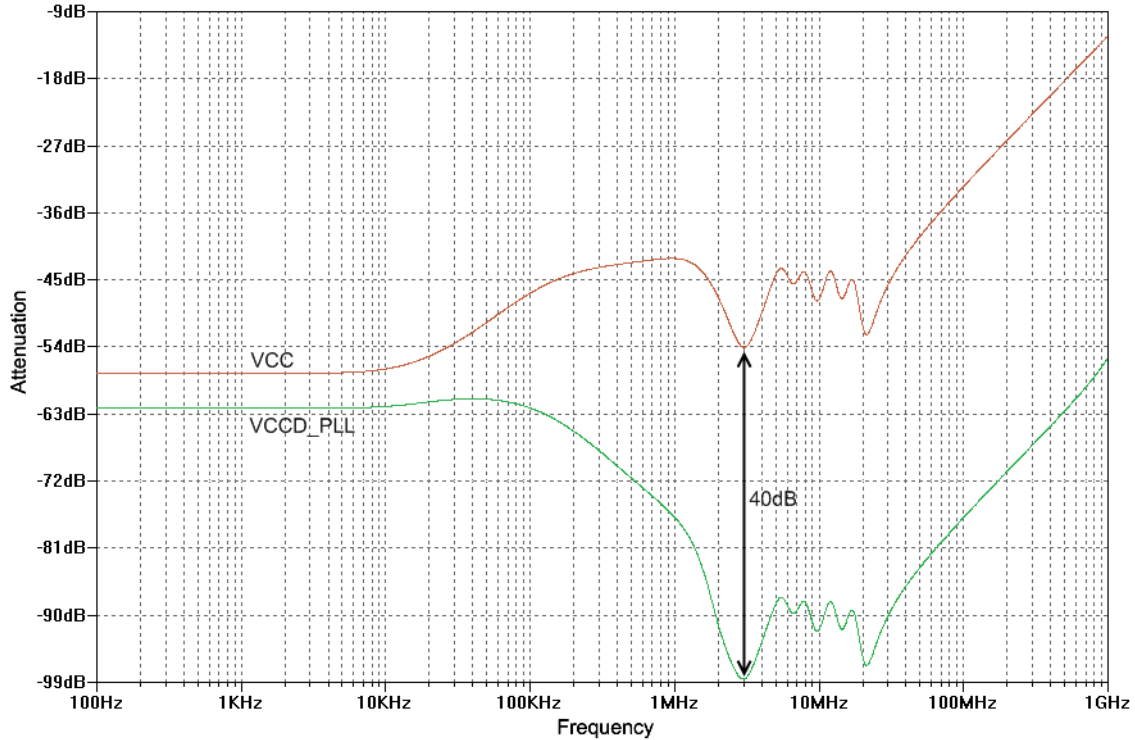
 この  $V_{CC} \sim V_{CCD\_PLL}$  の分離例の転送インピーダンスの完全な SPICE デッキについて詳しくは、[AN 583: VCC to VCCDPLL Spice Examples.zip](#) で *VCC to VCCDPLL Transfer Z Isolation Example* を参照してください。

図 10. 転送インピーダンス



このアプリケーション・ノートにおいて提示される例では、 $V_{CCD\_PLL}$  レールに特定ですが、 $V_{CCL\_GXB}$ 、 $V_{CCAUX}$ 、 $V_{CCA}$  などの Stratix IV GX および GT デバイスの他のレールは、説明される同じ分離技術および分析を利用することもできます。

## DC 電流および IR 降下の検討事項

ビーズが通過できる電流量は、そのデータシートで指定されるように、最大の DC 電流レーティングで決定されます。この最大の電流レーティングを越えると、ビーズを妨害する場合があります。しかし、ビーズのコア材料が飽和するようになると、最大の DC 定格値の以下の電流レベルはビーズが有効性を大幅に失われる場合があります。

図 11 には、変動する DC 電流のバイアス条件<sup>(4)</sup>でフェライト・ビーズのインピーダンス対周波数の曲線の例を示します。電流フローがビーズを経由して増大すると同時に、ビーズの有効インピーダンスおよび帯域幅は減少します。

図 11. IDC バイアスによるインピーダンス曲線 (注1)

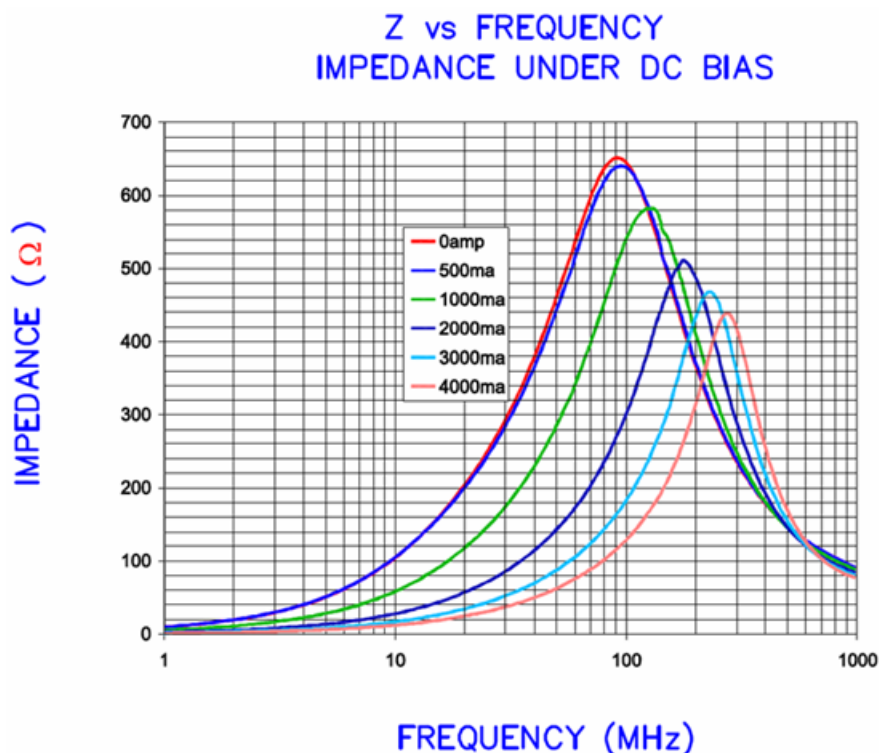


図 11 の注:

(1) Laird Technologies の許可および好意で増刷されます。

ビーズの性能のコア飽和および劣化を防止するには、ターゲット・レールの必要な電流の 2 倍より多くの DC 電流レーティングでフェライト・ビーズを選択してください。また、関連した DC IR 降下を最小化するために、低い DC 抵抗ビーズを選択します。デバイスのデータシートにおいて指定されるように、どのような電圧降下も、ターゲット電源レールに、FPGA に関する推奨動作条件の下に落ちないことを確認してください。

## PCB 構造

フェライト・ビーズを使用することへの代替方法は、2 つの分離されたパワー・プレーンを接続するための小さな誘導 PCB レイアウト構造を構築することです。この方法は、PCB 構造と関連した DC 抵抗と AC ループ・インダクタンスの慎重なモデリングと抽出を必要とします。同様に、SPICE シミュレーションは、フェライト・ビーズの代わりに構造フィルター性能を確認します。DC 抵抗は、構造のトレース・レンクスによって引き起こされる電圧降下を決定します。AC ループ・インダクタンスは、2 つの接続電源レールのための分離を提供することに役立っています。

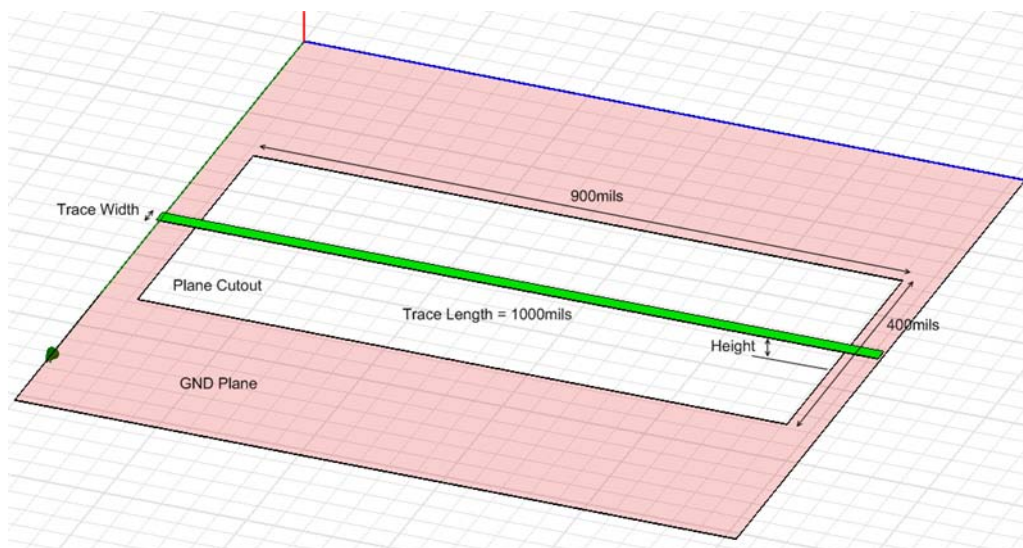
以下の例では、アルテラは Stratix IV GX  $V_{CC}$  および  $V_{CCD\_PLL}$  レールを分離するためのいくつかの PCB 構造をモデル、評価、および調整する Ansoft Q3D Extraction ソフトウェアを使用することを示します。Q3D によって、個々の構造用の DC 抵抗および AC ループ・インダクタンスが抽出されます。そして、これらの値は、SPICE で構造性能を有効にするために再生成され、以前にシミュレートされるフェライト・ビーズの性能と比較します。

## 例 1: 一直線トレースの構造

図 12 において示される一直線トレースの建築では、幅の 20 ミル、そして 1 oz 銅パワー・トレースは、考慮中の 2 つのパワー・プレーンを接続するためにフェライト・ビーズの代わりに使用されます。この建築のトレースは、約 3.7 A の電流<sup>(5)</sup>を行うことができます。予想される電流のロードを扱うようにトレースをデザインしなければなりません。直接にトレースのインダクタンスに影響するパラメータは、主としてトレース・レングス、リファレンス・プレーンからの高さ、およびトレースの下の切抜き領域のサイズです。

一般に、トレース・レングスが長ければ長いほど、トレースがリファレンス・プレーン、またはより大きなプレーンの切抜き領域から離れています。その結果、より大きな戻り電流ループ面積のため、その結果生じるトレース・インダクタンスを増大させるすべての作業が作成されます。しかし、これらのパラメータを大きくし過ぎると、ボード面積は増加されます。より良いトポロジーは、コイル・トレースを使用することです。

図 12. 一直線トレースの構造



## 例 2: コイル・トレースの構造

トレース・ループ・インダクタンスを最大化する間、ボード・スペース使用を最小化するには、図 13 に例示するようにコイル・トレース構造を使用します。コイルのどんな平行・セグメントに沿っても、コイルでの電流フローは常に同じ方向にあるため、電流キャンセルが起こらないで、最大のインダクタンスが小さな領域で達成されます。しかし、コイル構造を使用すると、トレースが異なるレイヤーに退去するために脱出が要求します。このような理由で、ビアの電流の処理を考慮してください。一般に、1 ミリのウォール・メッキがあるシングル径の 12 ミリのビアは、電流<sup>(5)</sup>の約 2.5 A を通過できます。

図 13. コイル・トレースの構造

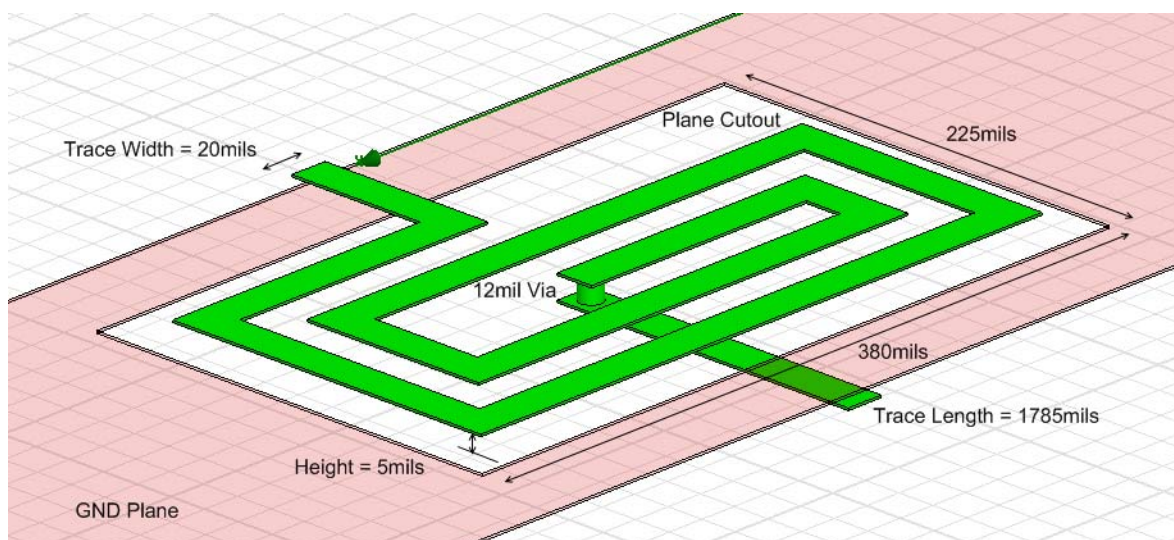


表 2 には、Q3D により抽出されるように、参考のためのプレーン切抜き領域の一直線とコイル・トレース・レングス、リファレンス・プレーンからの高さ、およびサイズの異なるケースの DC 抵抗およびトレース・インダクタンスへの効果を示しています。DC 抵抗は、表 2 に例示するように、ある特定の配線パターン幅をトレース・レングスに主に依存しています。

表 2. AC ループ・インダクタンスの比較

ケース	説明	長さ (mils)	高さ (mils)	プレーン切抜き (Xmils × Ymils)	DCR (mΩ)	インダクタンス (nH)
1	切抜きなしの短い一直線トレース	250	2.7	なし	7	3.8
2	切抜きなしの長い一直線トレース	1000	2.7	なし	29	9.1
3	増加高と切抜きなしの長い一直線トレース	1000	5	なし	29	17.5
4	増加高と小さな切抜きの長い一直線トレース	1000	5	400 × 900	29	22.4
5	増加高と大きな切抜きの長い一直線トレース	1000	5	800 × 900	31	26.1
6	切抜き付きのコイル・トレース	1785	5	225 × 380	48	26.8

## シミュレーション結果

コイル構造から Q3D 抽出される 48 mΩ の DC 抵抗および 26.8 nH の AC ループ・インダクタンスを使用すること、そしてこれらの値を前の  $V_{CC} \sim V_{CCD\_PLL}$  SPICE 例で再生成することによって、インピーダンス・プロフィール (図 14)、転送インピーダンス (図 15)、および過渡応答 (図 16) の以下の結果を取得できます。データシートで指定されるように、この 3 つの図は、構造上の DC 電圧降下はデバイスの推奨動作条件内に保持されている場合、フェライト・ビーズの代わりにコイル PCB レイアウトの構造を使用できることを示します。

図 14. コイル構造によるインピーダンス・プロフィール

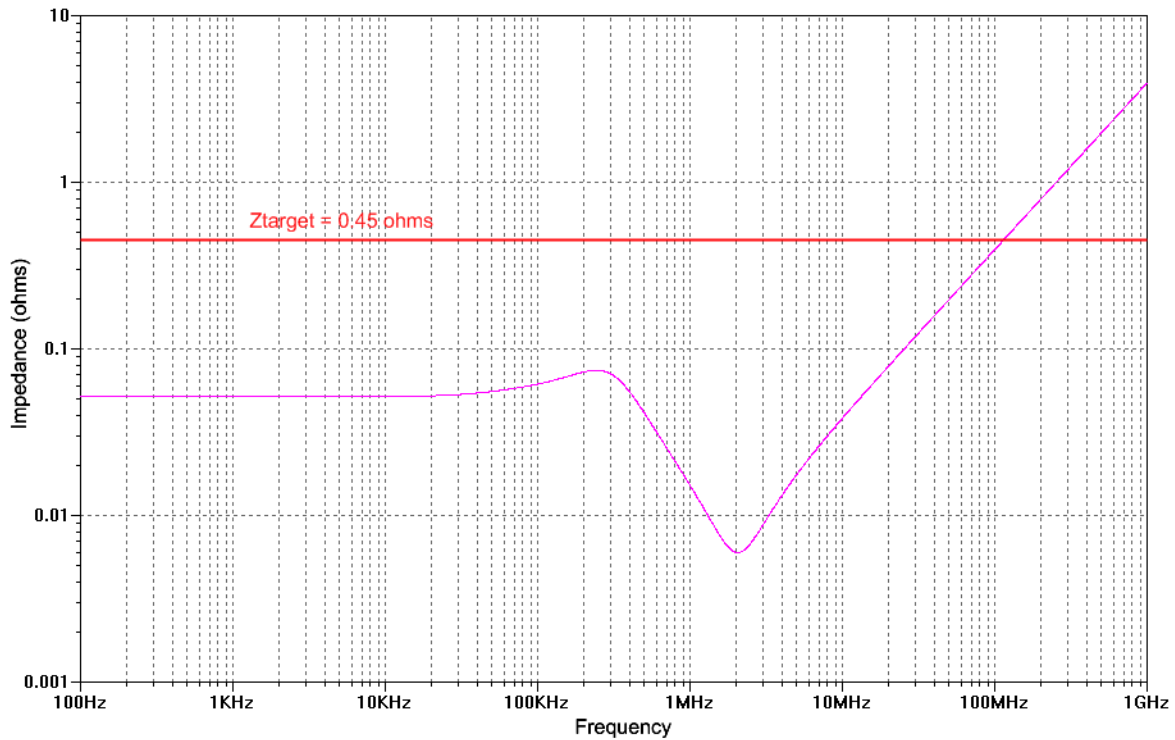


図 15. コイル構造による転送インピーダンス・プロフィール

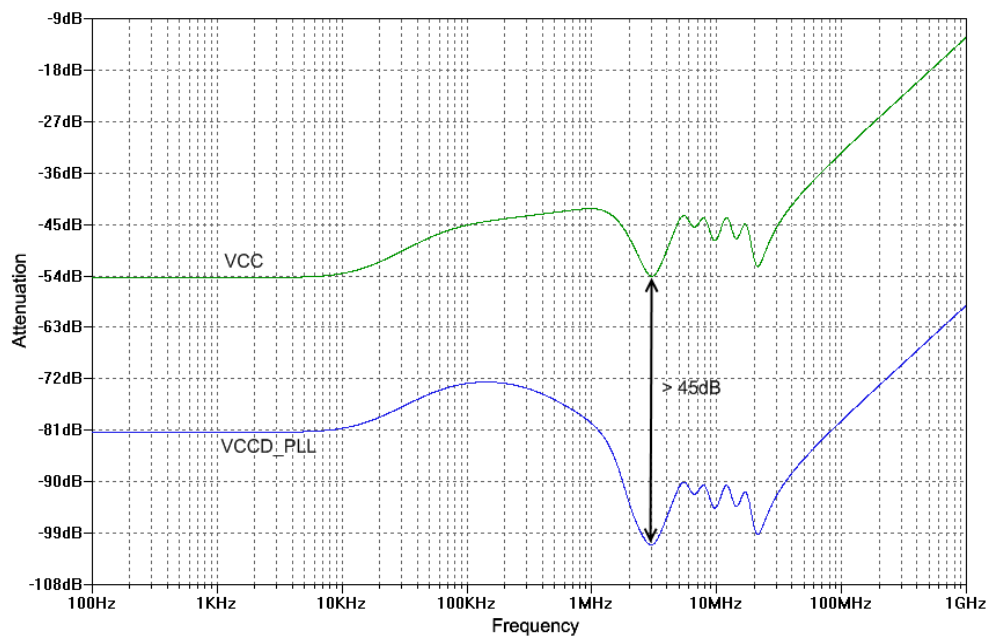
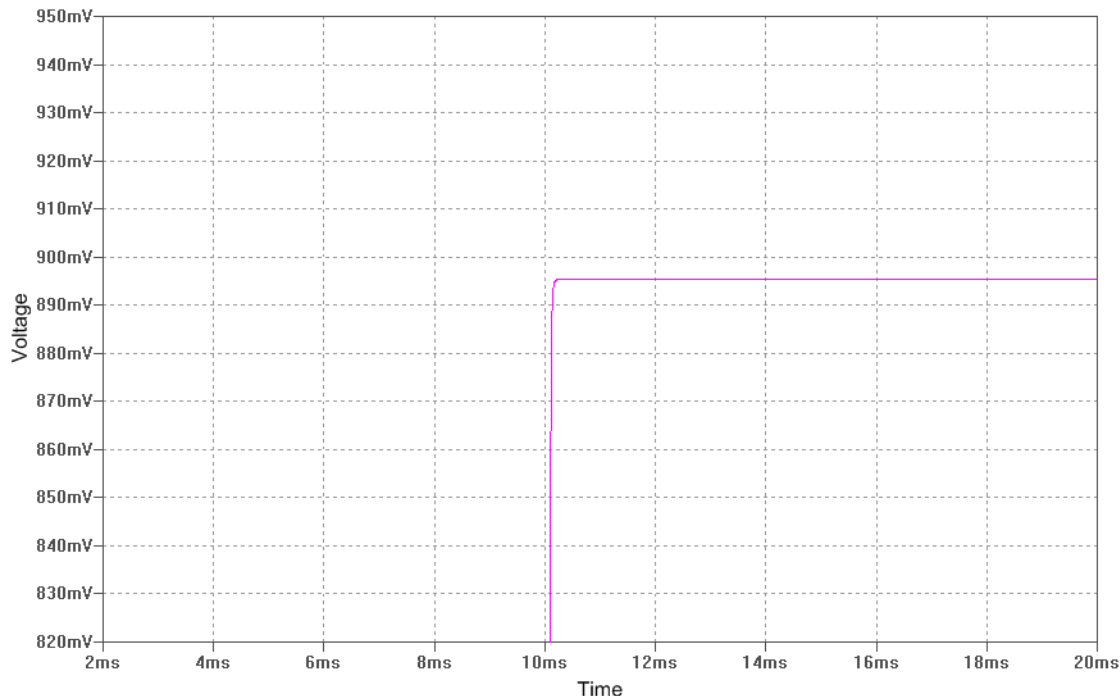


図 16. コイル構造による過渡応答



## EMC 準拠

これらの構造は、連邦通信委員会（Federal Communication Commission : FCC）および他の国際的規制機関によって課される電磁準拠（Electro-Magnetic Compliance : EMC）規則に影響を与えることができる強放射妨害波のソースである場合があります。ビアと統合されたグラウンド・プレーン間の構造をサンドイッチにすることにより、放射妨害波を保護することができます。追加の EMC 準拠シミュレーションおよびこれらの構造のテストは、アルテラにより実行されず、アプリケーション・ノートの範囲を越えてあります。

## デザインの推奨事項

アルテラでは、デザインのためには以下の方法を推奨しています。

- フィルタされたレールにより予想される必要な電流のロードを通過することができるように、フェライト・ビーズを選択するか、または PCB フィルタ構造をデザインしてください。
- コア飽和を防止するには、ターゲット電圧レールのために、予想される電流で最低 2 倍の電流レーティングがあるフェライト・ビーズを選択してください。
- DC IR 降下を低減するには、ビーズまたは PCB 構造の DC 抵抗を最小化してください。
- 電圧降下によりターゲット電源レールは、デバイスの推奨動作条件の下にならないことを確認してください。

- フェラライトまたは PCB 誘導構造によって引き起こされる反共振ピークがターゲット・インピーダンス制限に違反しないことを確認するには、SPICE または別の同様なツールを使用します。
  - 反共振違反が発生する場合、スパイクを最小化または排除するには、フィルタされるレールにバルク・デカップリング・コンデンサを追加します。
- 過大な電圧オーバーシュートまたはリングングはデバイスの違反推奨動作条件するに違反する場合があるので、PDN 回路の過渡応答を分析するために SPICE または別の同様なツールを使用します。
- 十分な減衰のために、分離された電圧レール対フィルタなしの親レールの転送インピーダンスを分析するために、SPICE または別の同様なツールを使用します。

## 結論

高性能 FPGA の Stratix IV GX および GT ファミリは、デバイス内の様々な回路ブロックに電源を投入するために、複数の電源レールを必要とします。デバイスが、最小のジッタで最大の定格性能を達成するように、一定の敏感な電源レールは非常にクリーン電源が必要です。システム・デザイン制約内のこれらの電力需要を達成するとき、共有の電源レールを分離するために、フィルタ・エレメントとしてフェライト・ビーズまたはカスタムの PCB 構造を使用できます。このアプリケーション・ノートでは、Stratix IV GX および GT ベースの PDN デザイン用のパワー・フィルタ要件を満たすように、適切なフェライト・ビーズを選択して、PCB 構造をデザインする方法を示しています。

## 参考文献

1. *Ferrite Beads*, EDN Article, October 12, 2000, Howard Johnson, Phd.
2. Five Laird Technologies、フェライト・ビーズは比較のためにプロットされます。
  - HI2220P601R-10
  - MI0805J102R-10
  - MI1206L391R-10
  - MI0603J601R-10
  - MI0603L301R-10
3. フェライト・ビーズ・モデルは LTSpice から推定されます、( [www.linear.com](http://www.linear.com))。
4. Laird Technologies、Steward HI2220P601R-10 フェライト・ビーズフェライト・データシート。
5. Saturn PCB Design Reference Toolkit v3.9, [www.saturnpcb.com](http://www.saturnpcb.com)。

## 改訂履歴

表 3 に、このアプリケーション・ノートの改訂履歴を示します。

表 3. 改訂履歴

日付およびリビジョン	変更内容	概要
2009 年 7 月	初版	—



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
Technical Support  
[www.altera.com/support](http://www.altera.com/support)

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001