

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2009 年 5 月

AN-578-1.0

概要

本資料では、アルテラの Stratix® IV GX および Stratix IV GT FPGA における CMU PLL (phase-locked loops) および ATX PLL を手動で配置する手順について説明します。デフォルトでは、アルテラの Quartus II ソフトウェアは自動的に CMU PLL および ATX PLL を配置します。

PCI Express (PIPE) x8 結合コンフィギュレーションおよび Basic x8 結合コンフィギュレーション以外に、Quartus II ソフトウェアによる CMU PLL のデフォルト配置はあらゆる結合コンフィギュレーションにとって最適ではない場合があります。デフォルトの配置をチェックして、それが Basic (PMA Direct) xN 結合デザインのスキュー要件に最適かどうかを確認します。そうでない場合、手動で CMU PLL を配置することが推奨されます。

Quartus II ソフトウェアのデフォルト配置によって、PCI Express (PIPE) x8 結合コンフィギュレーション以外のあらゆる結合コンフィギュレーションでは、ATX PLL が任意に配置されます。デフォルトの配置をチェックして、それがデザインのスキュー要件に最適かどうかを確認します。そうでない場合、手動で ATX PLL を配置することが推奨されます。

本資料では、Basic (PMA Direct) xN 結合コンフィギュレーションをシナリオ例として使用しています。Basic (PMA Direct) xN 結合コンフィギュレーションでは、スキューは重要なパラメータであり、トランスミッタ PLL (CMU PLL または ATX PLL) の位置に依存します。

Basic (PMA Direct) xN 結合コンフィギュレーションにおけるトランスミッタ PLL の配置のシナリオ例

次のセクションでは、Basic (PMA Direct) xN コンフィギュレーションにおける CMU PLL および ATX PLL の配置要件について説明します。

CMU PLL の配置要件

CMU PLL の配置要件がどのように低いレーン間スキューを実現するかを理解するには、各サイドごとに 3 つのトランシーバ・ブロックを有する Stratix IV GX デバイスを検討してみましょう。図 1 に、中央のトランシーバ・ブロックの CMU0 PLL がすべての結合チャンネルにトランシーバ・クロックを供給することを示します。

図 1. Basic (PMA Direct) xN コンフィギュレーションにおける CMU PLL の配置要件 (注 2)

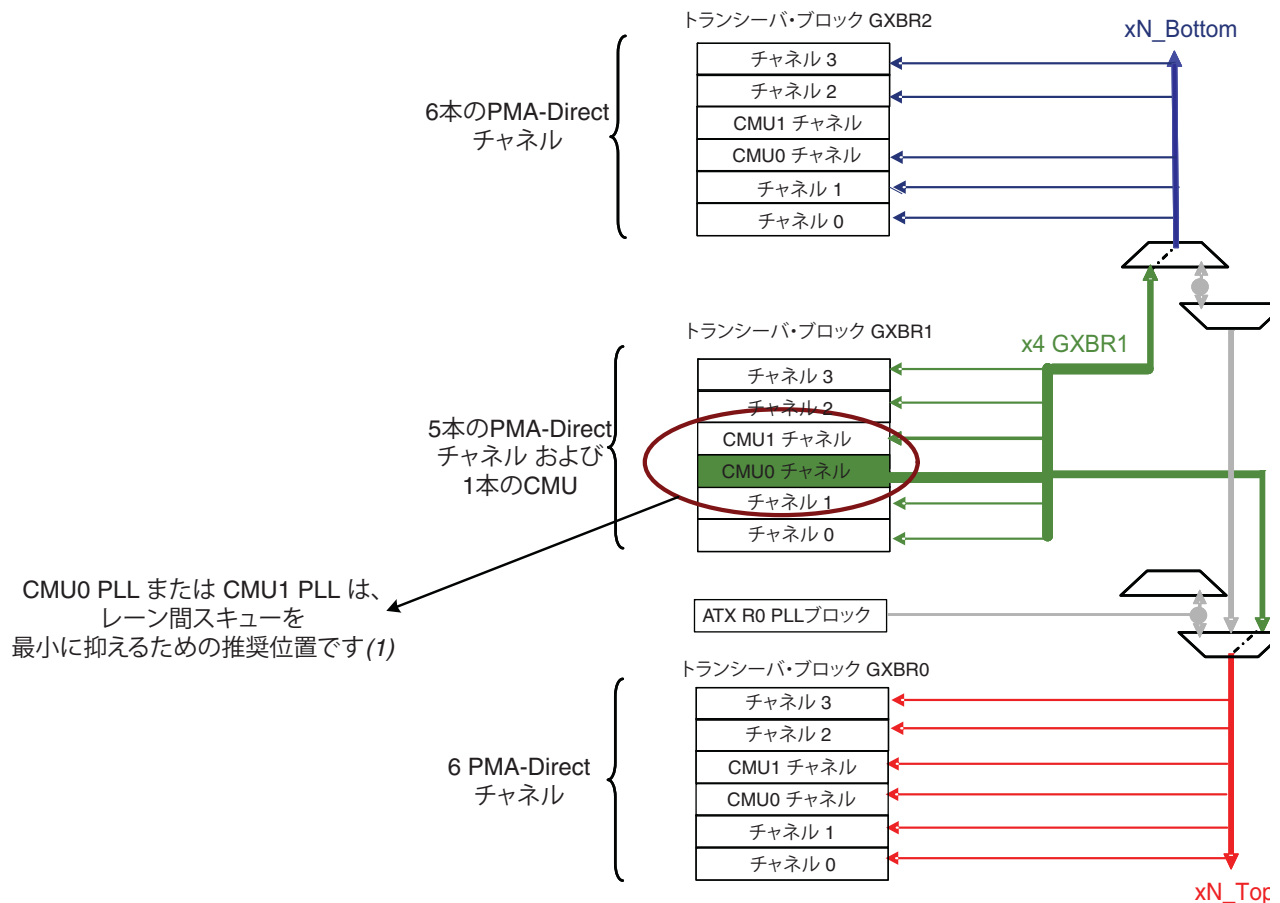


図 1 の注：

- (1) CMU0 PLL および CMU1 PLL の両方もレーン間スキューを最小にするための推奨位置ですが、図 1 に示すデザイン例では、CMU0 PLL を使用して、すべての結合チャンネルにトランスミッタ・クロックを供給します。
- (2) 図 1 に、各サイドごとに 3 つのトランスミッタ・ブロックを有する Stratix IV GX FPGA を示します。

両方向へのクロック・マルチプレクサによる等しいクロック・ネットワーク・スキューにより、低いレーン間スキューが得られます。CMU PLL の配置をチェックして、そして必要な場合は、トランスミッタ PLL を手動で中央のトランスミッタ・ブロックに配置して、レーン間スキューを減少させます。4 ページの「方法 1-XY 座標を使用」および 10 ページの「方法 2-IOBANK 情報を使用」のどちらも CMU PLL の手動配置に適用されます。

ATX PLL の配置要件

低いレーン間スキューを実現するために必要な ATXPLL 配置要件を理解するには、各サイドごとに 4 つのトランスミッタ・ブロックを有する Stratix IV GX デバイスを検討してみましょう。図 2 に、GXBR1 と GXBR2 間の ATX PLL を示します。この ATX PLL は、24 つの結合チャンネル (側全体結合) を有する Basic (PMA Direct) xN コンフィギュレーションによって、すべての結合チャンネルにトランスミッタ・クロックを供給します。

図 2. 24本のチャンネル(側全体結合)が結合した Basic (PMA Direct) xN コンフィギュレーションによる ATX PLL の配置要件 (注 1)

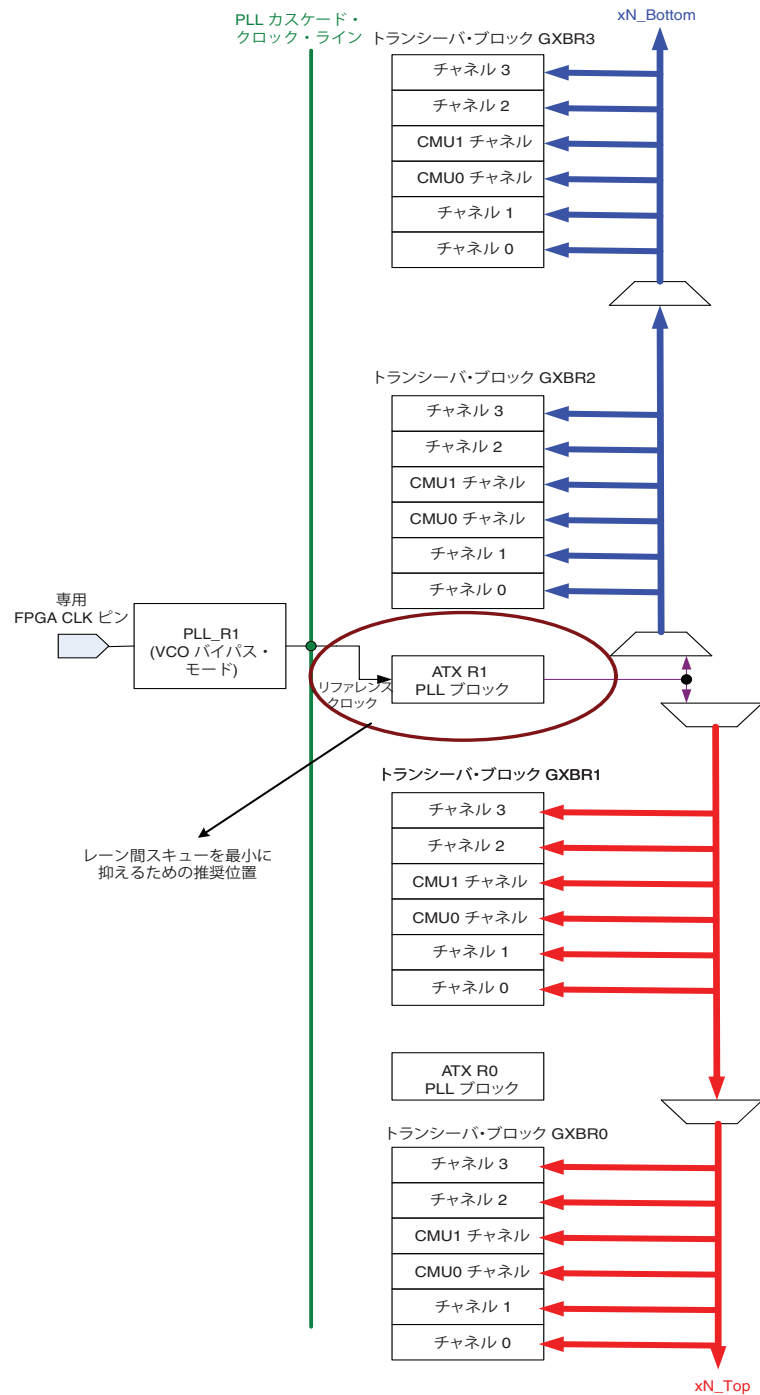


図 2 の注 :

(1) 図 2 に、各サイドごとに 4 つのトランシーバ・ブロックを有する Stratix IV GX FPGA を示します。

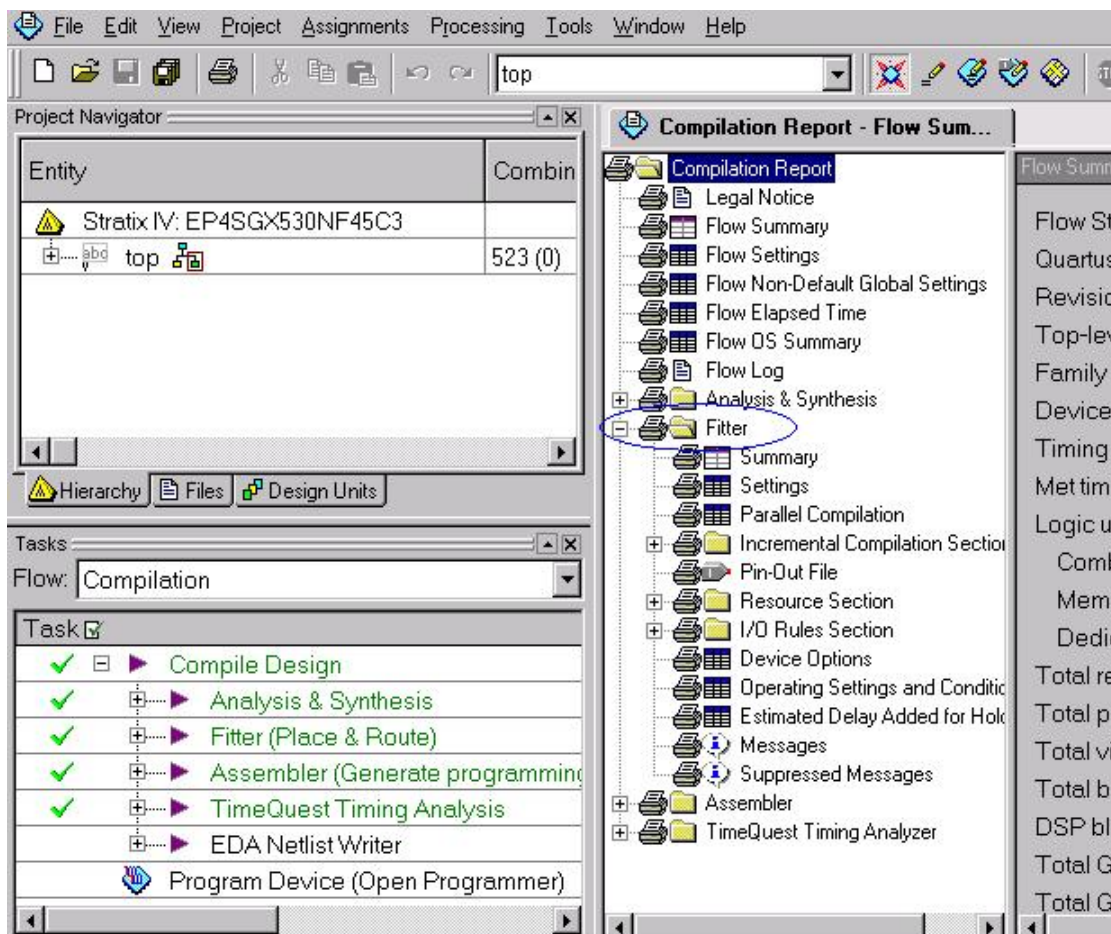
両方向へのクロック・マルチプレクサによる等しいクロック・ネットワーク・スキューにより、低いレーン間スキューが得られます。Quartus II ソフトウェアによって割り当てられたデフォルト・アサインメントをチェックします。このアサインメントがデザインのスキュー仕様に最適な場合、ATX PLL の手動配置は不要です。そうでなければ、レーン間スキューを最小にするために、手動で ATX PLL を GXBR1 および GXBR2 の間に配置することが推奨されます。方法 1 では、ATX PLL の手動配置の手順について説明します。

方法 1—XY 座標を使用

この方法は、Stratix IV GX および GT デバイス両方における CMU PLL および ATX PLL 両方の手動配置に使用できます。

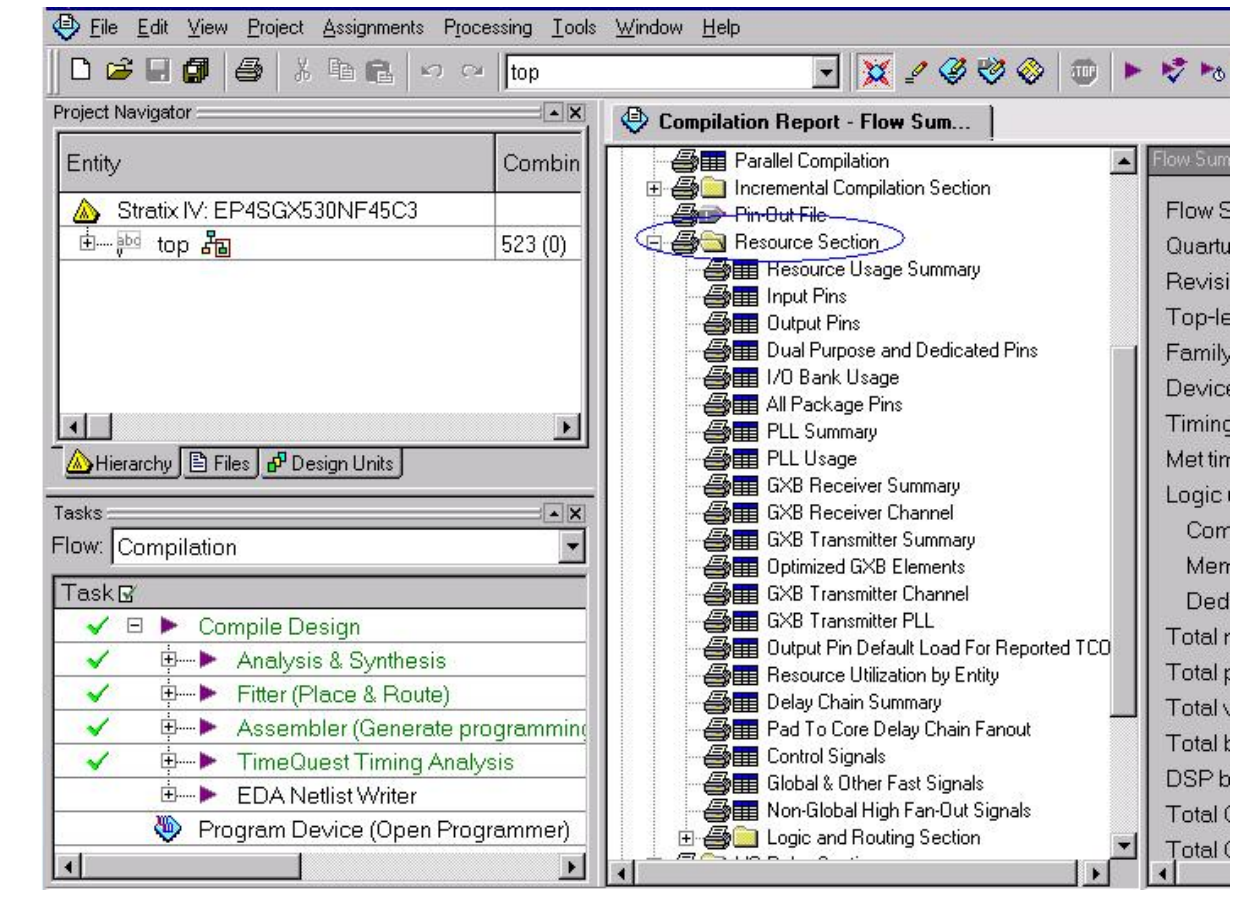
1. **Compilation Report** にある **Fitter** オプションを選択します (図 3 を参照)。

図 3. Compilation Report にある Fitter オプション



2. **Fitter** オプションから **Resource Section** を選択します (図 4 を参照)。

図 4. **Compilation Report** にある **Resource Section** オプション

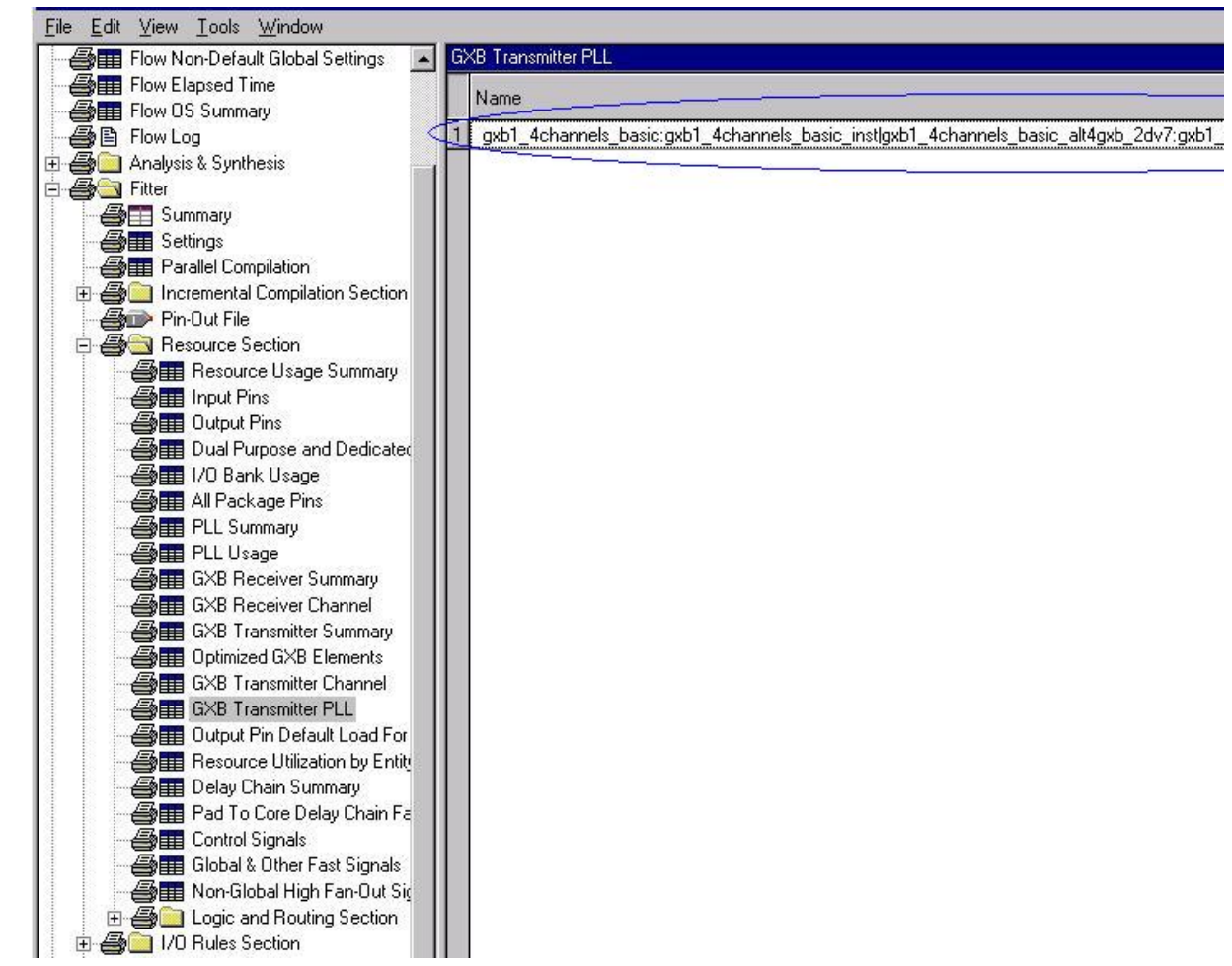


3. **Resource Section** オプションから、**GXB Transmitter PLL** を選択します（[図 5](#) を参照）。

一般的なデザインには、複数のトランスミッタ PLL がある可能性があります。**Compilation Report** では、デザインに使用された各トランスミッタのトランスミッタ PLL ノードの情報を表示します。トランスミッタ PLL に該当するノードを選択します（結合コンフィギュレーションに関連するインスタンス名に基づく）。このノード情報を記録しておいて、[ステップ 7](#)に使用します。

[図 5](#) に、1 つのトランスミッタ PLL のあるデザインの例を示します。

図 5. Compilation Report における GBX トランスミッタ PLL ノードの情報



4. **GXB Transmitter PLL** オプションで、トランスミッタ PLL のタイプを観察して、デフォルトで Quartus II ソフトウェアによってトランスミッタ PLL ノードに割り当てられた位置を記録します。トランスミッタ PLL の位置は XY 座標で表示されます。

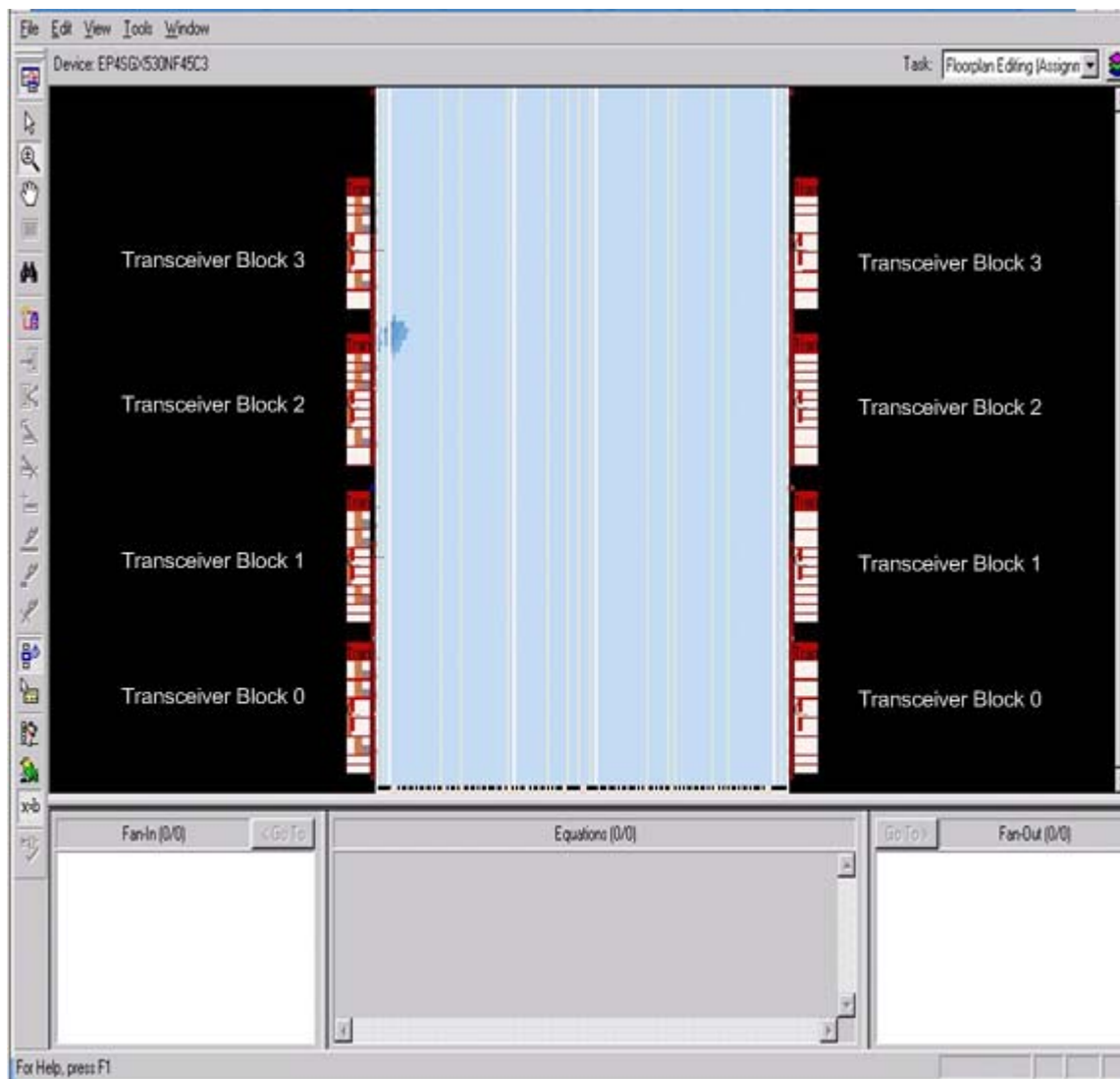
デフォルト配置がデザインに最適かどうかを確認するには、トランスミッタ PLL の位置が必要です。これは、Chip Planner におけるトランスミッタ PLL の位置をチェックすることで確認できます。この方法のステップ 5 およびステップ 6 では、Chip Planner でトランスミッタ PLL の位置を表示する方法を示します。図 6 に、Compilation Report にあるトランスミッタ PLL 位置の情報の例を示します。

図 6. Compilation Report にあるトランスミッタ PLL 位置の情報

GXB Transmitter PLL							
	Multiply By	Divide By	CRU VCO Post-Scale Divider	PLL Type	PLL Bandwidth Type	Location	Source PLL
1	5	1	4	ATX	High	HSSIPLL_X0_Y48_N135	left_right

5. **Chip Planner** を開いて、デザインにおけるトランスミッタ PLL の物理的位置を表示します。図 7 は EP4SGX530NF45C3 デバイスを例としています。

図 7. EP4SGX530NF45C3 デバイスにおける 4 つのトランシーバ・ブロックの物理的位置を示す Chip Planner

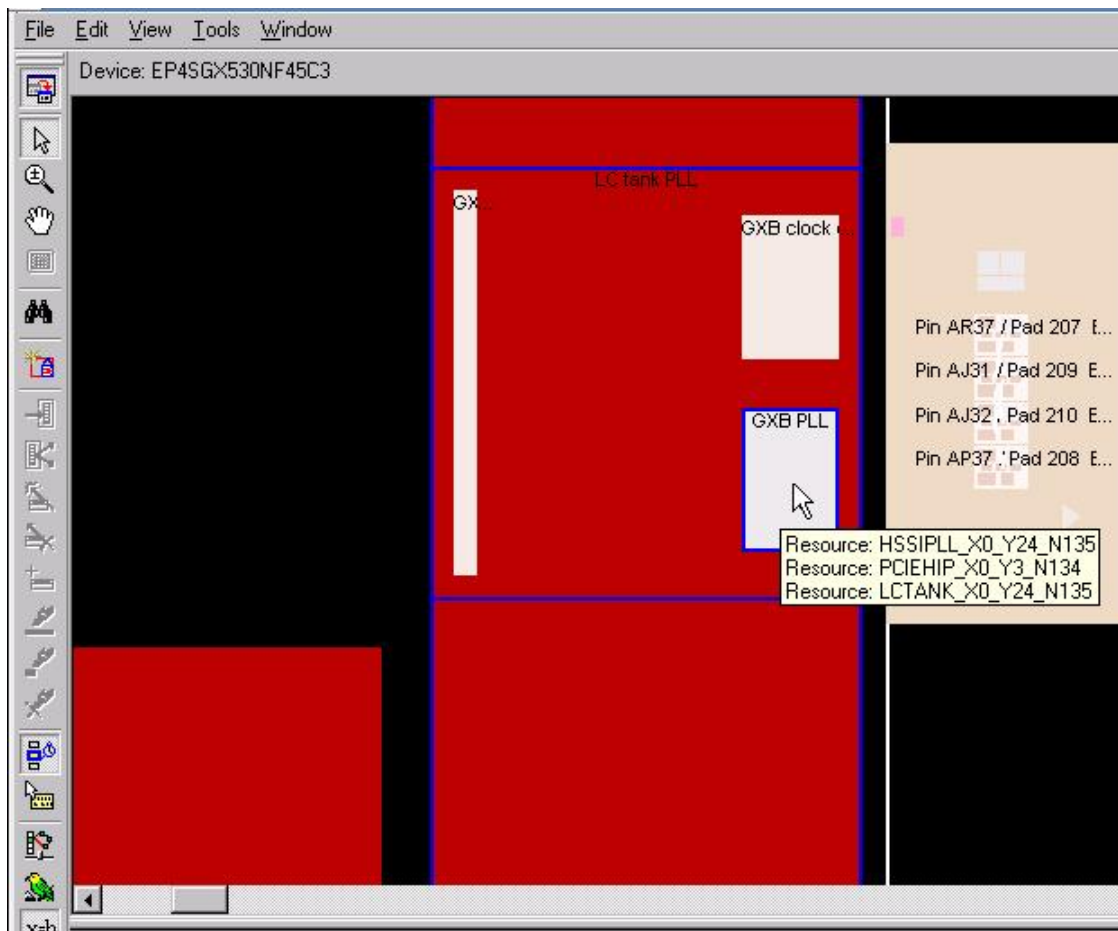


- Stratix IV GX デバイスにおけるトランスミッタの位置について詳しくは、「Stratix IV デバイス・ハンドブック Volume 2」の「[Stratix IV Transceiver Architecture](#)」および「[Stratix IV Transceiver Clocking](#)」の章を参照してください。

6. トランスミッタ PLL ブロックを拡大表示して、トランスミッタ PLL の物理的位置を観察します (図 8)。この配置は Quartus II ソフトウェアによってデフォルトで割り当てられます。X と Y の座標は、**Compilation Report** に示したものと同じです (この方法の [ステップ 4](#))。

これがデザインに望ましいトランスミッタ PLL ではない場合、Chip Planner で望ましいトランスミッタの XY 座標を指定し、[ステップ 7](#) に示すとおりに手動で位置を割り当てます。

図 8. Quartus II ソフトウェアにより自動的に割り当てられる物理的位置を示す Chip Planner



7. 手動で望ましいトランスミッタ PLL 位置を割り当てるには、下記のものがが必要です。
 - a. この方法の [ステップ 3](#) から得られたトランスミッタ PLL ノードの情報
 - b. この方法の [ステップ 6](#) から得られたトランスミッタ PLL の望ましい XY 座標
8. Quartus 設定ファイル (.qsf) を開いて、次のアサインメントを組み入れます。

```
set_location_assignment HSSIPLL_X0_Y48_N135 -to
"gxb1_4channels_basic:gxb1_4channels_basic_inst|gxb1_4channels_basi
c_alt4gxb_lev7:gxb1_4channels_basic_alt4gxb_lev7_component|tx_pll"
```

ここで、**HSSIPLL_X0_Y48_N135** は望ましいトランスミッタ PLL の XY 座標を含みます。

9. デザインをコンパイルします。Chip Planner で、この方法の **ステップ 7** によって手動で割り当てたトランスミッタ PLL がトランスミッタ PLL ノードに割り当てたトランスミッタ PLL の XY 座標に一致することを確認します。


方法 2—IOBANK 情報を使用

この方法は、Stratix IV GX および GT デバイスにおける CMU PLL にのみ使用可能です。方法 1 と方法 2 の相違点は、方法 1 では **.qsf** が望ましいトランスミッタ PLL の XY 座標を必要とするのに対して、方法 2 では **.qsf** がトランスミッタ PLL に存在する各トランシーバ・ブロックに関連する IOBANK 情報を必要とすることです。表 1 に、Chip Planner におけるトランシーバ・ブロックの IOBANK 情報のレイアウトを示します。

表 1. Chip Planner における IOBANK 情報

デバイスの左側	デバイスの右側
IOBANK_QL3 (トップ)	IOBANK_QR3 (トップ)
IOBANK_QL2	IOBANK_QR2
IOBANK_QL1	IOBANK_QR1
IOBANK_QL0 (ボトム)	IOBANK_QR0 (ボトム)

1. 4 ページの **図 3** に示すように、**Compilation Report** にある **Fitter** オプションを選択します。
2. 5 ページの **図 4** に示すように、**Resource Section** オプションを選択します。
3. **GXB Transmitter PLL** オプションを選択します。

 トランスミッタ PLL ノードの情報を取得した後、6 ページの **図 5** に示すように、望ましい CMU PLL のトランシーバ・ブロック情報を **.qsf** にあるトランスミッタ PLL ノードに割り当てることができます。この方法の **ステップ 4** では、IOBANK ベース・アサインメントについて説明します。

4. CMU PLL 位置を手動で割り当てるには、下記のものがが必要です。
 - a. **ステップ 3** で得られたトランスミッタ PLL ノードの情報
 - b. 望ましい CMU PLL トランシーバ・ブロック（および IOBANK）の情報
5. **.qsf** を開いて、次のアサインメントを組み入れます。

```
set_location_assignment IOBANK_QL1 -to
"gxb1_4channels_basic:gxb1_4channels_basic_inst|gxb1_4channels_basi
c_alt4gxb_nsv7:gxb1_4channels_basic_alt4gxb_nsv7_component|tx_pll"
```

ここで、**IOBANK_QL1** は望ましい CMU PLL のトランシーバ・ブロック情報を含みます。

6. デザインをコンパイルします。Chip Planner で、**ステップ 4** によって手動で割り当てた CMU PLL がトランスミッタ PLL ノードに割り当てた CMU PLL の XY 座標に一致することを確認します。

まとめ

場合によって、Quartus II ソフトウェアは、デザインのスキュー要件を考慮してトランスミッタ PLL を自動的に配置することができない場合があります。したがって、CMU PLL および ATX PLL の手動配置が必要かどうかを判断する必要があります。その必要がある場合、このアプリケーション・ノートで述べた手順に従ってください。

参考資料

- 「Stratix IV デバイス・ハンドブック Volume 2」の「[Stratix IV Transceiver Clocking](#)」の章
- 「Stratix IV デバイス・ハンドブック Volume 2」の「[Stratix IV Transceiver Architecture](#)」

改訂履歴

表 2 に、このアプリケーション・ノートの改訂履歴を示します。

表 2. 改訂履歴

日付およびバージョン	変更内容	概要
2009 年 5 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Technical Support
www.altera.com/support

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before

