

## はじめに

アルテラの Stratix® IV ファミリのデバイスは、0.9 V、40 nm プロセス・テクノロジーをベースとしています。Stratix IV FPGA は、ハイエンド・アプリケーション向けに高レベルの性能と電力効率を提供します。Stratix IV デバイスの革新的なアーキテクチャは、さまざまなプロセス、回路、アーキテクチャの最適化および技術革新によって最大限の省電力が実現できるように最適化されています。Stratix IV デバイスの先進的なアーキテクチャは、トリプル・ゲート酸化膜、全層銅配線および低誘電率材料の使用を特長とし、大幅な電力低減と性能改善を実現しています。Stratix IV デバイスは、アダプティブ・ロジック・モジュール (ALM) と呼ばれる高度な効率的ロジック構造を内蔵し、消費電力を最小限に抑えながら最大の性能を発揮します。

アルテラは Quartus® II PowerPlay Power Analyzer ツールを用意しており、高速かつ正確な消費電力の見積りを提供することによりユーザーのデザイン・プロセスを支援します。ユーザーは、この情報を利用して、現在のデザインで電力を最も多く消費しているブロックを特定し、これらのブロックを対象にそのデザインの消費電力を最小限に抑えることができます。



PowerPlay Power Analyzer について詳しくは、「Quartus II ハンドブック Volume 3」の「[PowerPlay による電力解析](#)」の章を参照してください。

## 低消費電力の ためのデザ イン

FPGA の全消費電力は、I/O 電力、コア・スタティック電力、およびコア・ダイナミック電力から構成されます。このアプリケーション・ノートでは、Stratix IV デバイスのコア・ダイナミック電力およびコア・スタティック電力の低減に役立つデザイン最適化のオプションおよび手法を中心に説明します。これらの手法には、次のものがあります。

- [プログラマブル・パワー・テクノロジー](#)
- [デバイス選択の検討事項](#)

このアプリケーション・ノートでは、これらの電力最適化手法について詳しく説明し、これらの手法を効果的に使用する方法に関する情報を提供します。



デザイン・レベルで変更を行うことによって現在のデザインの消費電力をさらに低減できる低消費電力デザイン手法について詳しくは、「Quartus II ハンドブック Volume 2」の「[電力最適化](#)」の章を参照してください。

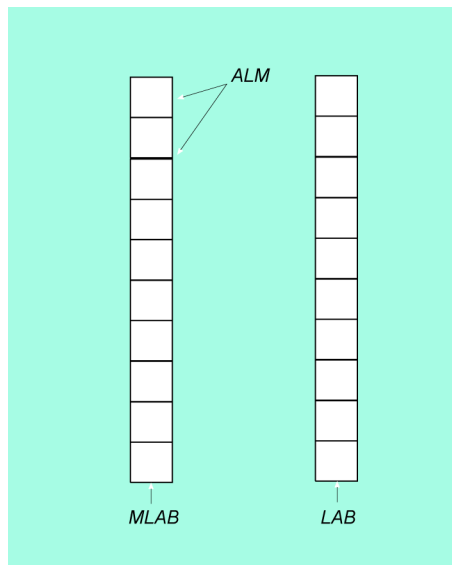
## プログラマブル・パワー・テクノロジー

プログラマブル・パワー・テクノロジーによって、高速モードまたは低消費電力モードのコンフィギュレーション用に Stratix IV コア・ロジックをタイル・レベルでプログラムすることができます。タイルは以下のように定義されます。

- LABとMLABペアの組み合わせ(図1に示すように、LABとMLABに関連する隣接する配線を含む)
- DSP ブロック
- メモリ・ブロック

タイルは、高速モードまたは低消費電力モードで動作するようにコンフィギュレーションすることができます。

図1. プログラマブル・パワー・テクノロジーのタイル表示



デザインのクリティカル・タイミング・パス内にあるタイルは、タイミング要件を満たすように高速モードにコンフィギュレーションされます。その他のタイルは低消費電力モードにコンフィギュレーションされます。高速モードのタイルを使用する回路は少数です。その他のタイルは低消費電力モードとしてコンフィギュレーションされ、低消費電力モード・ロジックのスタティック消費電力が大幅に低減されます。



外部メモリ・インタフェース回路、PLL、および SERDES/DPA ブロックは、低消費電力モードにコンフィギュレーションすることはできません。メモリおよび DSP ブロックは、使用していないときにのみ低消費電力モードにコンフィギュレーションされます。

Quartus II ソフトウェアは、そのデザインで指定されたタイミング制約に基づいて、どのタイルが高速モードで動作し、どのタイルが低消費電力モードで動作するかを自動的に制御します。**Fitter Settings** ダイアログ・ボックスに用意されている **PowerPlay 消費電力最適化オプション** (図 2) によって、高速モードまたは低消費電力モードでのタイルのコンフィギュレーション、およびフィッタ・レベルで組み込まれるその他の消費電力最適化手法を制御します。最小限の消費電力を達成するために、デザインに現実的なタイミング制約を指定する必要があります。デザインの性能目標を達成した後、フィッタは特殊な処理を行ってデザインの消費電力を低減します (ユーザーがそのように指示した場合)。

図 2. Fitter Settings ダイアログ・ボックス

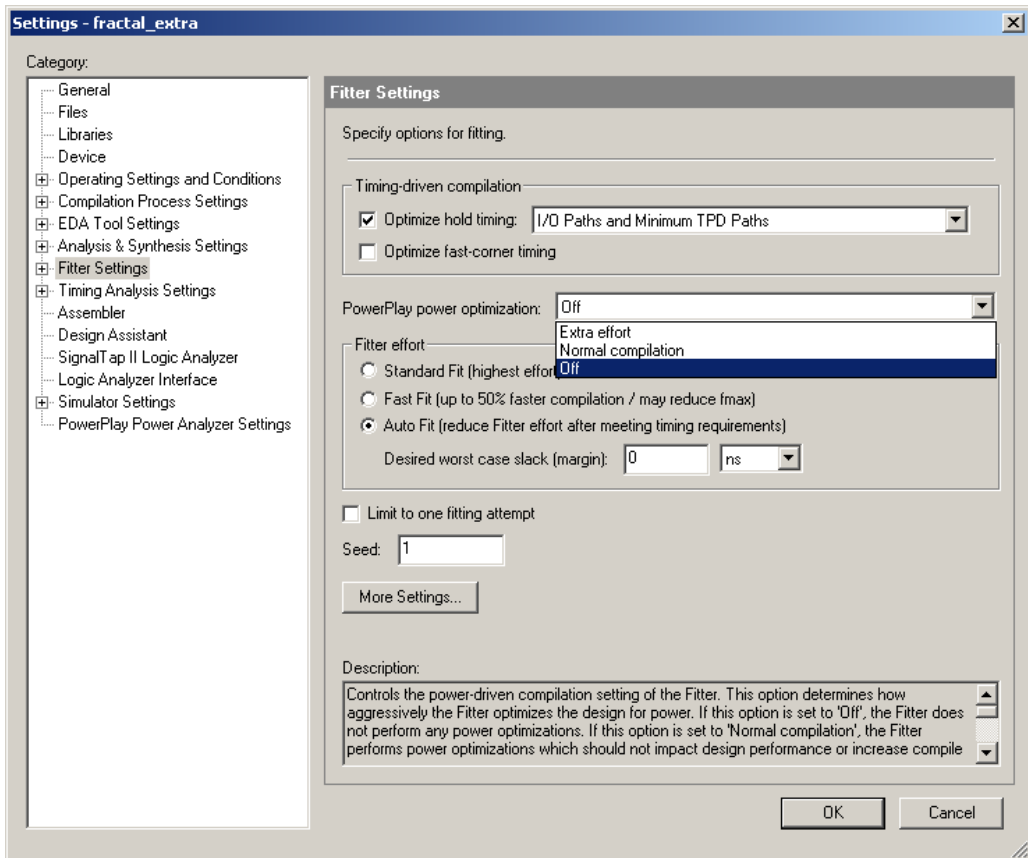


表 1 に、**PowerPlay 消費電力最適化** オプションの設定を示します。これらの設定はプロジェクト全体でのみ適用可能です。フィッタの **Extra effort** 設定では、デザインの電力を最適化するための多大な作業が必要で、コンパイル時間が延びる可能性があります。

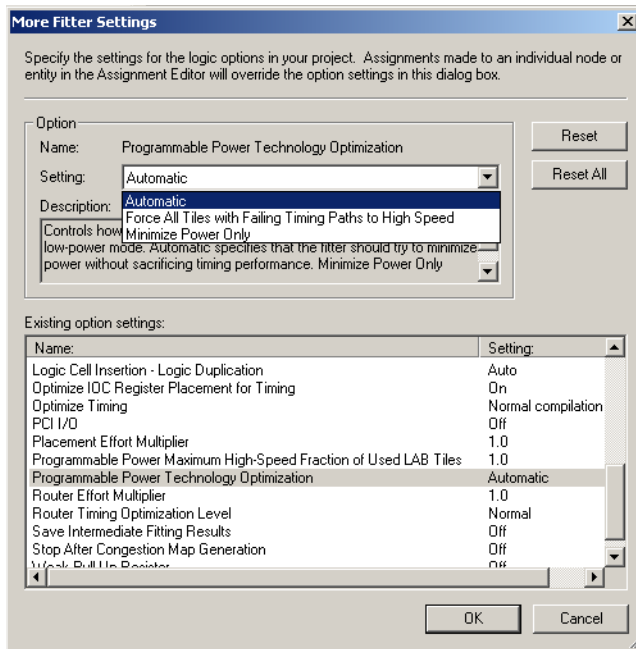
設定	説明
<b>Extra effort</b>	配置および配線の最適化により消費電力を最小限に抑えるために、多くの労力を要する計算アルゴリズムが適用されます。性能の最大化に影響する可能性があります。
<b>Normal compilation</b> (デフォルト)	配置および配線の最適化により消費電力を最小限に抑えるために、デザイン性能の低下が予想されない限り、労力をあまり必要としない計算アルゴリズムが適用されます。
<b>オフ</b>	消費電力を最小化するためにネットリスト、配置、または配線の最適化は行われません。

デフォルトでは **Normal compilation** の設定が選択され、それぞれのタイルは、そのデザインで入力されたタイミング制約に基づいて高速モードまたは低消費電力モードにコンフィギュレーションされます。デザインのクリティカル・パスが特定され、これらのクリティカル・パスに沿ったタイルは、タイミング制約を満たすように高速モードのタイルとしてコンフィギュレーションされます。その他のタイルは、デザイン全体の消費電力を低減するために低消費電力モードにコンフィギュレーションされます。

**Extra effort** の設定では、フィッティング中に **Normal compilation** の設定の機能およびその他の配置配線の最適化が実行され、消費電力についてデザインが完全に最適化されます。フィッタは、配置中にロジックを効果的に接近させ、トグル率の高いネットを集中配置するとともに、キャパシタンスの低い経路を使用することによって、タイミング要件が満たされた後でも、特殊な処理を使用して消費電力を最小限に抑えます。また、より多くの高速モード・タイルを低消費電力モード・タイルにコンフィギュレーションすることで消費電力を低減しようとします。ただし、この特殊な処理のためにコンパイル時間が長くなる場合があります。

高速モードおよび低消費電力モード・タイルのコンフィギュレーションを制御するもう 1 つの方法は、図 3 に示すように、**More Fitter Settings** ダイアログ・ボックス内の **Existing option settings** ボックスに設けられている **Programmable Power Technology Optimization** および **Programmable Power Maximum High-Speed Fraction of Used LAB Tiles** オプションをイネーブルすることです。

図 3. プログラマブル・パワー・テクノロジー最適化の設定



**Programmable Power Technology Optimization** オプションで使用できる設定は、**Automatic**、**Force All Tiles with Failing Timing Paths to High Speed**、および **Minimize Power Only** です。**Automatic** はデフォルトの設定で、表 1 に記載されているとおり、フィッタがパワー・ドリブン・フィッタのオプションを使用するように指定します。**Force All Tiles with Failing Timing Paths to High Speed** 設定では、タイミングに問題のあるパスを持つすべてのタイルが高速に設定されます。デフォルト設定の **Automatic** では、このような問題のあるパスがデザインの中でどのクロックの速度にも影響を与えない場合、タイルは低消費電力に設定されるため、デザインのいくつかのパスがタイミングを満たさない可能性があります。**Force All Tiles with Failing Timing Paths to High Speed** 設定では、タイミングに問題のあるパスを持つすべてのタイルが高速に設定されるため、タイミング・クロージャ時に役立ちます。

**Minimize Power Only** 設定は、フィッタが、最大限の数のタイルを低消費電力モードで動作させるように設定することを指定します。この設定はデザインの性能に影響を及ぼす場合がありますが、最大の省電力が得られます。

**Programmable Power Maximum High-Speed Fraction of Used LAB Tiles** オプションのデフォルト設定は 1.0 です。このオプションは、デザインの中で使用できる高速タイル数の（割合の）制限値を設定します。この値を 1.0 に設定すると、高速タイルの数の制約はなくなり、フィッタはデザインのタイミング要件を満たすために必要な最小数を使用します。1.0 よりも小さい値を指定すると、タイミングが重要なリソースのいくつかが強制的に低消費電力モードにされる可能性があるため、タイミング品質が低下することがあります。

## フィッタ・レポート

**Compilation Report** のフィッタ・レポートの項に、デザインで使用される低消費電力モード・タイルおよび LAB タイルの数についての詳細情報が示されます。**Fitter Resource Usage Summary** には、Stratix IV デバイスのプログラマブル・パワー・テクノロジー低消費電力タイル、プログラマブル・パワー・テクノロジー高速タイル、プログラマブル・パワー・テクノロジー低消費電力 LAB タイル、およびプログラマブル・パワー・テクノロジー高速 LAB タイルの使用量情報が示されます (図 4)。この情報は、デザインで使用される実際の低消費電力モード・タイルおよび LAB タイルのほか、Quartus II ソフトウェアによって自動的に低消費電力モードにコンフィギュレーションされた未使用タイルおよび LAB タイルにさらに区分されます。

図 4. Fitter Resource Usage Summary

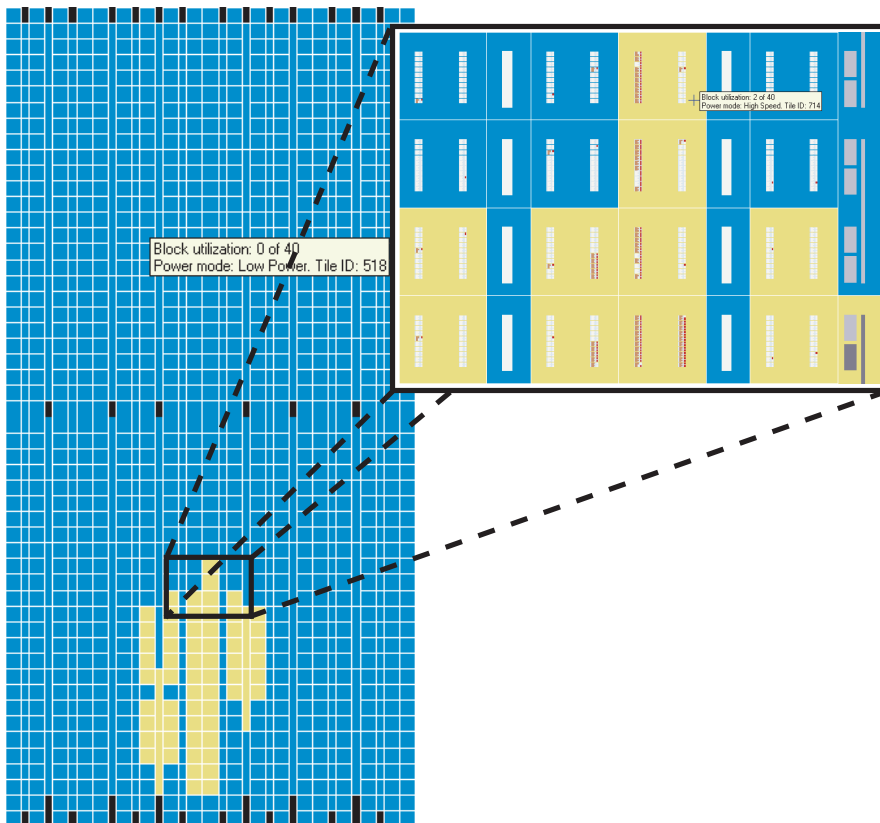
Fitter Resource Usage Summary		
Resource	Usage	
65	Impedance control blocks	0 / 10 ( 0 % )
66	Average interconnect usage (total/H/V)	1% / 1% / 1%
67	Peak interconnect usage (total/H/V)	30% / 29% / 31%
68		
69	Programmable power technology low-power tiles	11,839 / 12,096 ( 98 % )
70	-- low-power tiles that are used by the design	2,789 / 11,839 ( 24 % )
71	-- unused tiles (low-power)	9,050 / 11,839 ( 76 % )
72	Programmable power technology high-speed tiles	257 / 12,096 ( 2 % )
73		
74	Programmable power technology low-power LAB tiles	10,367 / 10,624 ( 98 % )
75	-- low-power LAB tiles that are used by the design	2,789 / 10,367 ( 27 % )
76	-- unused LAB tiles (low-power)	7,578 / 10,367 ( 73 % )
77	Programmable power technology high-speed LAB tiles	257 / 10,624 ( 2 % )
78		
79	Maximum fan-out node	CLK~inputclkctrl
80	Maximum fan-out	1120
81	Highest non-global fan-out signal	multaccum2:inst5[altmult_accum:altmult_accum_compon
82	Highest non-global fan-out	136
83	Total fan-out	52765
84	Average fan-out	3.59

\* Register count does not include registers inside block RAM or DSP blocks.

## Chip Planner 表示

Quartus II ソフトウェアの Chip Planner ツールによって、Stratix IV デザインに実装された高速モードおよび低消費電力モードのタイルを表示することができます。Chip Planner を起動するには、Tools メニューの **Chip Planner (Floorplan and Chip Editor)** をクリックします。**Layer set** オプションの下で **Power Analysis (Assignment)** モード・ビューを設定すると、デザイン実装の階層ビューが得られます。この表示では、そのデザインで使用される高速モードと低消費電力モードのタイルが異なる色で表示されるため、容易に識別することができます (図 5)。

図 5. Power Analysis (Assignment) モードによる Chip Planner 表示



カーソルをこのレベルのリソース上に置くと、そのタイルの電力モードを説明するツールチップが表示されます。また、Chip Planner により、設計者は配置配線を実行した後、Altera® デバイスの内部構造を表示し、ロジック・エレメント (LE) および I/O セル・コンフィギュレーションをインクリメンタルに編集することができます。

## ダイナミック にコントロールされた On-Chip Termination (チップ内 終端)

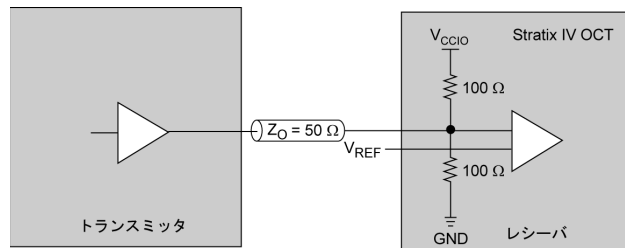


Chip Planner ツールについて詳しくは、「Quartus II ハンドブック Volume 2」の「Engineering Change Management with the Chip Planner」の章を参照してください。

Stratix IV FPGA は、ダイナミックな On-Chip Termination (OCT) を提供します。ダイナミック OCT によって、直列終端 (RS) と並列終端 (RT) が可能になり、データ転送中にダイナミックにオン/オフすることができます。この機能は、Stratix IV FPGA を DDR メモリとのインタフェースなどの外部メモリ・インタフェースとともに使用する場合に特に役立ちます。

ダイナミック OCT では、並列終端でデータ転送時に消費される一定の DC 電力がなくなるため、従来の終端と比べて消費電力が大幅に低減されます。並列終端は、HSTL や SSTL などの I/O 規格を使用する外部メモリとインタフェースするアプリケーションに非常に有用です。並列終端は、ダイナミック OCT をサポートしており、双方向インタフェースに有効です (図 6)。

図 6. Stratix IV の並列 On-Chip Termination



並列 On-Chip Termination を使用した DDR3 インタフェースの省電力の例を以下に示します。

並列 OCT で消費されるスタティック電流は、 $V_{CCIO}$  電圧を  $100 \Omega$  で割った値に等しくなります。SSTL-15 を使用した DDR3 インタフェースの場合、スタティック電流は、ピンあたり  $1.5 \text{ V} \div 100 \Omega = 15 \text{ mA}$  です。したがって、スタティック消費電力は  $1.5 \text{ V} \times 15 \text{ mA} = 22.5 \text{ mW}$  になります。72 個の DQ ピンと 18 個の DQS ピンを備えたインタフェースの場合、スタティック消費電力は  $90 \text{ ピン} \times 22.5 \text{ mW} = 2.025 \text{ W}$  です。ダイナミック並列 OCT は書き込み動作中のみ並列終端をディセーブルするので、書き込みが 50% の時間行われる場合、ダイナミック並列 OCT によって削減される消費電力は  $50\% \times 2.025 \text{ W} = 1.0125 \text{ W}$  になります。



Stratix IV デバイスのダイナミック OCT について詳しくは、「Stratix IV デバイス・ハンドブック」の「[Stratix IV デバイスの I/O 機能](#)」の章を参照してください。

## デバイス選択の検討事項

電力特性はデバイス・ファミリーごとに異なります。デバイス・ファミリーの消費電力には、プロセス・テクノロジーの選択、電源電圧、電氣的デザイン、デバイス・アーキテクチャなど、多くのパラメータが影響します。これらのパラメータに加えて、Stratix IV ファミリー・デバイスの消費電力は、スピード・グレードの選択によっても影響を受けます。スピード・グレードは、各デバイスの相対的な速度を示します。値が小さいほど、デバイスは高速になります。例えば、スピード・グレードが -2 のデバイスは最も高速、-3 のデバイスは中速、-4 のデバイスは最も低速です。Stratix IV デバイスの場合、より高速なスピード・グレードのデバイスを選択すると、デザインの性能が向上し、スタティック消費電力が低下する場合があります。このレベルの節電は、プログラマブル・パワー・テクノロジーを使用して、より高速なスピード・グレードのデバイスのタイミングを満たすのに必要な高速モードのタイル数を減らすことで達成されます。

より高速なスピード・グレードのデバイスは、さまざまな状況で有利になる可能性があります。例えば、中スピード・グレードの Stratix IV デバイスでデザインをコンパイルし、高速タイルを 20% 使用して性能目標を達成する場合、より高速なスピード・グレードのデバイスを選択することで、デザインの消費電力をさらに低減できます。より高速なスピード・グレードのデバイスを使用すると、性能要件を満たし、中スピード・グレードのデバイスよりも使用する高速モードのタイルの数を減らすことができるため、デザインの全消費電力が減少します。



選択した Stratix IV デバイスで低い動作電圧を選択することによって、性能および消費電力の要件を満たす場合は、より高速なスピード・グレードのデバイスに移行する必要はありません。ただし、最低電力が絶対に必要な場合、より高速なスピード・グレードのデバイスに移行すると性能が向上し、可能な最低消費電力が達成されます。

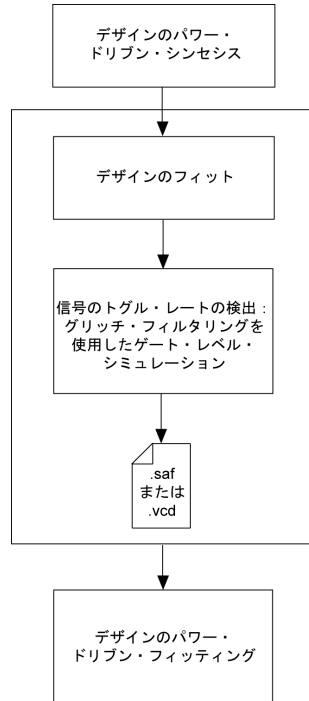


デバイス選択の検討事項について詳しくは、「Quartus II ハンドブック Volume 2」の「[PowerPlay による電力解析](#)」の章を参照してください。

## Quartus II PowerPlay 消費電力最適 化フロー

Quartus II ソフトウェアを使用したコンパイル時に、デザインの消費電力を完全に最適化するために推奨されるデザイン・フローを図 7 に示します。このフローでは、Quartus II ソフトウェアで選択可能なパワー・ドリブン・コンパイルのオプションが使用されています。

図 7. パワー・ドリブン・コンパイルに推奨されるデザイン・フロー



パワー・ドリブン・コンパイルは、合成レベルおよびフィッタ・レベルで実行されます。パワー・ドリブン・シンセシスでは、デザインの電力を最適化するために合成ネットリストが変更されます。パワー・ドリブン・シンセシスの設定により、合成時にメモリの最適化と電力を意識したロジック・マッピングが実行されます。パワー・ドリブン・フィッタ (**Extra effort** 設定) は、「プログラマブル・パワー・テクノロジ」の項で説明するように、配置配線の最適化を実行し、フィッティング時に高速モードまたは低消費電力モードのタイル・コンフィギュレーションを制御して、デザインの電力を完全に最適化します。



パワー・ドリブン・コンパイルおよび低消費電力デザイン手法について詳しくは、「Quartus II ハンドブック Volume 2」の「消費電力の最適化」の章を参照してください。

デザインの各信号の正確なトグル・レート・データ情報は、配置配線時にデザインの電力を最適化するのに重要です。パワー・ドリブン・フィッターは、この情報を使用し、フィッティングを行い、デザインの信号動作情報に基づいてデザインの電力を最適化します。正確な信号動作ほど、フィッティング時に消費電力を最適化できます。供給される入力ベクタが標準的なデザイン動作を表している場合、すべてのノード・アクティビティが実際のデザイン動作を反映するため、フィッティング後の完全なネットリスト（タイミング）シミュレーションでの信号動作が最も精度が高くなります。フィッティング後のシミュレーションの信号動作情報を使用するには、デフォルト設定（**Normal compilation**）でデザインをコンパイルする必要があります。ゲート・レベルのシミュレーションを使用してデザインをシミュレーションし、デザインの信号動作ファイル（**.saf** または **.vcd**）を生成します。図 7 に示すように、デザイン信号動作情報に基づき、デザインの電力をさらに最適化するパワー・ドリブン・フィッティング（**Extra effort**）を使用して、デザインを再コンパイルします。この作業によりデザイン・フローの時間は少し長くなりますが、デザインの電力最適化に非常に効果的です。



信号動作ファイル（**.saf** または **.vcd**）の作成方法について詳しくは、「Quartus II ハンドブック Volume 3」の「PowerPlay による電力解析」の章を参照してください。

## 結論

従来、FPGA を選択する上で重要な基準は性能でした。最新の 40 nm テクノロジーの導入により、消費電力が急速に重要な選択基準になりつつあります。この新たに導入されたデザイン制約に対応するために、Stratix IV デバイスは、性能に妥協することなく低消費電力を実現するように設計されています。革新的なアーキテクチャとプログラマブル・パワー・テクノロジー・オプションによって、高性能回路と低消費電力モード回路の選択肢を設計者に提供するために最高の組み合わせが得られます。

## 参考資料

このアプリケーション・ノートでは、以下のドキュメントを参照しています。

- 「Quartus II ハンドブック Volume 2」の「Engineering Change Management with the Chip Planner」の章
- 「Quartus II ハンドブック Volume 2」の「消費電力の最適化」の章
- 「Quartus II ハンドブック Volume 3」の「PowerPlay による電力解析」の章
- 「Stratix IV デバイス・ハンドブック」の「Stratix IV デバイスの I/O 機能」の章

## 改訂履歴

表 2 に、このアプリケーション・ノートの改訂履歴を示します。

<b>表 2. 改訂履歴</b>		
<b>日付およびドキュメント・バージョン</b>	<b>変更内容</b>	<b>概要</b>
2008 年 5 月 v1.0	初版	—



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
Technical Support:  
[www.altera.com/support/](http://www.altera.com/support/)

Copyright © 2008 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001