

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007 年 12 月 ver. 1.0

Application Note 495

はじめに

フロッピー・ドライブ、CD-ROM ドライブ、およびハードディスク・ドライブなどのストレージ・デバイスは IDE/ATA インタフェースを介してコンピュータに接続されます。このデザイン例では、MAX® II CPLD を使用した IDE/ATA コントローラの実装について説明します。ホスト・コンピュータやマイクロプロセッサ・システムはこのコントローラを介して、標準 Integrated Drive Electronics (IDE) デバイ스에接続することができます。

IDE/ATA コントローラ および インタフェース

コントローラとハード・ドライブに独自技術が使用されている場合、あるメーカーのコントローラを別メーカーのハード・ドライブに接続すると正常に動作しませんでした。IDE はコンピュータにおけるハード・ドライブの使用を標準化するために作成されました。IDE はコントローラとハード・ドライブを組み合わせるというコンセプトに基づいて、インタフェース・コストを削減しファームウェアの実装を容易にします。チップ上のコントローラを使用して、ホスト・コンピュータとの間でデータの転送が可能になりました。

ATA (Advanced Technology Attachment) コントローラとも呼ばれる IDE コントローラは、ホストマイクロプロセッサ・システムと標準 IDE デバイス間の非同期パラレル・インタフェースです。したがって、IDE コントローラは (すべての) IDE デバイスをホストに接続する手段を提供するので、ホスト・アダプタと呼ぶことができます。

当初から ATA インタフェースは頻繁にアップグレードされ、新バージョンが導入されてきました。このデザイン例では ATA-5 インタフェースと互換性のある IDE コントローラを実装しています。ATA-5 標準は 2 モードの動作 —PIO モードと DMA モード— をサポートしますが、このデザインは PIO モード (モード 0) に限定され、1 個のデバイスだけがコントローラ (マスタ) に接続されます。

図 1 に、IDE/ATA インタフェースのブロック図を示します。

図 1. IDE/ATA インタフェースの基本ブロック図 注 (1)

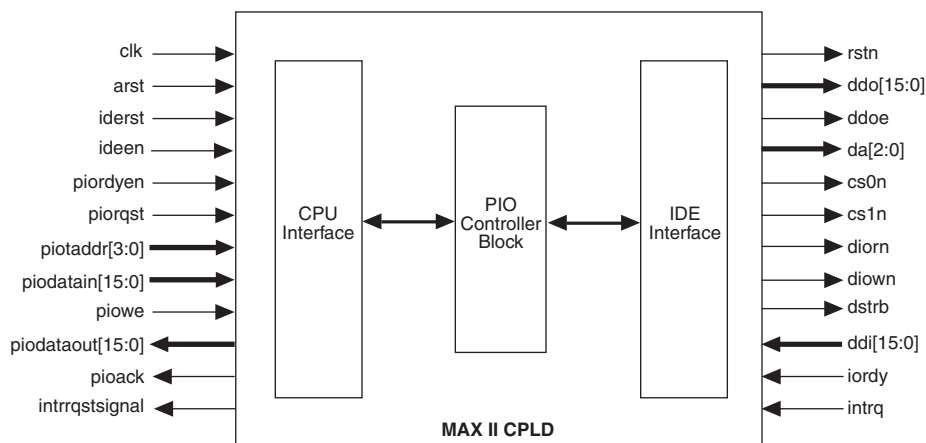


図 1 の注：

- (1) IDE/ATA インタフェースは次の 3 ブロックで構成されています。CPU からのコマンドを受信する CPU インタフェース・ブロック、PIO ステート・マシンを含む PIO コントローラ・ブロック、および IDE デバイスが要求する信号を生成してホスト（コンピュータ）とのデータ転送を実行する IDE インタフェース・ブロック。

MAX II CPLD を使用した IDE/ATA コントローラ

IDE インタフェースは PIO モードと DMA モードの 2 つのモードのデータ転送をサポートします。このデザイン例はモード 0 の PIO データ転送に限定されています。



異なる PIO モードと DMA モードについて詳しくは、以下のサイトで入手可能な ATA/ATAPI-5 規格を参照してください。

www.t13.org/Documents/UploadedDocuments/project/d1321r3-ATA-ATAPI-5.pdf

表 1 に、2 ページの図 1 で示される信号の概要について説明します。

信号	サイズ	入力 / 出力	説明
clk	1	入力	プロセッサのクロックと同じです。この例は 100 MHz のクロック周波数で動作します。
arst	1	入力	コントローラをリセットするための非同期アクティブLowリセット。
iderst	1	入力	IDEデバイスをリセットするためのアクティブHigh信号。
ideen	1	入力	IDEデバイスをイネーブルするためのアクティブHigh信号。
pioiordyen	1	入力	IDEデバイスからの IORDY 信号をイネーブルするためのアクティブ High 信号。
piorqst	1	入力	PIO のデータ転送サイクルを開始するためのアクティブ High 信号。
pioaddr[3:0]	4	入力	デバイスのアドレスを選択するための 4 ビット・バスで、IDE デバイスのチップ・セレクト信号です。
piodatain[15:0]	16	入力	IDE デバイスにデータを送信するための 16 ビット・バス
piowe	1	入力	データ転送の方向を設定するためのアクティブHigh信号。 piowe = 1; 書き込み動作 piowe = 0; 読み出し動作
intrrqstsignal	1	出力	CPU に割り込むための信号
pioack	1	出力	PIO のリード/ライト・サイクルの終わりを示すための信号。
piodataout [15:0]	16	出力	IDE デバイスからのデータ読み出しを保持するための 16 ビット・バス。
rstn	1	出力	IDEデバイスをリセットするためのアクティブLow信号。
ddo [15:0]	16	出力	CPU が送信したデータをデバイスに転送する 16 ビット・データ・バス。下位 8 ビットは 8 ビット・データ転送に使用されます。
da [2:0]	3	出力	3 ビット・アクティブ High 信号。デバイスのレジスタまたはデータ・ポートにアクセスするためにホストによってアサートされる 2 進コード化アドレスです。

表 1. インタフェース信号の説明 (2 / 2)			
信号	サイズ	入力 / 出力	説明
cs0n, cs1n	それぞれ 1ビット	出力	コマンド・ブロックまたはコントロール・ブロック・レジスタを選択するために使用されるホストからのアクティブ Low チップ・セレクト信号。 CS0=0; コントロール・レジスタを選択 CS1=0; コマンド・レジスタを選択 CS0、CS1=0/1; DIOR-/DIOW-の遷移を無視してデータ・バスを解放します。
diorn	1	出力	デバイス・レジスタまたはデータ・ポートを読み出すためにホストによってアサートされるアクティブ Low ストローブ信号。
diown	1	出力	デバイス・レジスタまたはデータ・ポートに書き込むためにホストによってアサートされるアクティブ Low ストローブ信号。
dstrb	1	出力	デバイスからの data-in strobe 信号。dstrb の立ち上がりエッジでデバイスからのデータがホストにラッチされます。
ddi [15:0]	16	入力	IDE デバイスから読み出されたデータを含む 16 ビット・データ・バス。
iordy	1	入力	デバイスがデータ転送要求に応答する準備ができていないときに、この信号をネゲートして任意のホスト・レジスタ・アクセス (読み出しまたは書き込み) のホスト転送サイクルを延長します。モード 0 ではオプションですが、より高度なモードに必要です。
intrq	1	入力	ホストにイベントを通知するために選択されたデバイスによって使用されます。このイベントが発生するとデバイスの内部割り込み保留状態が設定されます。
ddoe	1	出力	IDE デバイスからデータを読み出すのに使用されます。この信号が Low になった後に、ddi バス上のデータがデータ・ライン piodataout 上に出力されます。

CPU インタフェース・ブロック

CPU インタフェース・ブロックはホスト CPU からの信号を受信して、CPLD の内部レジスタに格納します。これらの内部レジスタの情報に応じて、PIO コントローラは PIO のリードおよびライト動作のさまざまなステートを通過します。

PIO コントローラ・ブロック

PIO コントローラ・ブロックには PIO ステート・マシンがあります。ホストがリードまたはライト要求を送信するたびに、ステート・マシンは適切なリードまたはライト・ステートになってデータを転送します。このブロックの *piomodecontroller* と呼ばれるモジュールによってステートが決まり、それに従ってステート・マシンの動作が進行します。 *runoncecounter* と呼ばれる別のモジュールがカウント値をロードして、リードまたはライト・タイミング要件に従って必要な遅延を生成します。 *piomodet1*、 *piomodet2*、 *piomodet4*、 および *piomodeteoc* と呼ばれるパラメータによってカウント値がロードされます。このデザイン例でロードされるデフォルト値は、100 MHz の周波数で動作するプロセッサ用のものです。これらのパラメータ値は、異なる周波数で動作するプロセッサ用に変更することができます。 *updowncounter* と呼ばれる 3 番目のモジュールが、各クロック・パルスでロードされるカウント値をデクリメントして必要な遅延を生成します。



PIO の読み出しおよび書き込みの波形とタイミング仕様について詳しくは、以下のサイトで入手可能な ATA/ATAPI-5 規格を参照してください。

www.t13.org/Documents/UploadedDocuments/project/d1321r3-ATA-ATAPI-5.pdf

IDE インタフェース・ブロック

この IDE インタフェース・ブロックは IDE デバイスのアドレス指定された内部レジスタにデータがロードされるか、またはそのレジスタからデータがロードされるように適切なインタフェース信号を生成します。選択される内部レジスタは、 *da[2:0]*、 *cs0n*、 および *cs1n* ラインの値によって異なります。読み出しまたは書き込み動作はそれぞれ、 *diorn* および *diown* ラインにより指示されます。



IDE デバイスの各種内部レジスタとそれらの選択方法について詳しくは、以下のサイトで入手可能な ATA/ATAPI-5 規格を参照してください。

www.t13.org/Documents/UploadedDocuments/project/d1321r3-ATA-ATAPI-5.pdf

実装

このデザイン例は、EPM570 デバイスなどの MAX II デバイス、または必要な汎用 I/O(GPIO) ピン数と LE 数を備えたその他の MAXII CPLD を使用して実装することができます。

ソース・コード

このデザイン例は Verilog を使用して作成しており、MDN-B2 デモ・ボードを使用したデモとなっています。ソース・コード、テストベンチ、および完成した Quartus II プロジェクトは、以下から入手可能です。

www.altera.co.jp/literature/an/an495.zip

まとめ

このデザイン例が示すとおり、MAXII CPLD は IDE/ATA コントローラの実装時に効率的に利用できます。標準化された ATA インタフェースにより、MAX II CPLD を利用して任意のストレージ・デバイスをホスト・マイクロコントローラまたはプロセッサ・システムにインタフェースすることができます。MAX II CPLD は高集積度の I/O 数、低コスト、容易なパワーオン・シーケンス、および多電圧機能を備え、IDE/ATA コントローラの実装に最適なデバイスとなっています。

関連情報

- MAX II CPLD ホームページ :
www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp
- MAX II デバイスの資料ページ :
www.altera.co.jp/literature/lit-max2.jsp
- MAX II パワーダウン・デザイン :
www.altera.co.jp/support/examples/max/exm-power-down.html
- MAX II アプリケーション・ノート :
 - 「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」
 - 「AN 428: MAX II CPLD のデザイン・ガイドライン」

改訂履歴

表 2 に、このアプリケーション・ノートの改訂履歴を示します。

表 2. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

