MAX II CPLD の I²C バス・インタフェースを使用した GPIO ピンの拡張

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007 年 12 月 ver. 1.0 Application Note 494

はじめに

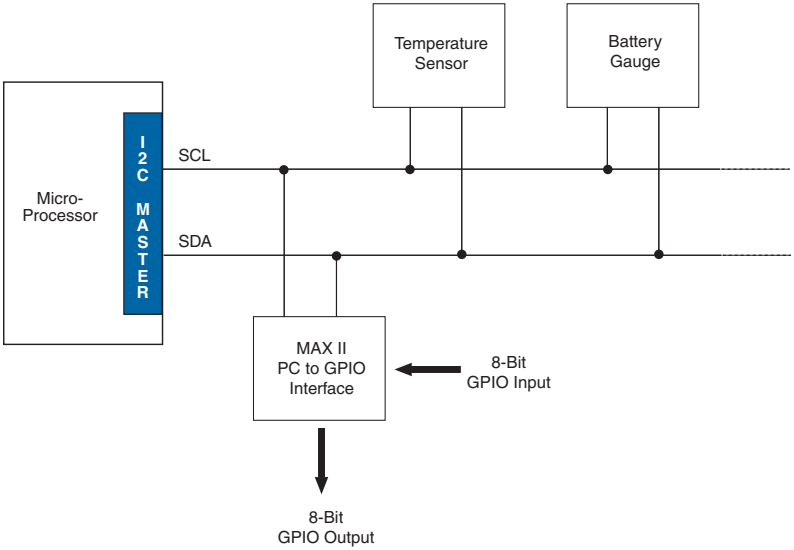
このデザイン例では、業界標準の I²C バスを介して汎用 I/O（GPIO）ピンを拡張するアルテラの MAX® II CPLD の機能について説明します。パッケージ・サイズを縮小しピン数を減らすために、多くのマイクロプロセッサ・ベースのシステムでは、汎用 I/O 数が制限されています。しかし、システムが I²C インタフェースを備えている場合はこの限りではありません。このデザイン例では、I²C バスを介してさらに GPIO ピンを追加する方法を示します。MAX II CPLD を使用すると、追加 GPIO ピンの消費電力はマイクロプロセッサの I/O ピンよりも少なくなります。

GPIO ピンの拡張および I²C

場合によっては、システム内の比較的長い PCB トレース・パスから GPIO ピンにアクセスする必要があります。I²C インタフェースは 2 線式システムなので、デザインでは 1 本の共通 2 線式トレースだけでリモート・エンドに複数の入力ピンと出力ピンを提供します。これによって、デザインの柔軟性が向上し、またシステム全体が物理的によりコンパクトになります。さらに、パッケージ・サイズを縮小し、ピン数を減らすこともできます。

ファン・コントローラ、LED ステータス・ディスプレイ、ステータス・インディケータなどのデバイスを汎用出力ピンを介して、簡単に接続および制御することができます。同様に、リセット・ピンやプッシュ・ボタン・スイッチなどのデバイスを、多様なアプリケーションに対応するよう CPLD に配置された汎用入力に簡単に結合することができます。

図 1.　I²C Bus を介した GPIO ピンの拡張



GPIO ピン拡張のための I²C インタフェース

MAX II CPLD は I²C バス上でスレーブとして機能し、I²C インタフェースに、I²C clock SCL と I²C data line SDA の 2 本のピンを備えています。I²C マスタとして機能するホスト・システムは、MAX II デバイス（I²C スレーブとして機能）と交信します。CPLD は、ホストに対して 8 つの汎用入力ポートと 8 つの汎用出力ポートを提供します。I²C バスを通してシリアルに送信されたデータは、GPIO ピンでパラレルに受信されます。このようにして、8 つの汎用 I/O のすべてを同時に読み出すかまたは書き込むことができます。

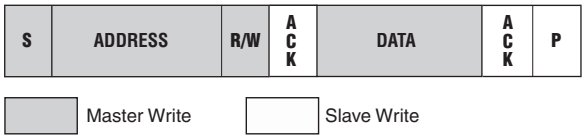
I²C インタフェース

CPLD（I²C スレーブ）は、I²C インタフェース用に 7 ビットのビルトイン・アドレスを持ち、一般的な I²C プロトコルに従います。スタート信号はマスタによって送信され、その後に 7 ビットのアドレスと R/W ビットが続きます。I²C バスでブロードキャストされたアドレスがスレーブ･デバイスのアドレスと一致すると、スレーブ・デバイスから ACK（確認）信号が送信され、その後にマスタから送信されたリードまたはライト信号に応じたデータが続きます。この後に別の ACK 信号が続きます。このようにして、マスタから Stop（P）信号が送信されるまで、データ交換が継続されます。

表 1.　I²C インタフェース・ピンの説明

信号	用途	入力 / 出力
SCL	I²C クロック	出力
SDA	I²C シリアル・データ	双方向

図 2.　I²C シグナル・フォーマット



S = Start (SCLK high, SDA high to low)
R/W = Read/Write (1 for Read, 0 for Write)
ACK = Acknowledgement (SDA held low by receiver)
P = Stop (SCLK high, SDA low to high)
Default Slave Address = 0000000 (00h)

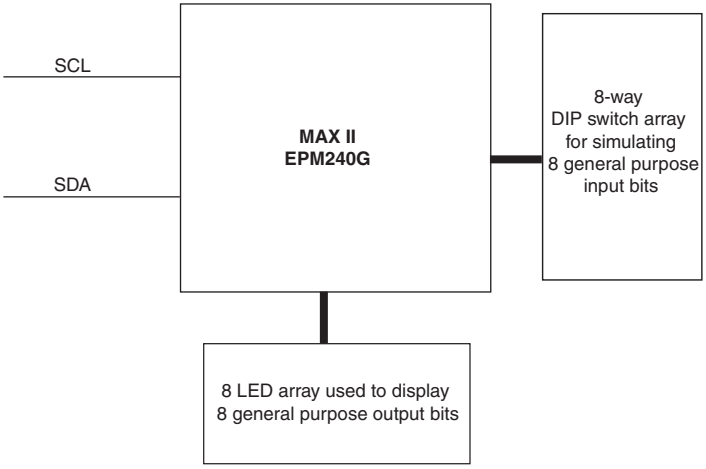
GPIO インタフェース

マスタが書き込み条件（R/W=0）を発行するたびに、停止条件またはリピート・スタート条件が発生するまで、I²C バス上で受信したデータを使用して汎用出力ピンがアップデートされます。同様に、I²C マスタが読み出し条件（R/W = 1）を発行すると、汎用入力ピンの値が ACK ビットでサンプリングされ、I²C バスを通してシリアルに送信されます。このプロセスはマスタが停止またはリピート・スタートを発行するまで続きます。

表 2.　GPIO ピンの説明

信号	用途	入力 / 出力
8 ビット入力	汎用	入力
8 ビット出力	汎用	出力

図 3. GPIO ピンの拡張デモ回路



実装

このデザイン例は、EPM240G デバイスまたはその他の MAXII CPLD を使用して実装できます。実装では、このデザイン例のソース・コードを使用し、I²C バス・ラインおよび GPIO ピンの拡張の入力と出力を MAX II GPIO に割り当てる必要があります。GPIO ピンの拡張は、I²C 準拠の 2 線式バスを作成するために、PC のパラレル・ポートとインタフェース用ハードウェアを使用して作成された I²C シミュレータの助けにより、MDN-B2 デモ・ボード上でデモされます。I²C 環境の設定について詳しくは、Maxim/Dallas Semiconductor のアプリケーション・ノート AN3230 で説明されています。www.maxim-ic.com/appnotes.cfm/an_pk/3230 このURLからダウンロードできる無償のソフトウェアに加えて、以下のURLからパラレル・ポートのI²Cセットアップ用の別の類似ソフトウェアをダウンロードできます。

http://files.dalsemi.com/system_extension/AppNotes/AN3315/ParDS2W.exe

このユーティリティ・プログラムは、パラレル・ポートとインタフェース用ハードウェアを使用して MAX II CPLD と交信し、I²C 2 線式システムで要求される SDA 接続および SCL 接続を提供します。このデザインを実装すると、MDN-B2 デモ・ボードからの入力（DIP スイッチで設定）を I²C マスタに伝達することができます。同様に、I²C マスタから送信されたデータは、MAX II CPLD の GPIO 出力ポート（デモ・ボードの LED に接続）で使用できます。このデモの I²C マスタは、パラレル・ポート用の I²C ソフトウェアが動作する PC のユーザ・インタフェースです。

MDN-B2 デモ・ボード上へのデザイン例の実装について、以下に詳しく説明します。表 3 に、このデザイン例の EPM240G ピン・アサインメントを示します。

表 3. MDN-B2 デモ・ボードを使用したデザイン例

EPM240G のピン・アサインメント			
信号	ピン	信号	ピン
SCLK	ピン 39	SDA	ピン 40
GPIO_output[0]	ピン 69	GPIO_output[1]	ピン 70
GPIO_output[2]	ピン 71	GPIO_output[3]	ピン 72
GPIO_output[4]	ピン 73	GPIO_output[5]	ピン 74
GPIO_output[6]	ピン 75	GPIO_output[7]	ピン 76
GPIO_input[0]	ピン 55	GPIO_input[1]	ピン 56
GPIO_input[2]	ピン 57	GPIO_input[3]	ピン 58
GPIO_input[4]	ピン 61	GPIO_input[5]	ピン 66
GPIO_input[6]	ピン 67	GPIO_input[7]	ピン 68

未使用ピンは、Quartus® II ソフトウェアで **As input-tristated** に割り当てます。また、SCLK ピンと SDA ピンの **Auto Open Drain** 設定をイネーブルにする必要があります。これを行うには、Assignments メニューの **Settings** を選択し、**Analysis and Synthesis Settings** の **Auto Open-Drain** 設定をイネーブルにします。これらの設定の後にコンパイルを行います。

デザイン・ノート

MDN-B2 デモ・ボードでこのデザインのデモを行うには、以下のステップを実行します。

1. スライド・スイッチ SW1 を使用して、デモ・ボードの電源をオンにします。
2. デモ・ボード上の JTAG ヘッダ JP5 とプログラミング・ケーブル（ByteBlaster™ II または USB-Blaster™）を使用してデザインを MAX II CPLD へダウンロードします。
3. プログラミング・プロセスの起動前と起動中、デモ・ボードの SW4 を押し続けます。プログラミングを終えたら、電源をオフにして JTAG コネクタを取り外します。

4. PC 上でパラレル・ポートでドライブされる I²C 環境をセットアップするには、以下を実行します。

   a. Maxim 社のパラレル・ポート・ユーティリティなどのソフトウェア・ユーティリティをダウンロードして、I²C の定義済みのプロトコルでスレーブと交信します。パラレル・ポート用ソフトウェアをインストールします。（この例では、ParDS2W.exe プログラムを使用します。）

   b. パラレル・ポート・ドライバをインストールして、このパラレル・ポート・ユーティリティに対応する Windows XP または Windows 2000 のパラレル・ポートへのアクセスを可能にする必要があります。ドライバは Direct-IO（www.direct-io.com/Direct-IO/directio.exe）からダウンロードできます。

   c. インストール後に、Direct-IO プログラムを設定する必要があります。Windows のコントロール・パネルを開き、Direct IO アイコンをクリックします。パラレル・ポートの **Begin** および **End** アドレスを入力します（このアドレスは通常 378 ～ 37F ですが、Control Panel/System/Hardware/Device Manager/Ports/ECP Printer port（LPT）/Resources の設定を調べて、使用している PC のパラレル・ポート・アドレスを確認してください）。

   d. PC の起動時に、BIOS 設定を変更して、パラレル・ポートを ECP にコンフィギュレーションします。

   e. 次に、Direct IO コントロール・パネルの **Security** タブを選択し、ParDS2W.exe プログラムのディレクトリ・パスを表示します。**Open**、**Add**の順にクリックしてプログラムを追加します。このユーティリティのパスが **Allowed Processes** フィールドに表示されます。**OK** をクリックします。

   f. MDN-B2 デモ・ボードに付属しているパラレル・ポート用 I²C ドングルを取り付けます。必要に応じて延長コードを使用して、パラレル・ポート接続をデモ・ボードに近づけます。

   g. I²C パラレル・ポート・ドングルのピッグ・テイルの 4 ピン・ソケットをデモ・ボードの I²C ヘッダ（JP3）に、ソケットの赤いマークと JP3 ヘッダのピン 1 を合わせて装着します。

   h. ParDS2W プログラムを開き、PC の適切なパラレル・ポート・アドレス（Direct IO のコンフィギュレーション時に表示されたもの）を選択し、**2-Wire Device Address** を 00h に設定します。

   i. 最後に、**Test Circuit** タブの I²C セットアップをテストして、Status ウィンドウに Test PASS メッセージが表示されているか確認できます。このメッセージが表示されていれば、I²C 環境が設定されています。

5. パラレル・ポート・ユーティリティにより、2-Wire Functions を使用して、I²C で書き込み動作および読み出し動作を実行することができます。

6. I²C の書き込み動作を実行するには、**Start**、**Write Byte** の順にクリックします。**Write Data** の隣のフィールドに 16 進数のバイトを入力し、**Write Data** をクリックします。8 個の赤色 LED で対応する値を確認します。各書き込み動作の終了後に、**Stop** をクリックします。

7. 同様に、**Start**、**Read Byte** の順にクリックして、読み出し動作を実行します。Read ウィンドウに、デモ・ボードの SW5 ディップ・スイッチの設定が表示されます。各読み出し動作の終了後に、**Stop** をクリックします。

ソース・コード

このデザイン例は Verilog HDL を使用して作成しており、MDN-B2 デモ・ボードを使用したデモとなっています。ソース・コード、テストベンチ、および完成した Quartus II プロジェクトは、以下から入手可能です。

www.altera.co.jp/literature/an/an494.zip

まとめ

このデザイン例が示すように、MAX II CPLD は I²C などの業界標準インタフェース規格を実装する際に有力な選択肢となります。MAX II CPLD は、低消費電力で使いやすいパワー・オン機能と内部オシレータを備えており、I²C インタフェースなどのアプリケーションを実装して、GPIO ピンの拡張を提供するための最適なプログラマブル・ロジック・デバイスです。

関連情報

- MAX II CPLD ホームページ：
www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp

- MAX II デバイスの資料ページ：
www.altera.co.jp/literature/lit-max2.jsp

- MAX II パワーダウン・デザイン：
www.altera.co.jp/support/examples/max/exm-power-down.html

- MAX II アプリケーション・ノート：
「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」
「AN 428: MAX II CPLD のデザイン・ガイドライン」

改訂履歴

表 4 に、このアプリケーション・ノートの改訂履歴を示します。

表 4. 改訂履歴

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.0	初版	—

101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

I.S. EN ISO 9001